



AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE

DZIEDZINA NAUK INŻYNIERYJNO-TECHNICZNYCH

**DYSCYPLINA: AUTOMATYKA, ELEKTRONIKA, ELEKTROTECHNIKA
I TECHNOLOGIE KOSMICZNE**

ROZPRAWA DOKTORSKA

Wielopoziomowe przekształtniki DC-DC z tranzystorami z azotku galu GaN

Autor: Mgr inż. Szymon Piotr Folmer

Promotor rozprawy: Prof. dr hab. inż. Robert Stala

Praca wykonana:

Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie

Wydział Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej

Katedra Energoelektroniki i Automatyki Systemów Przetwarzania Energii

Kraków, 2025



AGH UNIVERSITY OF KRAKOW

FIELD OF SCIENCE: ENGINEERING AND TECHNOLOGY

SCIENTIFIC DISCIPLINE: AUTOMATION, ELECTRONICS,
ELECTRICAL ENGINEERING AND SPACE TECHNOLOGIES

DOCTORAL THESIS

Gallium Nitride Transistors (GaN) Based Multilevel DC-DC Converters

Author: **Szymon Piotr Folmer, MSc, Eng.**

Supervisor: Professor Robert Stala, PhD, Eng.

Completed in:

AGH University of Krakow

Faculty of Electrical Engineering, Automatics, Computer Science
and Biomedical Engineering

Department of Power Electronics and Automation of Energy Conversion Systems

Kraków, 2025

Streszczenie

Rezonansowe przekształtniki DC-DC o przełączanych kondensatorach stanowią grupę dynamicznie rozwijanych układów energoelektronicznych. Wciąż opracowywane są nowe topologie umożliwiające wielokrotne zwiększanie lub obniżanie napięcia przy jednoczesnym zachowaniu wysokiej sprawności tego procesu. Wspomniane właściwości tego typu układów są szczególnie istotne w zastosowaniach, takich jak mikroinstalacje fotowoltaiczne czy systemy zasilania superkomputerów. Ponadto, dzięki wyeliminowaniu elementów indukcyjnych z procesu przekształcania energii, układy te charakteryzują się kompaktowymi wymiarami, niewielką masą oraz możliwością pracy w szerokim zakresie temperatur otoczenia. Wspomniane właściwości układów rezonansowych o przełączanych kondensatorach istotnie zwiększają ich potencjał aplikacyjny i czynią je konkurencyjnymi dla klasycznych przekształtników, których podstawę działania stanowią właściwości wykorzystywanych do ich budowy elementów indukcyjnych.

Pierwszym etapem prac związanych z przygotowaniem niniejszej rozprawy doktorskiej było opracowanie innowacyjnej topologii wielopoziomowego przekształtnika HVGDCC (*ang. High Voltage Gain Direct Current Converter*) charakteryzującego się sześciokrotnym wzmocnieniem napięciowym, możliwością siedmiostopniowej regulacji napięcia wyjściowego, relatywnie niewielką liczbą zastosowanych tranzystorów oraz niskimi wartościami napięć występujących na poszczególnych łącznikach. Ponadto, zaproponowany przekształtnik cechuje wysoka sprawność realizacji procesu przekształcania energii, a wprowadzenie go w tryb pracy ZVS (*ang. Zero Voltage Switching*) umożliwia dalsze ograniczenie strat poprzez minimalizację tych związanych z występowaniem pojemności wyjściowej tranzystorów (C_{oss}).

W ramach prowadzonych prac badawczych dokonano analizy porównawczej dwóch przekształtników o topologii HVGDCC. Do budowy pierwszego z porównywanych układów wykorzystano tranzystory typu CoolMOS, a drugi wykonano na podstawie projektu zakładającego zastosowanie w obwodzie mocy przekształtnika tranzystorów typu CoolGaN. Celem wspomnianej analizy było wykazanie różnic w pracy wielopoziomowych przekształtników o przełączanych kondensatorach, wynikających z zastosowania różnego typu łączników do ich budowy, ujawniających się w przebiegach prądów i napięć poszczególnych komponentów oraz charakterystykach sprawności badanych układów. Opracowana topologia przekształtnika

została szczegółowo przeanalizowana w ramach prowadzonych prac analitycznych, czego efektem było opracowanie jej teoretycznego modelu sprawności. Na jego podstawie wykreślono charakterystyki przedstawiające zależność ilości strat występujących w poszczególnych elementach przekształtnika od jego mocy wyjściowej, a także teoretyczną krzywą sprawności analizowanego układu.

Dla każdej z badanych wersji przekształtnika HVGDCC w środowisku Matlab-Simulink opracowano model symulacyjny, na podstawie którego przeprowadzono weryfikację koncepcji działania zaprojektowanego układu. Przedmiotem badań symulacyjnych prowadzonych na modelach przekształtników HVGDCC-CoolMOS oraz HVGDCC-CoolGaN była weryfikacja poprawności ich działania oraz porównanie ilości strat występujących w poszczególnych elementach obu opracowanych układów. Badania symulacyjne podsumowano poprzez wykreślenie charakterystyk sprawności zarejestrowanych dla obu modeli, pracujących w trybie ZCS oraz ZVS z obciążeniem, którego wartość w czasie trwania symulacji zmieniała się w szerokim zakresie. W czasie tej serii badań symulacyjnych wykorzystano modele tranzystorów uwzględniające zarówno ich parametry statyczne, jak i dynamiczne, przy czym parametry dynamiczne zdefiniowano w formie kompletnych charakterystyk zaczerpniętych z dokumentacji technicznej rzeczywistych łączników. Symulacje przeprowadzono w środowisku Matlab-Simulink z użyciem pakietu „Parallel Computing Toolbox”.

Pozytywne wyniki badań symulacyjnych skłoniły autora niniejszej rozprawy doktorskiej do podjęcia decyzji o budowie modeli eksperymentalnych obu analizowanych przekształtników i kontynuowaniu prac badawczych na rzeczywistych układach. W ramach przeprowadzonych prac laboratoryjnych zarejestrowano liczne oscylogramy, przedstawiające przebiegi kluczowe dla analizy zasady działania badanych przekształtników oraz oceny zjawisk komutacyjnych zachodzących w układach pracujących zarówno w trybie ZCS, jak i ZVS. Końcowym etapem badań laboratoryjnych dla każdego z analizowanych przekształtników była rejestracja jego charakterystyki sprawności, zarówno w czasie, gdy pracował on w trybie ZCS, jak i ZVS.

W wyniku przeprowadzonych prac badawczych stwierdzono, że opracowana topologia działa zgodnie z założeniami przyjętymi w fazie prac koncepcyjnych, a sam przekształtnik charakteryzuje się sześciokrotnym współczynnikiem wzmocnienia napięciowego, obniżonymi wartościami napięć blokowanych przez poszczególne łączniki oraz wysoką sprawnością. Dodatkowo, po przeanalizowaniu oscylogramów zarejestrowanych w czasie badań obu przekształtników, stwierdzono, iż w przebiegach prądów płynących w układzie, którego obwód mocy zbudowano z wykorzystaniem tranzystorów CoolGaN, występuje zdecydowanie mniej oscylacji związanych z ładowaniem i rozładowywaniem pojemności wyjściowych (C_{oss}) tranzystorów, a ich amplitudy są znacznie niższe niż te obserwowane w przypadku przekształtnika zbudowanego z wykorzystaniem tranzystorów typu CoolMOS.

Abstract

Resonant switched-capacitor DC-DC converters represent a dynamically evolving class of power electronic devices. Novel topologies are continuously being developed, providing not only high voltage gain but also its effective attenuation capabilities, while maintaining high efficiency of this process. These characteristics are particularly significant in applications such as micro photovoltaic installations and supercomputer power systems. Moreover, by eliminating inductive components from the energy conversion process, these converters feature compact dimensions, low weight, and the capability to operate over a wide ambient temperature range. The aforementioned properties of resonant switched-capacitor converters significantly enhance their application potential and make them competitive with conventional converters, whose operation relies on the properties of inductive components used in their construction.

The first stage of work related to the preparation of this doctoral dissertation involved the development of an innovative topology of a multilevel high voltage gain direct current converter (HVGDCC). This converter is characterized by a sixfold voltage gain, the ability to regulate the output voltage in seven discrete steps, a relatively low number of transistors, and low voltage stress on individual switches. Moreover, the proposed converter exhibits high energy conversion efficiency, and its operation in Zero Voltage Switching (ZVS) mode further reduces losses by minimizing those associated with the output capacitance (C_{oss}) of the transistors.

As part of the conducted research, a comparative analysis was carried out on two units of converters that were built according to the developed topology of a high voltage gain direct current converter (HVGDCC). The first of the examined converters was built using CoolMOS transistors, while the second was designed based on the implementation of CoolGaN switching devices in the power circuit. The aim of this analysis was to identify differences in the operation of multilevel resonant switched-capacitor converters resulting from the use of different types of transistors. Those differences were observed in the current and voltage waveforms of individual components and the efficiency characteristics of the examined DC-DC converters.

For each analyzed version of the HVGDCC converter, a simulation model was developed in the Matlab-Simulink environment to verify the operational concept of the designed system. The simulation studies conducted on the HVGDCC-CoolMOS

and HVGDCC-CoolGaN models focused on validating their functionality and comparing the power losses occurring in individual components of both developed systems. The simulation analysis was summarized by plotting the efficiency characteristics recorded for both models operating in zero current switching (ZCS) and zero voltage switching (ZVS) modes, with a load value that varied over a wide range throughout the simulation time. During this series of simulations, advanced transistor models were employed that accounted for both their static and dynamic parameters. The dynamic parameters were defined using complete characteristics extracted from the technical documentation of real switching devices. The simulations were performed in the Matlab-Simulink environment using the “Parallel Computing Toolbox” package.

The positive results of the simulation studies led the author of this doctoral dissertation to decide on the construction of experimental models for both analyzed converters and to continue research on physical systems. As a part of the conducted laboratory work, numerous oscillograms were recorded, illustrating waveforms crucial for analyzing the operating principles of the investigated converters and assessing the switching phenomena occurring in systems operating in both zero current switching (ZCS) and zero voltage switching (ZVS) modes. The final stage of the laboratory studies for each analyzed converter involved recording its efficiency characteristics while operating in both ZCS and ZVS modes.

As a result of the conducted research, it was determined that the developed topology operates in accordance with the assumptions established during the conceptual phase. The converter itself exhibits a sixfold voltage gain factor, reduced voltage stress on individual switches, and high efficiency. Additionally, an analysis of the oscillograms recorded during the testing of both converters revealed that the current waveforms in the system utilizing CoolGaN transistors demonstrate significantly fewer oscillations associated with the charging and discharging of the transistors’ output capacitances (C_{oss}). Moreover, the amplitude of these oscillations is considerably lower compared to those observed in the converter built with CoolMOS transistors.

Spis treści

Wykaz akronimów

1	Wprowadzenie	1
1.1	Tematyka rozprawy	3
1.2	Teza	5
1.3	Stan wiedzy	5
1.4	Cele badawcze pracy	23
1.5	Struktura pracy	24
2	Przekształtnik HVGDCC	27
2.1	Charakterystyka topologii HVGDCC	27
2.2	Koncepcja działania przekształtnika HVGDCC	31
2.3	Wzmocnienie napięciowe przekształtnika HVGDCC	37
2.4	Regulacja napięcia w układzie HVGDCC	41
2.5	Praca przekształtnika HVGDCC w trybie ZVS	51
2.6	Straty mocy w przekształtniku HVGDCC	56
2.7	Analiza prądów płynących w układzie HVGDCC	65
2.8	Analityczny model sprawności układu HVGDCC	75
2.9	Znamionowe warunki pracy badanego układu	76
2.10	Dobór elementów przekształtnika	79
3	Analityczny model strat i sprawności przekształtnika HVGDCC	101
3.1	Struktura opracowanego modelu przekształtnika	101
3.2	Straty mocy w elementach przekształtnika	104
3.3	Charakterystyka sprawności przekształtnika	110
4	Badania symulacyjne	113
4.1	Model symulacyjny przekształtnika HVGDCC	113
4.2	Modelowanie tranzystorów CoolMOS oraz CoolGaN	116
4.3	Badania symulacyjne przekształtnika HVGDCC pracującego w trybie ZCS120	
4.4	Badania symulacyjne przekształtnika HVGDCC pracującego w trybie ZVS130	
4.5	Symulacje strat występujących w przekształtniku HVGDCC	139

5	Badania eksperymentalne	155
5.1	Projekt przekształtnika HVGDCC z tranzystorami typu Cool-MOS	155
5.2	Projekt przekształtnika HVGDCC z tranzystorami typu Cool-GaN	160
5.3	Kontroler sterujący pracą tranzystorów	164
5.4	Konfiguracja stanowiska pomiarowego	167
5.5	Praktyczna weryfikacja koncepcji przekształtnika HVGDCC	170
5.6	Porównanie przekształtników HVGDCC wykonanych w wersji Cool-MOS oraz CoolGaN	182
6	Podsumowanie	233
6.1	Zrealizowane cele badawcze	233
6.2	Wnioski końcowe	235
6.3	Przyszłe kierunki badań układu HVGDCC	237
6.4	Samodzielne osiągnięcia autora rozprawy	237
6.5	Lista publikacji naukowych, które powstały przy współudziale autora niniejszej rozprawy doktorskiej	239
7	Załączniki	241
7.1	Projekt przekształtnika HVGDCC-CoolGaN	241
7.2	Projekt przekształtnika HVGDCC-CoolMOS	248
	Bibliografia	255

Wykaz akronimów

DC-DC	—	ang. Direct Current to Direct Current Converter (przekształtnik prądu stałego na stały)
LED	—	ang. Light Emitting Diode (dioda elektroluminescencyjna)
CPU	—	ang. Central Processing Unit (procesor)
GPU	—	ang. Graphics Processing Unit (procesor graficzny)
PV	—	ang. Photovoltaics (fotowoltaika)
MOSFET	—	ang. Metal-Oxide-Semiconductor Field-Effect Transistor (tranzystor polowy z izolowaną bramką)
GaN	—	azotek galu - nieorganiczny związek chemiczny (półprzewodnik)
CoolMOS	—	Rodzina tranzystorów krzemowych (Si) produkowanych przez firmę Infineon.
CoolGaN	—	Rodzina tranzystorów z azotku galu (GaN) produkowanych przez firmę Infineon.
IoT	—	ang. Internet of Things (Sieć połączonych ze sobą urządzeń zdolnych do współdzielenia i wymiany informacji.)
LCD	—	ang. Liquid Crystal Display (wyświetlacz ciekłokrystaliczny)
HVGDCC	—	ang. High Voltage Gain Direct Current Converter (Topologia wielopoziomowego przekształtnika DC-DC o przełącznych kondensatorach, opracowana w ramach prac związanych z przygotowaniem niniejszej rozprawy doktorskiej.)

HVGDCC-CoolMOS	—	Przekształtnik o topologii HVGDCC, którego obwód mocy zbudowano z wykorzystaniem tranzystorów typu CoolMOS
HVGDCC-CoolGaN	—	Przekształtnik o topologii HVGDCC, którego obwód mocy zbudowano z wykorzystaniem tranzystorów typu CoolGaN
BMS	—	ang. Battery Management System (Układ wyrównujący napięcia na poszczególnych ogniwach akumulatora)

1. Wprowadzenie

Energoelektronika jest dynamicznie rozwijającą się dziedziną nauki oraz techniki, zajmującą się opracowywaniem, badaniem i budową układów charakteryzujących się wysoką sprawnością realizacji procesu dopasowywania parametrów energii elektrycznej pochodzącej z różnych źródeł do wymagań urządzeń wykorzystywanych w przemyśle i codziennym życiu człowieka [1].

Początki rozwoju tej gałęzi nauki oraz techniki sięgają pierwszych lat XX wieku, kiedy to w 1902 roku amerykański elektryk i wynalazca Peter Cooper Hewitt opracował i opatentował pierwszy na świecie przekształtnik energoelektroniczny będący prostownikiem rtęciowym [2]. Wynalazek ten zastąpił popularne wówczas prostowniki mechaniczne, co zrewolucjonizowało sposób dostarczania energii prądu stałego dla kolejnictwa, górnictwa oraz zakładów przemysłowych zajmujących się elektrolizą i galwanizacją [3, 4]. Od opracowania pierwszego przekształtnika energoelektronicznego do czasów nam współczesnych minęło ponad 120 lat, a systematycznie postępujący w tym czasie rozwój energoelektroniki sprawił, że stała się ona strategiczną dziedziną nauki i techniki, bez której trudno wyobrazić sobie funkcjonowanie współczesnego świata [5].

Postępujący rozwój światowej gospodarki wiąże się ze wzrostem zapotrzebowania na energię elektryczną oraz efektywne metody jej przekształcania. Coraz bardziej skomplikowane procesy produkcyjne oraz rosnąca ilość urządzeń elektronicznych o specyficznych wymaganiach dotyczących ich zasilania sprawiają, że zwiększa się również ilość przekształtników energoelektronicznych wymaganych do jej konwersji. Szacuje się, iż obecnie około 70 % z produkowanej na całym świecie energii elektrycznej podlega przekształceniu przed jej faktycznym wykorzystaniem przez przynajmniej jeden przekształtnik energoelektroniczny [5]. Oznacza to, że urządzenia tego typu stały się kluczowe dla funkcjonowania dzisiejszego przemysłu oraz człowieka. Ciężko sobie bowiem wyobrazić zakład produkcyjny, w którym nie zamontowano ani jednego falownika, lub współczesnego człowieka niekorzystającego z telefonu komórkowego, komputera, pralki, samochodu, transportu publicznego czy oświetlenia LED. Większość urządzeń, którymi posługujemy się na co dzień, zawiera przynajmniej jeden przekształtnik energoelektroniczny, bez którego nie byłyby one w stanie spełniać

swojej funkcji. Pokazuje to, że energoelektronika, mimo iż często niezauważana, stanowi istotny element technologicznej rzeczywistości dzisiejszego świata i naszego codziennego życia [6, 7].

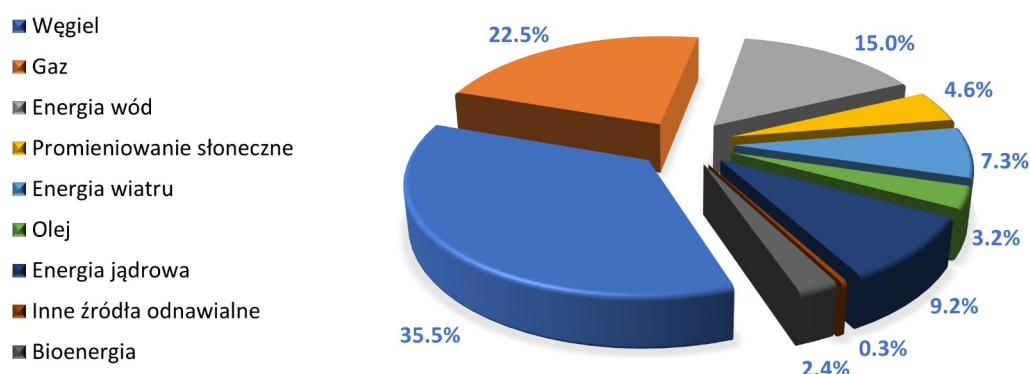
Jednymi z najbardziej perspektywicznych obszarów stosowania energoelektroniki, w kontekście zmian zachodzących w otaczającym nas świecie, są: elektromobilność, energetyka odnawialna oraz układy zasilania dla komputerów dużych mocy (*ang. Data Centre*) [7]. Należy zauważyć, że w tego typu aplikacjach energia przekształcana jest wielokrotnie, a wysoka efektywność prowadzenia tych procesów jest kluczowa dla ich funkcjonowania. Stwarza to potrzebę dalszego rozwoju energoelektroniki, ze szczególnym uwzględnieniem prac prowadzących do zwiększenia efektywności przekształcania energii, a przez to również do zwiększenia rzeczywistego zasięgu samochodów elektrycznych [8], zwiększenia ilości energii produkowanej ze źródeł odnawialnych [9, 10], czy w końcu do zmniejszenia wydatków na chłodzenie i zasilanie superkomputerów [11, 12].

Ciągle rosnąca sprzedaż samochodów elektrycznych [13] wiąże się ze wzrostem zapotrzebowania na produkcję ich podzespołów. Dotyczy to również układów energoelektronicznych, takich jak falowniki, przetwornice DC-DC, ładowarki pokładowe, systemy BMS (*ang. Battery Management System*) czy układy zasilania źródeł światła LED (*ang. Light Emitting Diode*).

Gwarancją niesłabnącego popytu ze strony centrów obliczeniowych na dedykowane do takich zastosowań systemy energoelektroniczne i ich dalszy rozwój jest stale wzrastające zapotrzebowanie użytkowników na tego typu usługi [14, 15] oraz właściwie już osiągnięty limit ilości przetwarzanej energii przez obecnie stosowane systemy zasilania poszczególnych zespołów obliczeniowych CPU (*ang. Central Processing Unit*) oraz GPU (*ang. Graphics Processing Unit*). Obecny trend zmian widocznych w sposobie realizacji zasilania dla komputerów dużych mocy zakłada zwiększenie wartości wewnętrznego napięcia dystrybucyjnego w tego typu systemach z 12 V do 48 V. Następnie, napięcie to miałoby być wielokrotnie obniżane do poziomów wymaganych przez poszczególne układy obliczeniowe (1,2 V lub 1,8 V), przy pomocy wielostopniowych przekształtników i przetwornic. Główną zaletą takiego podejścia jest zmniejszenie ilości strat związanych z rezystancją wewnętrznych linii dystrybucyjnych tego typu systemów [11].

Pozycję energoelektroniki w dzisiejszym świecie dodatkowo wzmacnia zachodząca na naszych oczach transformacja energetyczna, której celem jest zwiększenie produkcji energii elektrycznej pochodzącej ze źródeł odnawialnych. Na rys. 1.1 przedstawiono wykres kołowy ilustrujący udział poszczególnych źródeł energii i surowców energetycznych w globalnej produkcji energii elektrycznej. Jak wynika z przedstawionych danych, obecnie jedynie około 30 % wytwarzanej na świecie energii elektrycznej pochodzi ze źródeł odnawialnych, a to w połączeniu z ambitną polityką klima-

Udział poszczególnych źródeł energii w globalnej produkcji energii elektrycznej



Rys. 1.1. Udział poszczególnych źródeł energii i surowców energetycznych w globalnej produkcji energii elektrycznej [16]

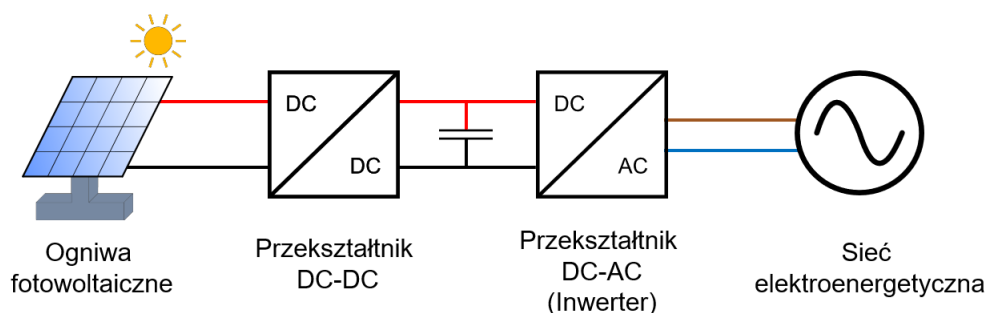
tyczną wielu krajów stwarza dogodne warunki dalszego rozwoju energoelektroniki, wykorzystywanej w każdym systemie służącym do pozyskiwania energii elektrycznej ze słońca, wiatru, fal czy także pływów morskich.

1.1 Tematyka rozprawy

Przekształtniki DC-DC należą do grupy najbardziej rozpowszechnionych urządzeń energoelektronicznych. Można je znaleźć w wielu urządzeniach, z których korzystamy na co dzień, takich jak komputery, ładowarki czy telefony komórkowe. Konstruktorzy tego typu układów nie ograniczają się jednak do budowy urządzeń małych mocy i równie często pracują nad układami zdolnymi do przetwarzania energii na potrzeby odbiorników o mocach rzędu dziesiątek kilowatów, jak to ma miejsce w przypadku szybkich stacji ładowania samochodów elektrycznych [17]. Z całą pewnością można więc stwierdzić, że grupa urządzeń służących do konwersji energii prądu stałego cechuje się dużą różnorodnością, wynikającą z różnic aplikacyjnych, które determinują wybór określonej topologii przekształtnika, rodzaju zastosowanych tranzystorów czy elementów pasywnych o konkretnych właściwościach.

Planując prace badawcze opisane w tej rozprawie doktorskiej, skoncentrowano się na badaniu rezonansowych przekształtników DC-DC o przełączanych kondensatorach, a szczególnie przekształtników charakteryzujących się możliwością znacznego zwiększania napięcia. Z naukowego punktu widzenia układy tego typu stanowią interesujący oraz aktualny obszar badawczy, szczególnie w świetle dynamicznych zmian związanych z trwającą transformacją energetyczną [18]. Prognozowany rozwój energetyki rozproszonej, a w szczególności mikroinstalacji fotowoltaicznych, bezpośrednio przekłada się na wzrost potencjału aplikacyjnego wielopoziomowych przekształt-

ników rezonansowych o przełączanych kondensatorach. Charakterystyczne dla tego typu układów właściwości, takie jak: wysoki współczynnik wzmocnienia napięciowego, duża gęstość mocy oraz potencjalnie wysoka sprawność osiągana za sprawą wykorzystania tranzystorów z azotku galu (GaN) [19], pozwalają przypuszczać, iż układy tego typu sprawdząby się w mikroinstalacjach fotowoltaicznych. Mając to na uwadze, podjęto decyzję o rozpoczęciu prac projektowych, których celem było opracowanie topologii wielopoziomowego przekształtnika DC-DC, który w założeniu miałby współpracować z niewielkimi instalacjami PV (*ang. Photovoltaics*), składającymi się z maksymalnie dwóch ogniw fotowoltaicznych, a dzięki wysokiemu współczynnikowi wzmocnienia napięciowego miałby on zwiększać wartość napięcia generowanego przez te ogniwa do poziomu akceptowalnego przez falownik łączący całą instalację z ogólnodostępną siecią energetyczną [20]. Grafikę przedstawiającą uproszczoną strukturę mikroinstalacji fotowoltaicznej wyposażonej w opracowany przekształtnik przedstawiono na rys. 1.2.



Rys. 1.2. Uproszczony schemat systemu służącego do pozyskiwania energii elektrycznej z ogniw fotowoltaicznych

Prace badawcze rozpoczęto od opracowania innowacyjnej topologii dwukierunkowego przekształtnika napięcia stałego, czego dokonano wspólnie z Panem Profesorem Robertem Stalą — promotorem niniejszej rozprawy. Uwzględniając właściwości opracowanej topologii, przyjęto, iż opracowana struktura będzie identyfikowana za pomocą akronimu **HVGDCC**, pochodzącego od angielskich słów: *High Voltage Gain Direct Current Converter*. Zgodnie z przyjętym nazewnictwem, opracowany układ charakteryzuje się wysokim współczynnikiem wzmocnienia napięciowego, a ponadto wyróżnia się możliwością wielostopniowej regulacji jego napięcia wyjściowego oraz, w pewnej szczególnej konfiguracji sprzętowej, również realizuje funkcję obniżania napięcia i tym samym także stwarza warunki do dwukierunkowego przesylu energii. Przyjętą koncepcję działania zaproponowanej topologii potwierdzono licznymi symulacjami wykonanymi w środowisku MATLAB/Simulink, a następnie przeprowadzając szereg testów laboratoryjnych układu eksperymentalnego zbudowanego z wykorzystaniem tranzystorów typu CoolMOS. Ten etap prac zakończono przygotowaniem

zgłoszenia patentowego [21] oraz publikacji naukowej opisującej właściwości opracowanego przekształtnika [22].

Kolejny etap prowadzonych prac badawczych swoim zakresem obejmował opracowanie modelu symulacyjnego przekształtnika HVGDCC, którego obwód mocy zbudowano z wykorzystaniem tranzystorów typu CoolGaN. Opracowany model symulacyjny szczegółowo przebadano pod kątem poprawności jego działania oraz ilości strat mocy występujących w jego poszczególnych elementach w czasie pracy przekształtnika przy różnych poziomach jego obciążenia. Pozytywne wyniki przeprowadzonych symulacji uzasadniały podjęcie decyzji o budowie rzeczywistego układu eksperymentalnego o parametrach odpowiadających tym uwzględnionym we wspomnianym modelu symulacyjnym. Zbudowany przekształtnik został przebadany w warunkach laboratoryjnych, a otrzymane wyniki porównano z tymi zarejestrowanymi w czasie badania układu, w którego obwodzie mocy zastosowano tranzystory CoolMOS. Rezultaty przeprowadzonych badań oraz wyniki analizy porównawczej obu układów podsumowano w publikacji naukowej [23], którą następnie zaprezentowano na konferencji „21st International Symposium on Power Electronics (Ee)”.

1.2 Teza

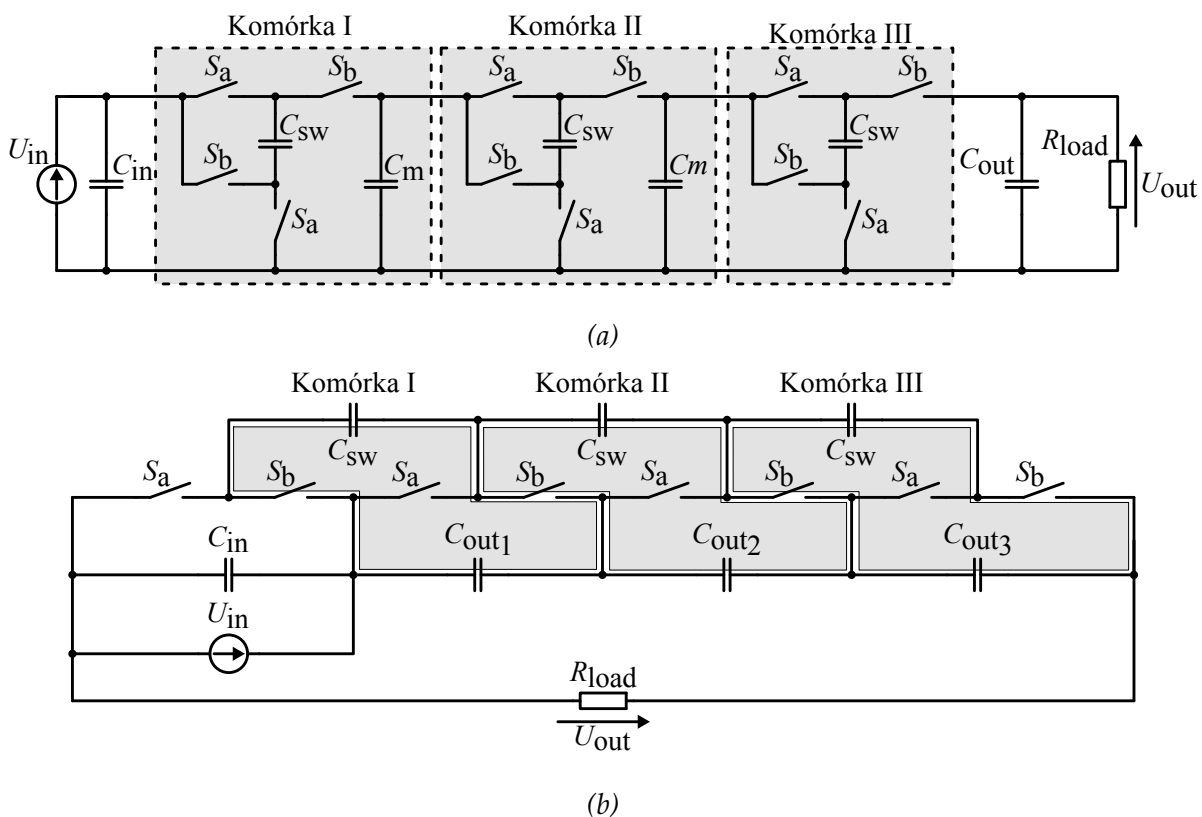
Tezę niniejszej rozprawy doktorskiej zdefiniowano w następującej formie:

Możliwe jest opracowanie i realizacja topologii przekształtnika DC-DC o wielopoziomym wzmocnieniu napięcia w technice przełączanych kondensatorów pracującego z wysoką sprawnością, oscylacyjnym prądem przeładowania i w warunkach zerowego napięcia podczas załączania części tranzystorów, a zastosowanie tranzystorów z azotku galu GaN umożliwia w porównaniu do przekształtnika zrealizowanego z wykorzystaniem tranzystorów krzemowych MOSFET, redukcję wartości prądów związanych z ładowaniem pojemności wyjściowych łączników.

1.3 Stan wiedzy

Koncepcje przekształtników DC-DC, wykorzystujących do zwiększania napięcia matrycę łączników współpracujących z jednym bądź z kilkoma przełączanymi kondensatorami, są znane od wielu lat [24]. Początkowo układy tego typu budowano w formie powielaczy napięcia (Cockcroft-Walton) i implementowano je w strukturach układów scalonych, takich jak moduły pamięci nieulotnych, które wymagały do poprawnego przeprowadzenia procesu zapisu i odczytu napięcia o wartości sięgającej nawet 40 V [25–27]. Z biegiem lat obszar aplikacyjny tego typu układów rozszerzał się,

co doprowadziło do opracowania wielu nowych topologii układów o przełączanych kondensatorach, wykorzystywanych do zasilania ekranów LCD (*ang. Liquid Crystal Display*) [28–30], a ostatnio także urządzeń IoT (*ang. Internet of Things*) [31] oraz systemów biomedycznych [32]. Schematy poglądowe kilku podstawowych topologii przekształtników o przełączanych kondensatorach przedstawiono na rys. 1.3 oraz rys. 1.4. Układy te różnią się poziomem skomplikowania, liczbą zastosowanych kondensatorów przełączanych i łączników, a także maksymalnym osiąganym przez nie współczynnikiem wzmocnienia napięciowego. Elementem wspólnym dla wszystkich tych układów jest ich prosty schemat sterowania, opierający się na naprzemiennym załączaniu grup tranzystorów, odpowiedzialnych kolejno za realizację procesu ładowania i rozładowywania kondensatorów przełączanych. Na rys. 1.3a przedstawiono schemat przekształtnika będącego kaskadą trzech połączonych ze sobą przekształtników SCVD (*ang. Switched Capacitor Voltage Doubler*). Każda z podstawowych komórek tego układu zawiera w swojej strukturze jeden kondensator przełączany (C_{sw}), współpracujący z czterema łącznikami sterowalnymi S_a oraz S_b . Cykl pracy prezentowanego przekształtnika składa się z dwóch interwałów, w czasie których kolejno dochodzi do ładowania i rozładowywania kondensatorów przełączanych w poszczególnych komórkach kaskady.



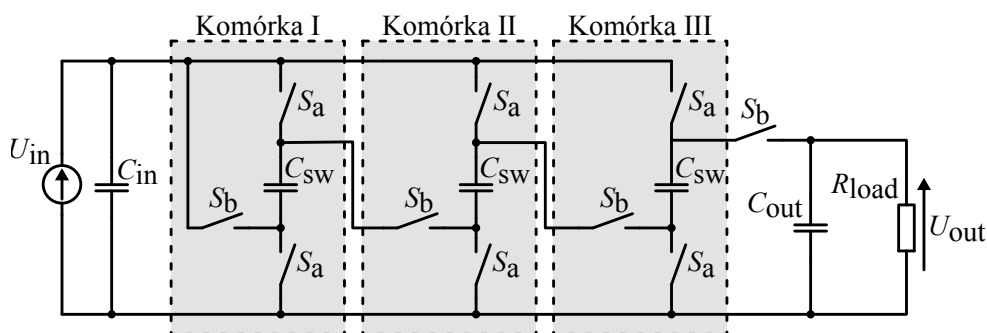
Rys. 1.3. Podstawowe topologie przekształtników o przełączanych kondensatorach: a) Kaskada trzech podwajaczy napięcia SCVD (*ang. Switched Capacitor Voltage Doubler*), b) Przekształtnik drabinkowy (*ang. Ladder Converter*)

W interwale ładowania załączone zostają łączniki $S_{a,i}$, w wyniku czego kondensatory przełączane C_{sw} zostają połączone równolegle z kondensatorami pośredniczącymi C_m lub, w przypadku kondensatora C_{sw} znajdującego się w pierwszym stopniu kaskady, równolegle ze źródłem zasilającym przekształtnik. W tym czasie energia ze źródła i kondensatorów pośredniczących przekazywana jest do poszczególnych kondensatorów przełączanych C_{sw} , a gromadzący się w nich ładunek elektryczny powoduje wzrost wartości napięcia pomiędzy ich okładkami. Po zakończeniu tego procesu przewodzące dotychczas łączniki S_a przechodzą do stanu blokowania. Następnie załączana jest grupa łączników S_b , co skutkuje szeregowym połączeniem kondensatorów przełączanych wszystkich komórek, źródła zasilającego przekształtnik oraz kondensatora wyjściowego C_{out} . W efekcie energia ze źródła oraz z uprzednio naładowanych kondensatorów przełączanych przekazywana jest do kondensatora wyjściowego przekształtnika, przy napięciu będącym sumą napięć źródła oraz wszystkich kondensatorów przełączanych. Po zakończeniu tego przeładowania cykl pracy przekształtnika dobiega końca, a cała sekwencja rozpoczyna się od początku i trwa do momentu wyłączenia generatora sygnałów sterujących pracą tranzystorów. Istotną zaletą tego przekształtnika jest jego modułowość, co oznacza, że ilość komórek tworzących przekształtnik przedstawiony na rys. 1.3a może być dostosowywana w zależności od koniecznego do osiągnięcia poziomu wzmocnienia napięciowego. Każda z podstawowych komórek tego przekształtnika charakteryzuje się dwukrotnym wzmocnieniem napięciowym, co oznacza, że wartość napięcia wyjściowego kaskady jest funkcją wykładniczą ilości wykorzystanych do jej budowy komórek podstawowych [33]. W literaturze opisano także przypadki tworzenia w strukturach półprzewodnikowych wielofazowych układów kaskadowych przekształtników SCVD, charakteryzujących się zarówno zwiększonym poziomem napięcia wyjściowego, jak i prądu obciążenia [34]. Niekorzystną cechą tego typu układów jest jednak to, że poziom napięć blokowanych przez pracujące w nich tranzystory rośnie wraz ze wzrostem ilości połączonych ze sobą komórek. W związku z tym napięcie wyjściowe kaskady przekształtników SCVD ograniczone jest maksymalną wartością napięcia, przy jakim mogą pracować zastosowane w układzie tranzystory.

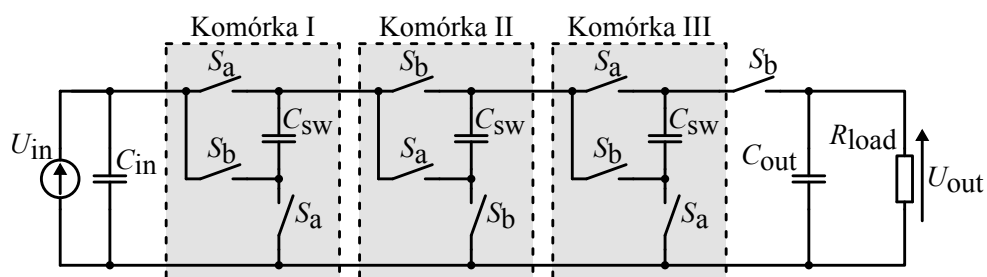
Na rys. 1.3b zamieszczono schemat układu znanego jako przekształtnik drabinowy (*ang. Ladder Converter*). Jego cechą charakterystyczną jest to, że umożliwia on osiągnięcie wysokiego wzmocnienia napięciowego przy jednoczesnym zachowaniu niskich wartości napięć występujących na jego łącznikach [35]. Podstawowa komórka układu o tej topologii charakteryzuje się dwukrotnym wzmocnieniem napięciowym, jednak wyższe wartości współczynnika wzmocnienia napięciowego są możliwe do osiągnięcia poprzez ich kaskadowe łączenie. W czasie pracy, grupy łączników S_a oraz S_b załączane są naprzemiennie, realizując proces ładowania i rozładowywania jego kondensatorów przełączanych C_{sw} . Gdy w stanie przewodzenia znajdują się

łączniki z grupy S_a , dochodzi do ładowania kondensatorów przełączanych znajdujących się w komórkach o numerach nieparzystych. Energia niezbędna do realizacji tego procesu pobierana jest z kondensatorów wyjściowych o numerach parzystych, a w przypadku kondensatora C_{sw} znajdującego się w komórce pierwszej — ze źródła zasilającego przekształtnik. Po zakończeniu ładowania kondensatorów przełączanych dochodzi do rekonfiguracji struktury połączeń przekształtnika, polegającej na wyłączeniu łączników z grupy S_a oraz załączeniu tych z grupy S_b . Rozpoczyna to proces rozładowywania kondensatorów przełączanych, a zgromadzony w nich ładunek przekazywany jest do kondensatorów wyjściowych, odpowiadających poszczególnym komórkom przekształtnika. Jak można zaobserwować, ładunek z każdym kolejnym taktem pracy układu „przechodzi” do jego wyższych sekcji, co stanowi istotę jego działania i jednocześnie wyjaśnia genezę nazwy tego przekształtnika.

Innym przykładem topologii przekształtnika o przełączanych kondensatorach jest układ szeregowo-równoległy, którego schemat koncepcyjny przedstawiono na rys. 1.4a. Nazwa tego układu trafnie opisuje koncepcję jego działania, zgodnie z którą kondensatory C_{sw} są cyklicznie przełączane pomiędzy konfiguracją, w której za pomocą tranzystorów S_a dołączane są równolegle do źródła zasilającego U_{in} , a stanem, w którym tranzystory S_b łączą szeregowo źródło zasilające, wszystkie kondensatory przełączane, a także kondensator wyjściowy C_{out} . Podstawowa komórka tego



(a)



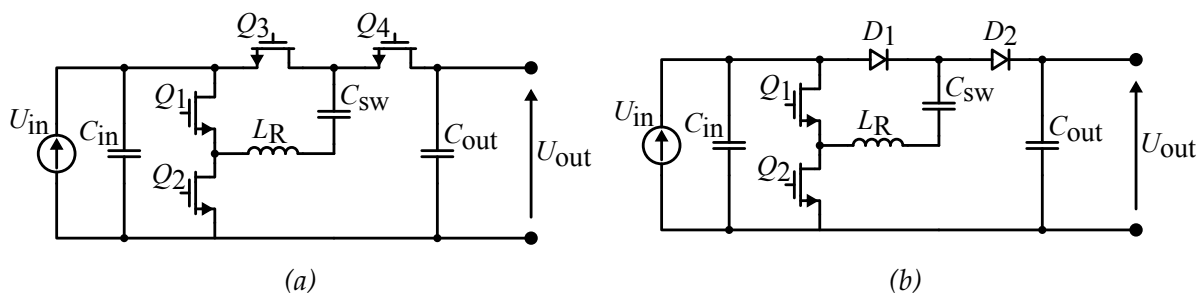
(b)

Rys. 1.4. Podstawowe topologie przekształtników o przełączanych kondensatorach: a) Przekształtnik szeregowo-równoległy SPC (ang. Series-Parallel Converter), b) Przekształtnik Fibonacciego

przekształtnika składa się z jednego kondensatora przełączanego oraz trzech łączników. Od ilości kaskadowo połączonych ze sobą komórek podstawowych zależy poziom wzmocnienia napięciowego oferowanego przez ten układ, który ostatecznie jest równy sumie napięć występujących na jego wszystkich kondensatorach przełączanych i źródle napięcia, z którego jest on zasilany. Istotną wadą tego układu jest to, że poziomy napięć występujące na poszczególnych łącznikach zależą od ich lokalizacji w układzie i osiągają wartość najwyższą w ostatnim stopniu kaskady.

Nieco inną koncepcją działania charakteryzuje się przekształtnik Fibonacciego. Analizując schemat tego układu, przedstawiony na rys. 1.4b, można zauważyć, że struktura jego połączeń wewnętrznych jest bardzo zbliżona do tej znanej z przekształtnika szeregowo-równoległego (SPC). Różnica polega na tym, że w przypadku przekształtnika SPC każdy z jego kondensatorów przełączanych, w czasie pracy układu, ładuje się do napięcia źródła zasilającego przekształtnik. W przypadku przekształtnika Fibonacciego poziom napięcia, do jakiego ładują się poszczególne kondensatory przełączane, zależy od ich kolejności w kaskadzie i jest równy sumie napięć występujących na dwóch poprzedzających go kondensatorach przełączanych [36]. Oznacza to, że teoretyczny poziom napięcia na kolejnych kondensatorach przełączanych jest równy iloczynowi wartości napięcia zasilającego przekształtnik oraz wyrazu ciągu Fibonacciego, znajdującego się na pozycji zgodnej z numerem danej komórki przekształtnika. Przykładowo, przy trzech połączonych modułach podstawowych przekształtnik Fibonacciego osiąga pięciokrotne wzmocnienie napięciowe. Podobnie jak w przypadku wcześniej omawianych przekształtników, również i tym razem do jego kontroli niezbędne są dwa sygnały — naprzemiennie załączające łączniki z grupy S_a oraz S_b .

Cechą wspólną wszystkich wyżej opisanych przekształtników jest to, że można je zrealizować, wykorzystując w tym celu wyłącznie kondensatory oraz łączniki półprzewodnikowe. W czasie, gdy główny obszar zastosowań tego typu przekształtników stanowiły układy scalone, właściwość ta była niezwykle korzystna, gdyż umożliwiała umieszczenie w jednej strukturze krzemowej zarówno elementu podstawowego, na przykład pamięci EPROM, wraz z dodatkowym zasilaczem wykonanym w technologii przełączanych kondensatorów, który dostarczał relatywnie wysokich napięć niezbędnych do skutecznej realizacji procesów jej zapisu i odczytu. Sytuacja nieco się zmieniła, gdy wraz z rosnącym zapotrzebowaniem na efektywne metody konwersji energii konstruktorzy dostrzegli możliwość adaptacji przekształtników, początkowo opracowanych na potrzeby implementacji w strukturach układów scalonych, do konwersji znacznie większych mocy i napięć. Oferowane przez układy o przełączanych kondensatorach wysokie współczynniki wzmocnienia napięciowego oraz brak elementów indukcyjnych w ich strukturach dawały nadzieję na budowę układów o wysokim współczynniku gęstości mocy i możliwości pracy w miejscach o podwyższonej temperaturze otoczenia [37]. Istotnym problemem, jaki wiązał się z wykorzystaniem



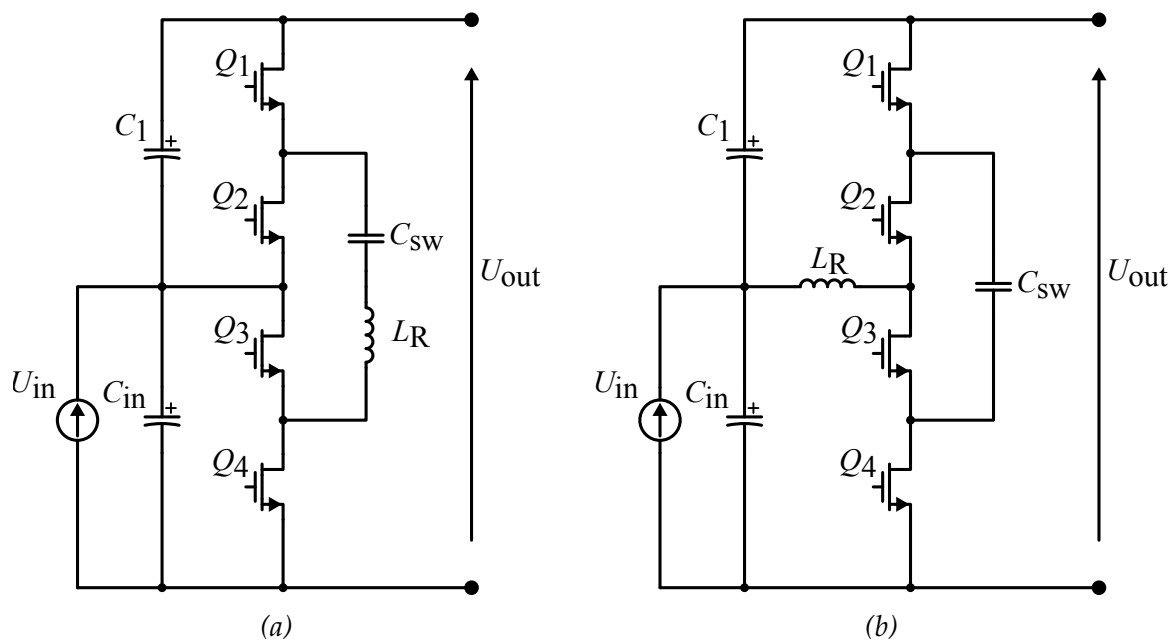
Rys. 1.5. Topologia rezonansowego przekształtnika podwajającego napięcie bazującego na układzie typu SCVD w wersji: a) Synchronicznej prezentowanej w [19], b) Asynchronicznej prezentowanej w [19, 38]

topologii przekształtników znanych z mikroelektroniki do przetwarzania większych ilości energii, były generowane przez nie zakłócenia elektromagnetyczne oraz niezadowalający poziom sprawności, z jaką początkowo proces ten był realizowany [18]. Źródłem tych problemów były krótkie impulsy prądu o bardzo dużych amplitudach, które występowały w momencie realizacji przełączeń poszczególnych kondensatorów. Rozwiązaniem okazało się wprowadzenie do obwodu niewielkich indukcyjności, mających zapewnić rezonansowy charakter występujących w nim przeładowań oraz umożliwić załączanie poszczególnych tranzystorów przy zerowym prądzie (*ang.* Zero Current Switching – ZCS). W publikacji [38] autorzy zaprezentowali koncepcję układu podwajającego napięcie, bazującą na układzie SCVD (rys. 1.3a). Modyfikacja polegała na dodaniu do gałęzi zawierającej kondensator przełączany dławika o niewielkiej indukcyjności rezonansowej ($L_R = 1 \mu\text{H}$) oraz zastąpieniu łączników w jego górnej gałęzi diodami prostowniczymi. Wprowadzenie tych zmian skutkowało wyeliminowaniem niechcianych impulsów prądu, występujących przy każdej komutacji zachodzącej w obwodzie, a jednocześnie pozwoliło zachować właściwości typowe dla układów o przełączanych kondensatorach. Jak podkreślają autorzy wspomnianej publikacji, w czasie pracy badanego przekształtnika energia magazynowana jest w pojemności kondensatora przełączanego, tak jak ma to miejsce w typowym układzie o przełączanych kondensatorach, natomiast dławik służy jedynie wywołaniu rezonansowego przebiegu prądu i umożliwieniu załączenia tranzystorów przy jego zerowej wartości.

Podobne rozwiązanie zaproponowano w [39], gdzie analizowano układ dwukrotnie obniżający napięcie. W treści artykułu zamieszczono wyniki eksperymentalne, potwierdzające fakt zwiększenia sprawności układu po zastosowaniu dławika rezonansowego. Szczególnie dużą różnicę, sięgającą 30 punktów procentowych, odnotowano w końcowym zakresie charakterystyki sprawności ($I_{\text{out}} = 1,5 \text{ A}$). Implementację układu dwukrotnie podwyższającego napięcie o topologii RSCVD (*ang.* Resonant Switched Capacitor Voltage Doubler), zarówno w wersji synchronicznej, jak i asynchronicznej (rys. 1.5), przedstawiono także w publikacji [19]. W przypadku prezentowanego

w niej przekształtnika autorzy zdecydowali się na wprowadzenie do gałęzi kondensatora przełączanego dławika o zdecydowanie większej indukcyjności ($L_R = 10,4 \mu\text{H}$), implementując tym samym przekształtnik typu RSCC (*ang. Resonant Switched Capacitor Converter*). W publikacji przedstawiono wyniki badań symulacyjnych i eksperymentalnych, dokumentujących możliwość pracy układu w trybie ZCS oraz ZVS (*ang. Zero Voltage Switching*). Ponadto omówiono cztery metody sterowania przekształtnikiem, z których trzy umożliwiały regulację napięcia wyjściowego układu zarówno poprzez zmianę częstotliwości impulsowania, jak i współczynnika wypełnienia. Dodatkowo zaprezentowano wyniki badań symulacyjnych prowadzonych nad układem regulacji, wykorzystującym sprzężenie zwrotne od prądu wejściowego i napięcia wyjściowego badanego przekształtnika w celu przeprowadzenia jego łagodnego rozruchu. W układzie tym zastosowano tranzystory typu GaN, co w połączeniu z redukcją strat związanych z rozładowywaniem pojemności wyjściowych tranzystorów (C_{oss}), osiąganą w wyniku wprowadzenia układu w tryb pracy ZVS, zaowocowało zwiększeniem jego maksymalnej sprawności do 99,2 %.

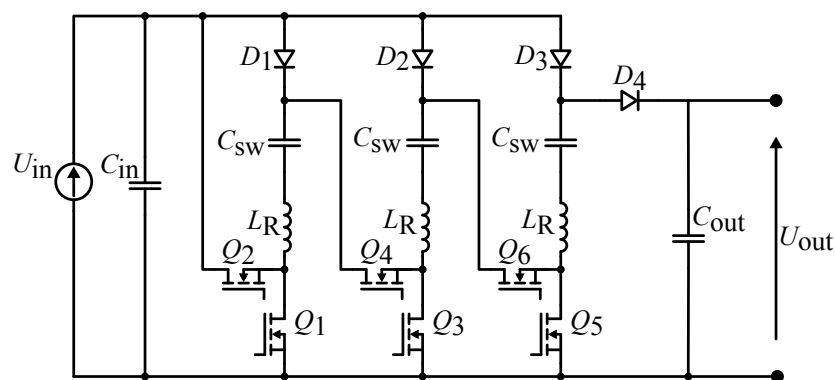
Przykładem innego przekształtnika rezonansowego o dwukrotnym wzmocnieniu napięciowym jest układ prezentowany w [40]. Autorzy tej publikacji przedstawiają wyniki badań przeprowadzonych na dwóch przekształtnikach, z których każdy stanowił modyfikację układu drabinkowego (*ang. Ladder Converter*). Wspomniane modyfikacje polegały na wprowadzeniu do struktury obu przekształtników indukcyjności rezonansowych ($L_R = 55 \mu\text{H}$). W przypadku pierwszego z badanych układów dławik umieszczono w gałęzi kondensatora przełączanego, natomiast w przypadku drugiego z badanych przekształtników znalazł się on w gałęzi łączącej punkt środkowy dzielnika pojemnościowego z gałęzią łączników. Schematy obu tych przekształtników przedstawiono na rys. 1.6. Autorzy podkreślają, że lokalizacja dławika ma istotny wpływ na warunki pracy badanego układu. W przypadku przekształtnika z dławikiem w gałęzi kondensatora rezonansowego (rys. 1.6a), przy niskich obciążeniach jego częstotliwość pracy wielokrotnie wzrasta, co skutkuje powstaniem dodatkowych strat łączeniowych i koniecznością modyfikacji sposobu jego sterowania w celu utrzymania odpowiedniego poziomu sprawności. W przypadku układu, w którym dławik umieszczono pomiędzy dzielnikiem pojemnościowym a gałęzią łączników (rys. 1.6b), opisany wcześniej problem nie występuje. Autorzy deklarują także, że maksimum sprawności osiąganego przez badany przekształtnik wynosi około 99,5 %. W czasie prowadzonych badań eksperymentalnych autorzy wspomnianej publikacji przebadali układy wykonane z wykorzystaniem tranzystorów GaN FET oraz CoolMOS. Wyniki przeprowadzonych badań wskazują, że skuteczność realizacji procedury ZVS istotnie zależy od rodzaju zastosowanych łączników. W artykule przedstawiono także oscylogramy ilustrujące przebieg procesu załączania tranzystorów CoolMOS oraz GaN FET w trybie ZVS. Można na nich zauważyć, iż w przypadku tranzystorów GaN FET pro-



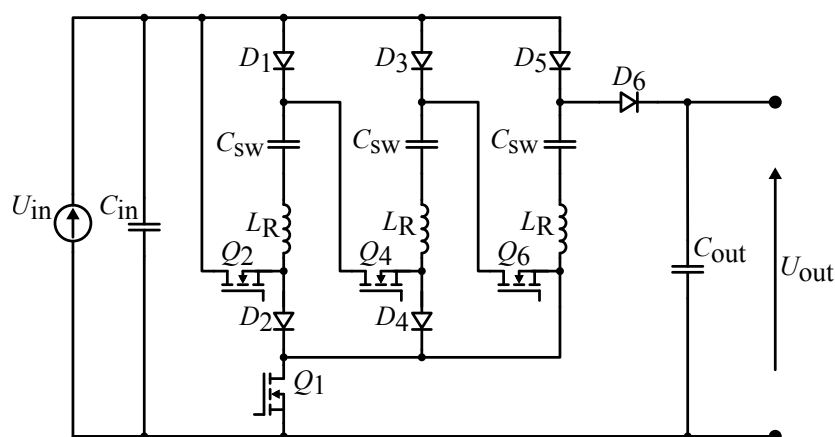
Rys. 1.6. Topologia rezonansowego przekształtnika podwajającego napięcie bazującego na układzie typu Ladder w wersji z: a) Sinusoidalnym prądem dławika rezonansowego [40], b) Z jednokierunkowym, pulsującym prądem dławika rezonansowego [40]

ces realizowany jest poprawnie, natomiast w przypadku tranzystorów CoolMOS nie dochodzi do pełnego rozładowania pojemności wyjściowej łączników. Przykłady innych realizacji przekształtników rezonansowych o dwukrotnym wzmacnieniu napięciowym przedstawiono w [41, 42].

Dużą popularnością w literaturze branżowej cieszą się także przekształtniki rezonansowe o zdecydowanie wyższych współczynnikach wzmacnienia napięciowego [43–49]. Często analizowanymi w publikacjach naukowych układami są przekształtniki należące do rodziny układów SCVM (*ang. Switched Capacitor Voltage Multiplier*), których badania najczęściej dotyczą poprawy ich sprawności, zwiększenia oferowanego przez te układy współczynnika wzmacnienia napięciowego oraz optymalizacji, polegających na zmniejszeniu liczby ich komponentów składowych lub poprawie ich objętościowego i masowego współczynnika gęstości mocy. Na rys. 1.7a przedstawiono podstawową topologię rezonansowego przekształtnika SCVM, bazującą na układzie szeregowo-równoległym. Układ ten realizuje czterokrotne wzmacnienie napięciowe, a w jego strukturze można dostrzec trzy gałęzie rezonansowe, sześć tranzystorów oraz cztery diody prostownicze. W publikacji [49] autorzy opisują modyfikację klasycznego układu SCVM, polegającą na usunięciu dwóch tranzystorów, odpowiedzialnych w układzie podstawowym za realizację procesu ładowania kondensatorów przełączanych. Na rys. 1.7 zamieszczono schemat zaproponowanej topologii, gdzie można zauważyć, że tranzystory Q_3 oraz Q_5 zostały usunięte, jednak w zamian do układu musiały zostać wprowadzone dwie dodatkowe diody prostow-



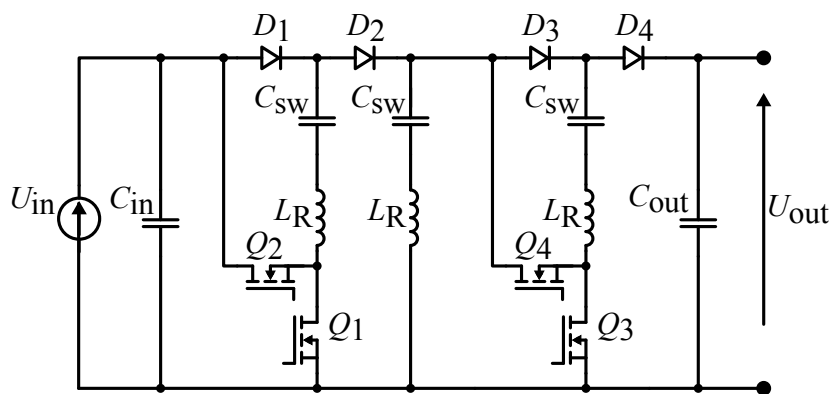
(a)



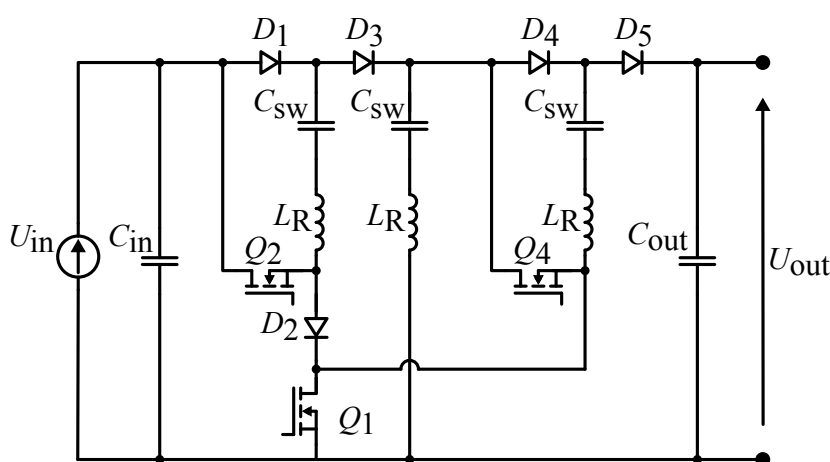
(b)

Rys. 1.7. Schematy rezonansowych przekształtników podwyższających napięcie: a) klasyczna wersja przekształtnika rezonansowego SCVM bazująca na topologii szeregowo-równoległej, b) zmodyfikowana topologia przekształtnika rezonansowego SCVM zaproponowana w [49]

nicze (D_2 oraz D_4). Po usunięciu tranzystorów, odpowiedzialnych za przewodzenie prądu drugiej oraz trzeciej gałęzi rezonansowej, ich rolę przejął tranzystor Q_1 . Wiąże się to z istotnym wzrostem wartości prądu przepływającego przez ten element, a tym samym także jego strat przewodzenia, co autorzy dokumentują w formie fotografii wykonanej w skali podczerwieni, na której wyraźnie widać, że łącznik Q_1 nagrzewa się zdecydowanie bardziej niż pozostałe elementy w strukturze przekształtnika. Dodatkową optymalizacją, zaprezentowaną w tym układzie, było wykorzystanie dławików planarnych oraz realizacja „bootstrapowego” zasilania dla sterowników bramkowych tranzystorów Q_2 , Q_4 oraz Q_6 . Maksymalna osiągnięta przez ten układ sprawność sięga 92 %, co ma miejsce przy mocy wyjściowej układu wynoszącej 100 W. W publikacji [47] autorzy przedstawili dwie kolejne modyfikacje układowe klasycznej wersji przekształtnika SCVM, mające na celu zmniejszenie ilości łączników wymaganych do jego pracy. Zaproponowane topologie przedstawiono na rys. 1.8. W przypadku każdej z nich ze środkowej gałęzi układu usunięto elementy półprzewodnikowe i wyko-



(a)



(b)

Rys. 1.8. Modyfikacje przekształtnika SCVM [47], w których dla zmniejszenia ilości wykorzystanych elementów półprzewodnikowych: a) jego gałąź środkową zastąpiono obwodem LC, b) uwspólniono tranzystor ładujący pojemności przełączane w gałęziach pierwszej oraz trzeciej

rzystano ją w charakterze magazynu energii pośredniczącego pomiędzy kolejnymi komórkami przekształtnika. W artykule zaprezentowano wyniki badań symulacyjnych, eksperymentalnych, a także przedstawiono analityczny model sprawności oraz wyznaczono zależność napięcia wyjściowego przekształtnika od poziomu jego obciążenia. Poza redukcją ilości tranzystorów, autorzy zdecydowali się także na zastosowanie dławików planarnych, co z pewnością korzystnie wpłynęło na wartość masowego i objętościowego współczynnika gęstości mocy analizowanego układu.

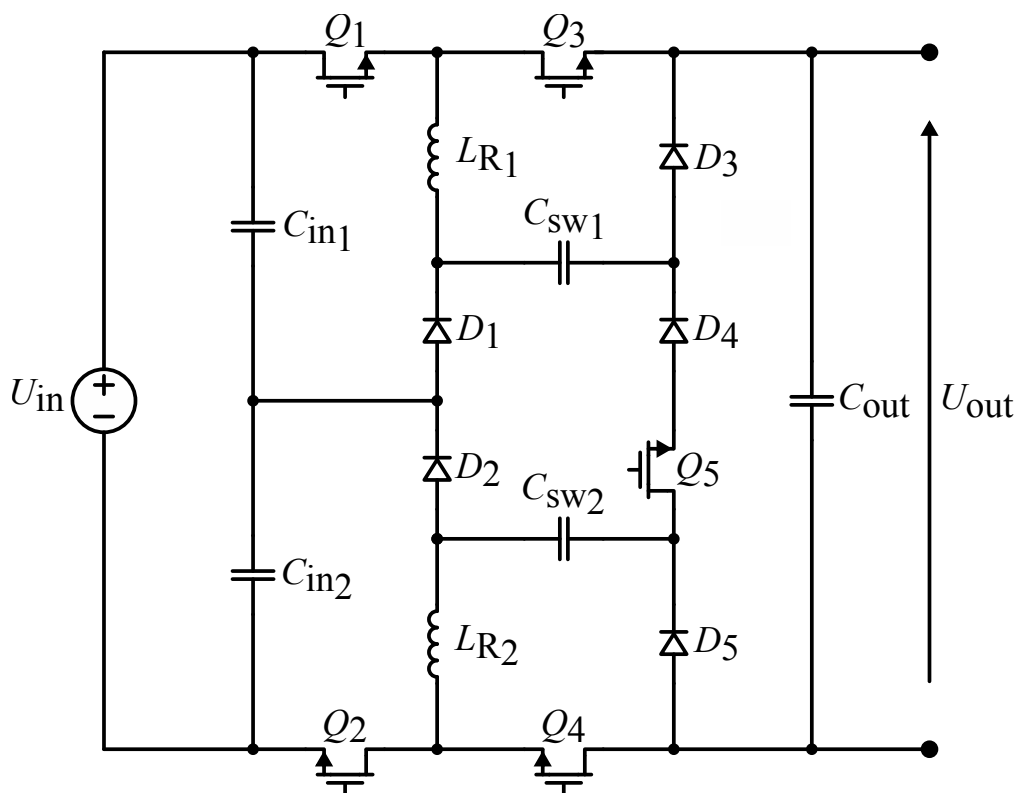
W autorskiej publikacji doktoranta [22] opisano wielopoziomowy przekształtnik rezonansowy o przełączanych kondensatorach, będący także głównym obiektem badań opisywanych w niniejszej rozprawie doktorskiej. We wspomnianym artykule wyjaśniono koncepcję działania opracowanej topologii HVGDCC (*ang. High Voltage Gain*

Direct Current Converter) oraz przedstawiono jej najważniejsze właściwości, zwracając szczególną uwagę na wysoki współczynnik wzmocnienia napięciowego oraz możliwość siedmiostopniowej regulacji napięcia wyjściowego w zakresie od U_{in} do $6U_{in}$. Inną istotną zaletą zaproponowanej topologii są obniżone wartości napięć blokowanych przez poszczególne łączniki, które jedynie nieznacznie przekraczają połowę napięcia wyjściowego na dwóch z pięciu tranzystorów wchodzących w skład jego obwodu mocy. W przypadku trzech pozostałych łączników napięcia blokowane utrzymują się na poziomie napięcia źródła zasilającego przekształtnik. W [22] podczas badań eksperymentalnych zweryfikowano warunki pracy przekształtnika HVGDCC w trzech różnych konfiguracjach sprzętowych, które różniły się typem łączników zastosowanych w poszczególnych sekcjach układu. Najlepsze rezultaty uzyskano dla konfiguracji, w której stopień wejściowy wyposażono w krzemowe diody Schotky'ego oraz krzemowe tranzystory MOSFET, natomiast w stopniu wyjściowym zastosowano tranzystory CoolMOS oraz diody SiC. Przekształtnik pracujący w tej konfiguracji osiągnął maksymalną sprawność na poziomie 93 % przy mocy wyjściowej wynoszącej 350 W. Porównania wszystkich ujętych w publikacji [22] konfiguracji sprzętowych przekształtnika HVGDCC dokonano na podstawie ich charakterystyk sprawności, zarejestrowanych w czasie prowadzonych prac eksperymentalnych. W tym miejscu należy zaznaczyć, iż zakres wówczas wykonanych badań nie obejmował analizy przekształtnika wykonanego z wykorzystaniem tranzystorów z azotku galu. Wersję przekształtnika, w którego obwodzie mocy zastosowano tranzystory GaN, zbudowano na dalszym etapie prac, a po jej przebadaniu i porównaniu z wcześniej opracowanymi wersjami układu HVGDCC, przygotowano publikację [23], w której skupiono się na analizie przebiegów prądów poszczególnych komponentów przekształtnika HVGDCC. Szczególną uwagę zwrócono na występujące w czasie komutacji układu zbudowanego z wykorzystaniem tranzystorów CoolMOS, krótkie impulsy prądu o amplitudach znacznie przekraczających maksymalne wartości prądów rezonansowych przepływających przez te komponenty. Eksperymentalnie dowiedziono, iż zastosowanie tranzystorów GaN istotnie zmniejsza ilość tego typu niepożądanych impulsów obserwowanych w przebiegach prądu wejściowego przekształtnika i jego poszczególnych komponentów, a w przypadku pozostałych prowadzi do znacznego ograniczenia ich amplitudy. Zjawisko polegające na występowaniu bardzo krótkich impulsów prądu o znacznych wartościach, pojawiających się tuż po rozpoczęciu komutacji, jest charakterystyczne dla przekształtników wielopoziomowych, wykorzystujących klasyczne tranzystory krzemowe o relatywnie dużych pojemnościach wyjściowych C_{oss} . Fakt występowania tego typu impulsów prądu zwiększa ilość zakłóceń elektromagnetycznych generowanych przez tego typu przekształtnik, a także skutkuje pogorszeniem sprawności, z jaką realizowany jest proces przekształcania energii w tego typu układzie. Mimo powszechności występowania wspomnianego zjawiska

i jego negatywnego wpływu na szeroką grupę przekształtników o wysokim potencjale aplikacyjnym, w literaturze branżowej nie poświęca się zbyt wiele uwagi rozwiązaniom mającym na celu ograniczenie skutków występowania tego zjawiska w przekształtnikach wielopoziomowych lub jego całkowitej eliminacji.

Poza przekształtnikami podwyższającymi napięcie, do grupy intensywnie rozwijanych układów rezonansowych o przełączanych kondensatorach należy zaliczyć również te, które charakteryzują się możliwością jego wielokrotnego obniżania. Jednym z obszarów aplikacyjnych, w którym tego typu topologie mogłyby być stosowane, są systemy zasilania komputerów dużych mocy pracujących w naukowych i komercyjnych centrach obliczeniowych. W celu redukcji strat rezystancyjnych oraz zmniejszenia przekrojów poprzecznych przewodów i szyn dystrybuujących napięcie stałe do poszczególnych zespołów obliczeniowych, projektanci tego typu systemów coraz częściej decydują się na zwiększenie wewnętrznego napięcia dystrybucyjnego z 12 V do 48 V [50].

Rozwiązanie to wiąże się jednak z koniecznością stosowania w poszczególnych zespołach obliczeniowych przekształtników umożliwiających konwersję napięcia z 48 V do poziomu akceptowalnego przez poszczególne podzespoły jednostek obliczeniowych, który najczęściej nie przekracza 3 V. Wszystko to sprawia, że rezonansowe przekształtniki o przełączanych kondensatorach, charakteryzujące się możliwością wielokrotnego obniżania napięcia, dużą gęstością mocy i relatywnie wysoką sprawnością, zyskują na popularności i coraz częściej rozważa się możliwość ich aplikacji w tego typu systemach. Ponadto, za sprawą rosnącej popularności tego typu rozwiązań, przekształtniki te stają się przedmiotem badań naukowych mających na celu poprawę właściwości już istniejących układów, jak również opracowanie nowych topologii dostosowanych do wymagań stawianych przez systemy, z którymi miałyby one współpracować [51–61]. Koncepcję realizacji zasilania superkomputerów z wykorzystaniem rezonansowych przekształtników o przełączanych kondensatorach szerzej omówiono w publikacji będącej efektem prac badawczych, w których autor niniejszej rozprawy doktorskiej brał czynny udział [51]. We wspomnianym artykule opisano wyniki badań analitycznych, symulacyjnych oraz eksperymentalnych wielopoziomowego przekształtnika obniżającego napięcie, który powstał w wyniku modyfikacji topologii układu HVGDC [22, 23] polegającej na wzajemnej zmianie położenia diod prostowniczych i tranzystorów, a także zacisków wejściowych i wyjściowych tegoż układu. Schemat poglądowy przekształtnika analizowanego w [51] przedstawiono na rys. 1.9. W treści artykułu, na podstawie opracowanego modelu analitycznego badanego przekształtnika, opisano rozkład strat w jego poszczególnych komponentach przy różnych poziomach jego obciążenia. W każdym z analizowanych przypadków, głównym źródłem strat powstających w układzie okazały się diody prostownicze, a udział strat powstających w ich strukturach stanowił około 70 % wszystkich strat występujących



Rys. 1.9. Schemat ideowy rezonansowego przekształtnika obniżającego napięcie będący modyfikacją układu HVGDC [51]

w analizowanym przekształtniku. Z analitycznego modelu sprawności wynika także, że synchroniczna wersja zaproponowanego układu (diody prostownicze zastąpione tranzystorami) uzyskuje sprawność o około 10 punktów procentowych wyższą od tej osiąganą przez układ, w którego strukturze zastosowano diody prostownicze. Wysoki poziom strat przewodzenia występujący w badanym przekształtniku wynika wprost ze znacznych wartości prądów płynących w poszczególnych gałęziach przekształtnika, a jedyną możliwością ich minimalizacji jest budowa układu synchronicznego i jednoczesna redukcja występujących w nim rezystancji pasożytniczych. Model eksperymentalny przekształtnika wykonano w wersji asynchronicznej z tranzystorami GaN. Wyniki badań przeprowadzonych na tak skonfigurowanym modelu potwierdziły wyniki przeprowadzonych analiz teoretycznych. Maksymalna sprawność osiągnięta przez ten przekształtnik sięga 88 %, gdy układ pracuje w trybie ZVS oraz spada do 84 % po przełączeniu w tryb pracy ZCS. Istotny wpływ rezystancji pasożytniczych i strat przewodzenia w diodach na pracę układu widoczny jest w charakterystykach przedstawiających zależność sprawności oraz napięcia wyjściowego badanego przekształtnika od mocy jego obciążenia. W przypadku każdej z tych charakterystyk, wyraźnie widać liniowy spadek ich wartości postępujący wraz ze wzrostem obciążenia układu.

W publikacji [52] autorzy zaproponowali koncepcję przekształtnika sześciokrotnie obniżającego napięcie o topologii stanowiącej modyfikację układu szeregowo-równoległego. Jeden cykl pracy prezentowanego przekształtnika składa się z trzech taktów, w czasie których kondensatory przełączane znajdujące się w jego strukturze są naprzemiennie ładowane i rozładowywane. Układ przeznaczony jest do stosowania w charakterze przekształtnika pośredniczącego w systemach zasilania urządzeń serwerowych, do których energia dostarczana jest za pośrednictwem wewnętrznej sieci dystrybucyjnej napięcia stałego o wartości 48 V. Zaprezentowane wyniki badań eksperymentalnych przeprowadzonych na tym przekształtniku wskazują, iż osiąga on wysoką sprawność sięgającą 99 % przy prądzie obciążenia wynoszącym około 5 A. Wraz ze wzrostem obciążenia sprawność układu nieznacznie spada, osiągając w końcowej części charakterystyki ($I_{\text{out}} = 40 \text{ A}$) około 97,5 %. Ponadto należy zaznaczyć, że prezentowany układ cechuje się zwartą budową, dzięki czemu osiąga gęstość mocy przekraczającą 2230 W/in^3 . W [53] przedstawiono przekształtnik rezonansowy o przełączanych kondensatorach umożliwiającym ośmiokrotne obniżenie napięcia. Struktura wewnętrzna tego układu bazuje na schemacie przekształtnika szeregowo-równoległego i jest modyfikacją układu opisanego w [52]. Wprowadzone zmiany pozwoliły na dalsze obniżenie napięcia wyjściowego przekształtnika, jednak skutkowało to zmniejszeniem jego sprawności, która w warunkach maksymalnego obciążenia ($I_{\text{out}} = 40 \text{ A}$) spadła o około dwa punkty procentowe w porównaniu do wcześniej omawianego układu. W publikacjach [54, 55] zaprezentowano układy obniżające napięcie, bazujące na topologii przekształtnika drabinkowego (*ang. Ladder*). Autorzy obu wspomnianych artykułów jako przewidywany obszar zastosowań dla prezentowanych w nich układów wskazują systemy zasilania jednostek obliczeniowych dużych mocy. W [54] przedstawiono koncepcję układu rezonansowego, czterokrotnie obniżającego napięcie. W systemie zasilania jednostki obliczeniowej mógłby on pełnić rolę przekształtnika pośredniczącego, który zasilalby napięciem o wartości 12 V sekcję przetwornic niskonapięciowych obniżających to napięcie do poziomów wymaganych przez poszczególne podzespoły jednostki obliczeniowej. Z przedstawionych w artykule fotografii wynika, iż układ charakteryzuje się zwartą budową, a jego gabaryty są niewielkie. Warto podkreślić, że zbudowany model eksperymentalny w swojej strukturze zawiera mikrokontroler sterujący pracą przekształtnika. Prezentowane w publikacji wyniki badań eksperymentalnych wskazują, że układ charakteryzuje się wysoką sprawnością, która przy maksymalnym prądzie obciążenia ($I_{\text{out}} = 80 \text{ A}$) nie spada poniżej 94 %, a maksimum jego charakterystyki sprawności wynosi około 98,1 %, co ma miejsce, gdy z układu pobierany jest prąd $I_{\text{out}} = 30 \text{ A}$. Autorzy publikacji [55] przedstawili bardziej kompleksowe rozwiązanie problemu zasilania jednostek obliczeniowych, którym jest przekształtnik hybrydowy będący kaskadowym połączeniem kilku komórek układu drabinkowego z synchronicznym przekształtnikiem obniżającym napię-

cie typu BUCK. W tej konfiguracji przekształtnik drabinkowy obniża napięcie wyjściowe 16-krotnie, generując na swoim wyjściu napięcie o wartości 3 V. Napięcie to jest następnie dalej obniżane przez przetwornicę BUCK do wartości 1 V. Układ hybrydowy w tej konfiguracji daje możliwość regulacji napięcia, a to w połączeniu z odpowiednim regulatorem pozwala uniezależnić wartość napięcia wyjściowego od wahań napięcia wewnętrznej sieci dystrybucyjnej (48 V). W [56] autorzy zaprezentowali topologię układu hybrydowego łączącą w sobie przekształtnik szeregowo-równoległy, o topologii zbliżonej do tego przedstawionego w [52], z dwoma naprzemiennie sterowanymi przekształtnikami obniżającymi napięcie typu BUCK. W układzie tym konwersja napięcia realizowana jest dwuetapowo. W pierwszej kolejności przekształtnik szeregowo-równoległy obniża napięcie wewnętrznej sieci dystrybucyjnej (48 V) do poziomu 6 V, a następnie dwie naprzemiennie sterowane przetwornice obniżają je do 3 V. Dodatkową zaletą tego przekształtnika jest możliwość regulacji jego napięcia wyjściowego w zakresie od 1 V do 2,5 V. Warto również zaznaczyć, że w prezentowanym układzie prąd przepływający przez dławiki ma czterokrotnie wyższą częstotliwość od częstotliwości impulsowania układu, co umożliwia poprawę jego współczynnika gęstości mocy poprzez zastosowanie elementu indukcyjnego o mniejszych gabarytach. Sprawność prezentowanego układu zależy od poziomu jego napięcia wyjściowego oraz mocy obciążenia. Maksymalna sprawność układu pracującego z napięciem wyjściowym $U_{out} = 2,5 \text{ V}$, wynosi 95,1 % i osiągana jest, gdy prąd wyjściowy przekształtnika I_{out} wynosi 20 A. Przykłady innych układów hybrydowych przedstawiono w [57, 58]. Pierwsza z wspomnianych publikacji opisuje przekształtnik będący modyfikacją układu typu Dickson. Autorzy podkreślają, iż poziom jego napięcia wyjściowego zależy od ilości komórek podstawowych tworzących kaskadę, a to sprawia, że może być on relatywnie łatwo dostosowywany do wartości wynikającej z wymagań konkretnej aplikacji. Inną zaletą zaproponowanego układu jest to, iż wykorzystuje on w swojej strukturze wyłącznie jeden dławik, co korzystnie wpływa na jego objętościowy i masowy współczynnik gęstości mocy. Wprowadzona przez autorów publikacji modyfikacja topologii klasycznej polegała na zmianie położenia indukcyjności w obwodzie i schematu sterowania. Doprowadziło to do zmniejszenia wartości prądu dławika, a w konsekwencji także ilości występujących w nim strat. W publikacji [58] także zaprezentowano układ hybrydowy, jednak w tym przypadku zawierał on w swojej strukturze dwa dławiki oraz czterouzwojeniowy transformator planarny. Zaprezentowana topologia pozwala czternastokrotnie obniżyć napięcie, jednak zastosowanie transformatora istotnie zwiększa koszt układu, zwłaszcza, jeśli tak jak w prezentowanym przypadku, miałby to być transformator składający się z 24 warstw laminatu.

Ważnym kierunkiem rozwoju przekształtników rezonansowych o przełączanych kondensatorach, zarówno podwyższających, jak i obniżających napięcie, jest wykorzystanie do ich budowy nowych typów tranzystorów i diod. Powszechnie stosowane

łączniki krzemowe są coraz częściej zastępowane przez elementy przełączające wykonane z półprzewodników charakteryzujących się szerokim pasmem zabronionym (*ang. Wide Bandgap – WBG*), takich jak węgiel krzemu (SiC) oraz azotek galu (GaN) [6]. Trend ten potwierdza wysoka aktywność publikacyjna w obszarze adaptacji istniejących topologii przekształtników rezonansowych o przełączanych kondensatorach do zastosowania z łącznikami wykonanymi z tego typu półprzewodników. W manuskryptach opublikowanych na przestrzeni ostatnich lat można znaleźć niemal wszystkie z wyżej opisanych topologii układów rezonansowych o przełączanych kondensatorach wyposażone w tranzystory typu GaN lub SiC [19, 40, 62–64], a także wiele modyfikacji tych układów, zaprojektowanych z myślą o wykorzystaniu do ich budowy właśnie tranzystorów WBG [51, 65–67]. Półprzewodniki takie jak azotek galu czy węgiel krzemu, dzięki swoim szczególnym właściwościom, pozwalają na budowanie tranzystorów i diod, które pod wieloma względami zdecydowanie przewyższają elementy krzemowe [68]. Zestawienie najistotniejszych parametrów i ich wartości [69, 70], charakteryzujących wspomniane materiały półprzewodnikowe, zamieszczono w tabeli 1.1, a ich graficzną reprezentację przedstawiono na rys. 1.10.

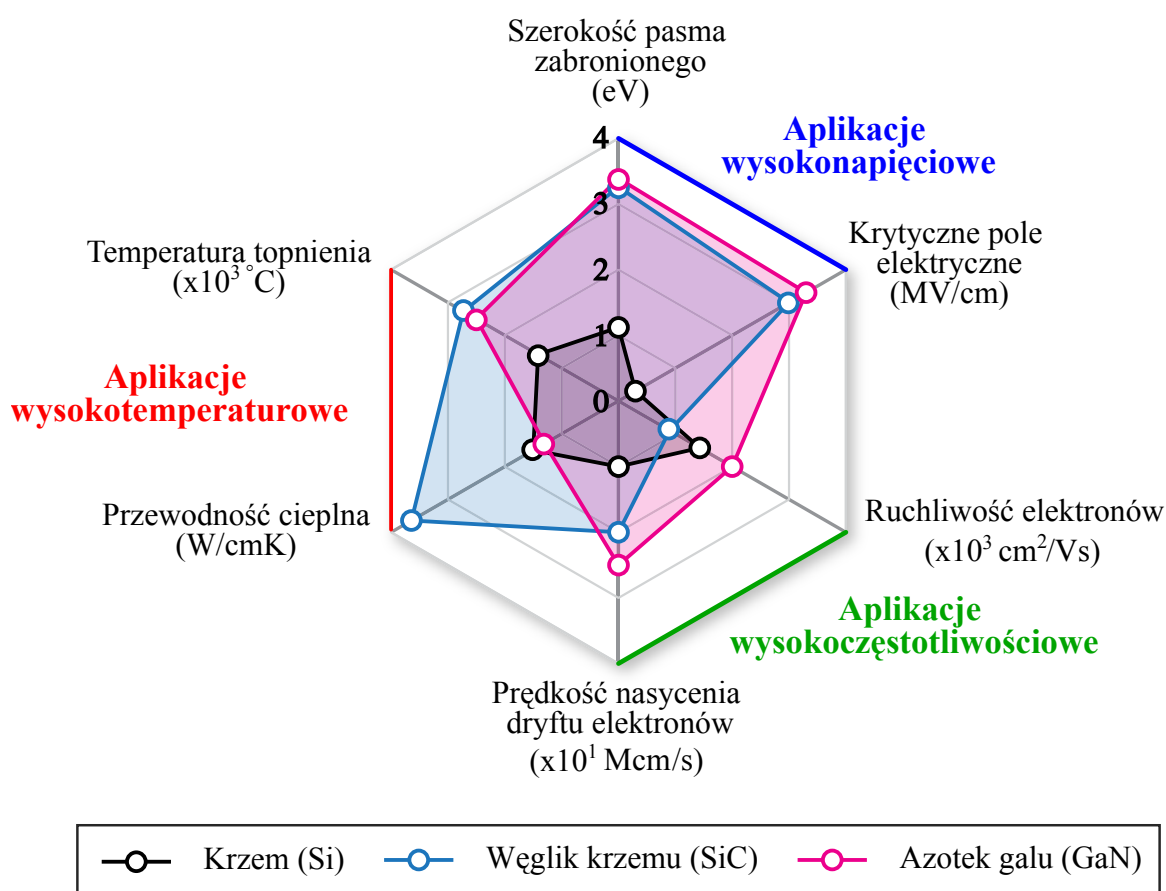
Tabela 1.1. Właściwości materiałów półprzewodnikowych stosowanych do budowy łączników energoelektronicznych, właściwe dla materiałów o temperaturze 25 °C [69, 70]

Parametr	Półprzewodnik		
	Krzem (Si)	Azotek galu (GaN)	Węgiel krzemu (SiC)
Szerokość pasma zabronionego (eV)	1.12	3.39	3.26
Krytyczne pole elektryczne (MV/cm)	0.3	3.3	3.0
Ruchliwość elektronów (cm ² /Vs)	1430	2000	900
Przewodność cieplna (W/cmK)	1.5	1.3	3.7
Temperatura topnienia (K)	1414	2500	2730
Prędkość nasycenia dryftu elektronów (Mcm/s)	10	25	20

Zamieszczone w tabeli 1.1 wartości poszczególnych parametrów charakteryzujących materiały półprzewodnikowe o szerokim paśmie zabronionym (SiC, GaN) oraz krzem (Si) wskazują na istotne różnice w ich właściwościach. Jak sugeruje nazwa grupy półprzewodników, do której zalicza się węgiel krzemu oraz azotek galu, charakteryzują się one zwiększoną szerokością pasma zabronionego, które jest około trzykrotnie szersze niż w przypadku krzemu. Oznacza to, że przyrządy półprzewodnikowe wykonane z azotku galu lub węgla krzemu cechują się wyższymi dopuszczalnymi napięciami blokowania niż elementy krzemowe. Dzięki możliwości zwiększenia poziomu ich domieszkowania oraz zmniejszenia grubości obszaru dryftowego, tranzystory wy-

konane z tych materiałów osiągają niższe wartości rezystancji kanału (R_{DSon}), co wiąże się ze zmniejszeniem strat przewodzenia. Ponadto, ze względu na zwiększoną szerokość pasma zabronionego w półprzewodnikach SiC oraz GaN, do przejścia elektronu z pasma walencyjnego do pasma przewodnictwa wymagane jest dostarczenie większej ilości energii. Sprawia to, że łączniki wykonane z tych półprzewodników idealnie nadają się do pracy w środowisku o podwyższonej temperaturze [71, 72]. Dodatkowo, wyższy poziom napięcia krytycznego azotku galu i węgla krzemu sprawia, że budowane z ich wykorzystaniem struktury półprzewodnikowe charakteryzują się zdecydowanie mniejszymi wymiarami niż elementy krzemowe o odpowiadających im parametrach.

W efekcie tranzystory budowane z wykorzystaniem tego typu półprzewodników mogą odznaczać się niższymi pojemnościami pasożytniczymi niż ma to miejsce w przypadku klasycznych tranzystorów krzemowych. Minimalizacja wymiarów stosowanych struktur półprzewodnikowych pozwala także na zmniejszenie obudów tranzystorów, w następstwie czego dochodzi do redukcji indukcyjności pasożytniczych ich wyprowadzeń, ograniczenia oscylacji komutacyjnych, a w konsekwencji



Rys. 1.10. Graficzne porównanie właściwości materiałów półprzewodnikowych stosowanych do budowy łączników energoelektronicznych. Wykres sporządzono na podstawie [71]

także do zmniejszenia strat przełączania występujących w przekształtniku [73, 74]. W tym miejscu warto również zaznaczyć, że ze względów technologicznych tranzystory typu GaN produkowane są w formie poziomych struktur półprzewodnikowych (*ang. lateral device*), co w większości przypadków ogranicza maksymalną wartość blokowanego przez nie napięcia do około 650 V. Redukuje to zatem ich potencjalny obszar aplikacyjny do urządzeń średniej mocy, pracujących przy relatywnie niskich napięciach. Aby wykorzystać właściwości tranzystorów GaN w aplikacjach wysokonapięciowych, ich producenci intensywnie pracują nad rozwojem pionowych struktur półprzewodnikowych (*ang. trench device*), a inżynierowie opracowują topologie układów energoelektronicznych, w których zamiast pojedynczych tranzystorów GaN stosowane są moduły stanowiące szeregowo połączenie kilku indywidualnych tranzystorów [75–78].

Analizując pozostałe parametry zamieszczone w tabeli 1.1, można zauważyć, że prędkość nasycenia dryftu elektronów oraz ich ruchliwość w materiałach WBG znacznie przewyższają wartości obserwowane w krzemie. Przekłada się to na skrócenie czasu potrzebnego do przełączenia tranzystorów wykonanych z tych materiałów, a w przypadku diod – na zmniejszenie ilości ładunku resztkowego gromadzącego się w ich złączu. W przypadku każdego z tych przyrządów półprzewodnikowych prowadzi to do zmniejszenia strat łączeniowych. Warto również zwrócić uwagę na przewodność cieplną omawianych materiałów półprzewodnikowych. W przypadku azotku galu parametr ten osiąga nieco niższe wartości niż dla krzemu, jednak jego ograniczona zdolność do odprowadzania ciepła ze złącza kompensowana jest przez zmniejszoną ilość strat powstających w łącznikach wykonanych z tego materiału. Wynika to ze zwiększonej ruchliwości elektronów w jego strukturze i w naturalny sposób klasyfikuje tranzystory GaN jako elementy przeznaczone do zastosowania w układach pracujących z wysoką częstotliwością i średnim poziomem mocy wyjściowej, zazwyczaj nieprzekraczającym 10 kW [68]. Przewodność cieplna węgla krzemu jest zdecydowanie wyższa i osiąga poziom $3,7 \text{ W} \cdot \text{cm}^{-1} \cdot \text{K}$, co stanowi wartość około 2.5 razy wyższą od tej notowanej dla krzemu. Ułatwiony transfer ciepła ze złącza do obudowy, a następnie do otoczenia, sprawia, że tranzystory wykonane z tego półprzewodnika znajdują zastosowanie głównie w przekształtnikach dużych mocy.

1.4 Cele badawcze pracy

W początkowej fazie prac prowadzonych nad niniejszą rozprawą doktorską przyjęto następujące cele badawcze:

1. Badanie stanu wiedzy i techniki w dziedzinie wielopoziomowych przekształtników DC-DC o przełączanych kondensatorach i rezonansowym prądzie przełączania, wykorzystujących w swojej strukturze tranzystory typu MOSFET oraz GaN,
2. Opracowanie topologii wielopoziomowego przekształtnika rezonansowego o przełączanych kondensatorach i wykazanie jego charakterystycznych właściwości polegających na możliwości:
 - uzyskania wysokiego współczynnika wzmocnienia napięciowego,
 - uzyskania wysokiej sprawności energetycznej,
 - uzyskania obniżonych wartości napięć blokowanych przez łączniki,
 - realizacji skokowej i wielostopniowej regulacji jego napięcia wyjściowego.
3. Przeprowadzenie analizy strat energii występujących w topologii opracowanego przekształtnika,
4. Przeprowadzenie badań symulacyjnych opracowanego przekształtnika wykonanego w wersji z tranzystorami MOSFET oraz GaN,
5. Przeprowadzenie badań eksperymentalnych opracowanego przekształtnika wykonanego w wersji z tranzystorami MOSFET oraz GaN,
6. Wykazanie wpływu na pracę przekształtnika, modyfikacji polegającej na zastąpieniu w wielopoziomowym przekształtniku rezonansowym o przełączanych kondensatorach tranzystorów MOSFET łącznikami typu GaN.

1.5 Struktura pracy

Niniejsza rozprawa doktorska składa się z sześciu rozdziałów, prezentujących w chronologicznej kolejności opis oraz rezultaty przeprowadzonych prac analitycznych, symulacyjnych i eksperymentalnych, mających na celu zaprojektowanie, zbudowanie oraz przebadanie innowacyjnego przekształtnika DC-DC wykonanego w technologii przełączanych kondensatorów.

Pracę rozpoczyna wprowadzenie, w którym podkreślono znaczenie energoelektroniki we współczesnym świecie oraz jej rosnącą popularność w urządzeniach wykorzystywanych zarówno w codziennym życiu, jak i przemyśle. W tej części rozprawy wskazano również, że zakres prowadzonych badań obejmuje wielopoziomowe przekształtniki rezonansowe zrealizowane w technologii przełączanych kondensatorów, zwracając uwagę na istotne zalety tych układów, które sprawiają, że mogą znaleźć zastosowanie w coraz popularniejszych mikroinstalacjach fotowoltaicznych.

We wprowadzeniu podkreślono również, że prowadzone badania dotyczą przekształtnika o topologii HVGDCC (*ang. High Voltage Gain Direct Current Converter*), opracowanego przez autora niniejszej rozprawy wspólnie z jej promotorem, Panem Profesorem Robertem Stalą. Ponadto wyjaśniono, że badania te miały charakter porównawczy i obejmowały dwa układy o tej samej topologii (HVGDC), różniące się rodzajem zastosowanych tranzystorów. Następnie zwięźle przedstawiono wyniki przeprowadzonych badań literaturowych, ilustrując w ten sposób obecny stan wiedzy naukowej i technicznej w dziedzinie wielopoziomowych przekształtników rezonansowych o przełączanych kondensatorach, ze szczególnym uwzględnieniem układów wykorzystujących w swojej strukturze tranzystory z azotku galu (GaN). We wprowadzeniu zdefiniowano również tezę niniejszej pracy oraz jej szczegółowe cele badawcze.

Rozdział drugi przedstawia opis zaproponowanej topologii przekształtnika HVGDCC. W tej części pracy w sposób szczegółowy omówiono zasadę działania opracowanego układu przy każdym z możliwych do osiągnięcia w tej topologii poziomów napięcia wyjściowego. Ponadto, szczegółowo wyjaśniono proces realizacji procedury załączania tranzystorów tego układu przy zerowym napięciu, wskazując jednocześnie, na których tranzystorach to zjawisko może wystąpić oraz przedstawiając zestaw ilustrujących je przebiegów teoretycznych. W tym rozdziale zawarto również opis przeprowadzonych prac analitycznych uwzględniających matematyczną analizę wzmocnienia napięciowego opracowanego układu oraz analizę strat występujących w jego poszczególnych komponentach, co zakończono zdefiniowaniem zależności pozwalającej wyznaczyć sprawność przekształtnika przy zadanej wartości jego mocy wyjściowej. W końcowej części tego rozdziału zdefiniowano warunki pracy dla przygotowywanego układu eksperymentalnego oraz przeprowadzono procedurę doboru jego komponentów składowych.

W rozdziale trzecim, opisano zaimplementowany w środowisku Matlab model analityczny przekształtnika HVGDCC, który wykorzystano do wyznaczenia teoretycznych charakterystyk sprawności układów HVGDCC-CoolMOS oraz HVGDCC-CoolGaN. Na podstawie przeprowadzonych obliczeń wykreślono również szereg krzywych obrazujących zależność ilości strat występujących w poszczególnych elementach przekształtnika od stopnia jego obciążenia. Przedstawione w tym rozdziale charakterystyki, skrupulatnie przeanalizowano, wyjaśniając przy tym mechanizmy powstawania strat w poszczególnych komponentach i odnosząc je do kształtu obserwowanych charakterystyk.

Rozdział czwarty dotyczy przeprowadzonych badań symulacyjnych. W tej części pracy opisano metodologię prowadzenia badań symulacyjnych uwzględniając przy tym opis zastosowanych modeli tranzystorów, a także modelu samego przekształtnika i jego układu sterowania. Pierwsze wyniki badań symulacyjnych zaprezentowane w tym rozdziale potwierdziły zasadę działania opracowanego przekształtnika, co umożliwiło rozpoczęcie bardziej skomplikowanych symulacji mających na celu wyznaczenie charakterystyk sprawności badanych układów. Badania symulacyjne wykonano dla każdej z badanych wersji przekształtnika HVGDCC, uwzględniając przy tym zarówno tryb pracy ZCS, jak i ZVS. Symulacje przeprowadzono w środowisku przeznaczonym do prowadzenia obliczeń równoległych, a zarejestrowane wyniki umożliwiły porównanie krzywych sprawności wykreślonych dla obu układów i powiązanie występujących w nich różnic z różnymi parametrami tranzystorów i diod prostowniczych zastosowanych do ich budowy.

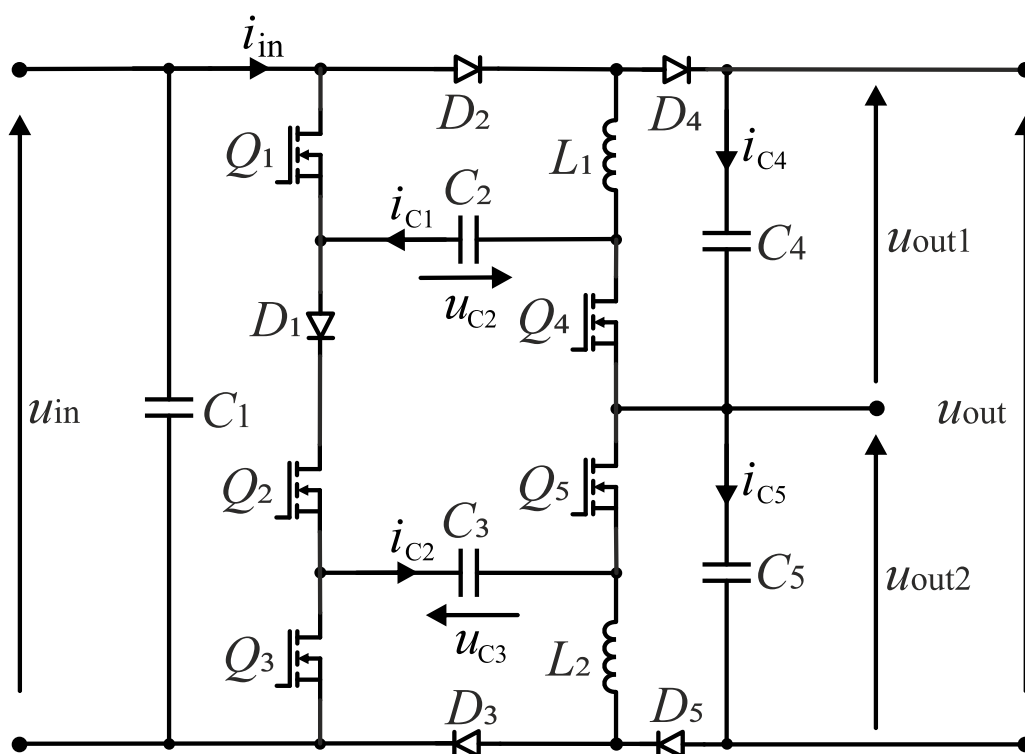
Rozdział piąty poświęcono badaniom eksperymentalnym. Rozpoczyna się on od opisu zbudowanych układów testowych, stanowisk badawczych oraz kontrolera sterującego pracą każdego z badanych przekształtników. W rozdziale zamieszczono serię oscylogramów, które ilustrują zasadę działania opracowanego przekształtnika, a także wyniki potwierdzające możliwość jego pracy w trybie ZVS. Dla każdego z badanych układów (HVGDCC-CoolMOS oraz HVGDCC-CoolGaN) zarejestrowano dwie charakterystyki sprawności – w czasie pracy w trybie ZCS oraz ZVS. Wyniki przeprowadzonych badań eksperymentalnych obu przekształtników porównano ze sobą, jak również z rezultatami wcześniejszych analiz symulacyjnych i analitycznych.

Pracę kończy rozdział szósty, będący podsumowaniem, w którym scharakteryzowano przeprowadzone prace badawcze i wyszczególniono osiągnięte cele naukowe. Ponadto, zamieszczono w nim także listę aktywności naukowych podejmowanych przez doktoranta, a tematycznie związanych z zagadnieniami poruszonymi w niniejszej rozprawie. Dodatkowo, w rozdziale tym zamieszczono także listę publikacji, które powstały przy współudziale autora niniejszej rozprawy, a tematycznie dotyczyły zagadnień związanych z układami rezonansowymi o przełączanych kondensatorach.

2. Przekształtnik HVGDCC

2.1 Charakterystyka topologii HVGDCC

Praktyczną część prac badawczych związanych z przygotowaniem niniejszej rozprawy doktorskiej rozpoczęto od opracowania topologii wielopoziomowego przekształtnika DC-DC o przełączanych kondensatorach HVGDCC (*ang. High Voltage Gain Direct Current Converter*). Schemat ideowy zaproponowanego układu przedstawiono na rys. 2.1, gdzie można zauważyć, że składa się on z kondensatora wejściowego (C_1), pięciu łączników sterowalnych (Q_1 – Q_5), pięciu diod prostowniczych (D_1 – D_5), dwóch kondensatorów przełączanych (C_2, C_3), dwóch dławików rezonansowych (L_1, L_2) oraz wyjściowego dzielnika pojemnościowego (kondensatory C_4 oraz C_5), stanowiącego interfejs umożliwiający bezpośrednie połączenie przekształtnika z falownikiem NPC (*ang. Neutral Point Clamped*).



Rys. 2.1. Schemat ideowy opracowanego przekształtnika HVGDCC

Cechami charakterystycznymi, wyróżniającymi ten układ na tle innych przekształtników o przełączanych kondensatorach, są jego wysokie (sześciokrotne) wzmocnienie napięciowe, możliwość siedmiostopniowej regulacji napięcia wyjściowego oraz stosunkowo niewielka liczba zastosowanych tranzystorów. Zaproponowany przekształtnik, w porównaniu do innych tego typu układów prezentowanych w literaturze (tab. 2.1), charakteryzuje się relatywnie niewielkimi wartościami napięć blokowanych przez łączniki. Tranzystory stopnia wyjściowego (Q_4 oraz Q_5) pracują z napięciami wynoszącymi około 50% wartości napięcia wyjściowego układu, natomiast pozostałe (Q_1 – Q_3) – z potencjałami w przybliżeniu równymi napięciu źródła zasilającego przekształtnik. Ta charakterystyczna właściwość badanej topologii pozwala zbudować układ o wysokim współczynniku wzmocnienia, wykorzystując łączniki o napięciach przebicia zdecydowanie niższych niż napięcie pojawiające się na jego wyjściu. W przypadku uruchomienia produkcji seryjnej takich przekształtników, relatywnie niskie wartości napięć występujących na tranzystorach pozytywnie wpłynęłyby na jej aspekt ekonomiczny. Ze względu na fakt, że zastosowane w układzie elementy indukcyjne mają za zadanie jedynie zapewnić oscylacyjny przebieg prądów ładowania i rozładowania poszczególnych kondensatorów, a same nie biorą udziału w faktycznym procesie przekształcania energii, a ich wartości są niewielkie i nie przekraczają kilku mikrohenrów. Dzięki temu elementy te można wykonać w formie dławików planarnych lub zastosować elementy klasyczne o kompaktowych rozmiarach i niewielkiej masie.

Tabela 2.1. Porównanie właściwości różnych przekształtników DC-DC o przełączanych kondensatorach

Parametr	Analizowany przekształtnik						
	HVGDCC [22]	Ref. [79]	Ref. [80]	Ref. [81]	Ref. [82]	Ref. [83]	Ref. [19]
Wzmocnienie napięciowe	6	$2 \cdot n$	6	7	4	n	2
Liczba tranzystorów	5	$4 \cdot n \cdot p$	12	7	3	2	2
Liczba diod	5	0	0	5	5	$2(n-1)$	2
Napięcia blokowane przez łączniki	min: U_{in} max: $U_{out}/2$	min: U_{in} max: U_{out}/n	min: U_{in} max: $2U_{out}$	min: U_{in} max: $(4/7)U_{out}$	min: U_{in} max: $U_{out}/2$	U_{in}	U_{in}
Liczba dławików	2 x 1,9 μ H	Tylko ind. PCB	Tylko ind. PCB	3 x 2,97 μ H	3 x 0,5 μ H	1 x 22 μ H	1 x 10,4 μ H
Liczba przełączanych kondensatorów	2	$2 \cdot n \cdot p$	6	3	3	$n-1$	1
Regulacja napięcia wyjściowego układu	TAK	NIE	NIE	NIE	NIE	TAK	TAK
Maksymalna sprawność układu [%]	92.8	96	96.5	91.9	91	97.6	99.2

gdzie:

n - liczba szeregowo połączonych modułów podstawowych,

p - liczba przekształtników współpracujących ze sobą (ang. interleaved converters).

Możliwość zastosowania tego typu elementów indukcyjnych korzystnie wpływa na objętościowy oraz masowy współczynnik gęstości mocy zaproponowanego układu, a także na koszt jego ewentualnej produkcji. Zaletą zaproponowanej topologii jest również możliwość pracy układu w trybie ZVS (*ang. Zero Voltage Switching*), pozwalającym na redukcję strat łączeniowych związanych z ładunkiem zgromadzonym w pojemnościach wyjściowych tranzystorów (C_{oss}).

Poza pracami mającymi na celu weryfikację poprawności działania opracowanego układu, dokonano przeglądu publikacji naukowych opisujących wyniki obecnie prowadzonych badań nad różnymi topologiami przekształtników DC-DC o przełączanych kondensatorach. Skrótowe podsumowanie przeprowadzonych studiów literaturowych przedstawiono w tabeli 2.1, z której wynika, iż opracowany przekształtnik stanowi konkurencyjne rozwiązanie techniczne względem innych opisywanych układów, w szczególności pod względem oferowanego wysokiego wzmocnienia napięciowego oraz niewielkiej liczby tranzystorów koniecznych do jego uzyskania. W publikacjach [79, 80] przedstawiono przykład wielopoziomowego przekształtnika o przełączanych kondensatorach. Układ ten można zaliczyć do grupy przekształtników wielokomórkowych, a jego współczynnik wzmocnienia napięciowego jest równy dwukrotności liczby szeregowo połączonych ze sobą komórek podstawowych. Autor deklaruje także możliwość równoległego łączenia tego typu układów, co skutkuje zwiększeniem wydajności prądowej zespołu przekształtników oraz redukcją tętnień ich prądu wejściowego. Redukcję składowej zmiennej prądu wejściowego uzyskuje się przez wprowadzenie przesunięcia fazowego pomiędzy sygnałami sterującymi pracą równolegle połączonych układów. Wadą tego przekształtnika jest duża liczba tranzystorów wymaganych do jego pracy. Osiągnięcie sześciokrotnego wzmocnienia napięciowego, bez redukcji tętnień prądu wejściowego, implikuje konieczność zastosowania aż dwunastu w pełni sterowalnych łączników. Tymczasem układ analizowany w ramach niniejszej pracy doktorskiej (HVGDC), do osiągnięcia takiego samego wzmocnienia napięciowego, wymaga zastosowania jedynie pięciu tego typu łączników.

W publikacji [81] przedstawiono przekształtnik o siedmiokrotnym wzmocnieniu napięciowym, będący modyfikacją klasycznej topologii SCVM (*ang. Switched Capacitor Voltage Multiplier*) [84]. Wprowadzona modyfikacja polegała na rozbudowaniu układu podstawowego o dodatkowy kondensator, tranzystor oraz diodę prostowniczą. Wspomniany kondensator umieszczono w obwodzie w taki sposób, że tworzy on z podstawowym kondensatorem wyjściowym układu dzielnik pojemnościowy, którego zaciski zewnętrzne łączy się z obciążeniem. Odpowiednia sekwencja sterująca pracą poszczególnych łączników sprawia, że dodatkowy kondensator podczas pracy, za sprawą dodanego tranzystora oraz diody prostowniczej, ładuje się do napięcia trzykrotnie wyższego od napięcia źródła. Napięciem wyjściowym tak zmodyfikowanego przekształtnika jest suma napięć kondensatorów dzielnika wyjściowego, która dzięki

wprowadzonej modyfikacji jest siedmiokrotnie wyższa niż napięcie podane na wejście przekształtnika. Charakterystycznym elementem tej topologii są dławiki o niewielkich indukcyjnościach, połączone szeregowo z przełączanymi kondensatorami. Takie ich ułożenie czyni z tego układu przekształtnik rezonansowy, w którym amplituda prądów ładowania i rozładowania poszczególnych kondensatorów jest ograniczana właśnie przez wspomniane elementy indukcyjne. Warto również zauważyć, że w układzie tym zastosowano pięć diod prostowniczych, co negatywnie wpływa na jego sprawność. Podobne podejście projektowe, obejmujące zastosowanie diod prostowniczych oraz indukcyjności rezonansowych, przyjęto dla topologii HVGDCC badanej w ramach niniejszej pracy doktorskiej (rys. 2.1). Decyzję o zastosowaniu diod prostowniczych można uzasadnić potrzebą minimalizacji i uproszczenia konstrukcji badanego przekształtnika. Układ w pełni synchroniczny charakteryzowałby się wyższą sprawnością. Podobne rozwiązania układowe zastosowali autorzy publikacji [82], w której opisano przekształtnik bazujący na klasycznym układzie SCVM. Istotną zaletą tego układu jest to, że jego topologia zapewnia wspólny potencjał odniesienia dla strony wejściowej oraz wyjściowej. Modyfikacja odróżniająca zaproponowany przekształtnik od klasycznego trójkomórkowego układu SCVM polega na zastąpieniu jego komórki środkowej gałęzią LC . Zmiana ta pozwala uzyskać takie samo napięcie wyjściowe, jak w przypadku klasycznego trójkomórkowego układu SCVM, jednak przy wykorzystaniu jedynie czterech tranzystorów zamiast sześciu. Regulacja napięcia wyjściowego przekształtników o przełączanych kondensatorach stanowi aktualne zagadnienie badawcze. Wciąż dąży się do opracowania układów umożliwiających regulację napięcia wyjściowego w szerokim zakresie.

Układy opisane w [83] oraz [19] są przykładami przekształtników hybrydowych, bazujących odpowiednio na topologii układu typu „ladder” oraz SCVM. Możliwość regulacji ich napięcia wyjściowego uzyskuje się poprzez wprowadzenie do ich struktury dławików o znacznych indukcyjnościach ($10\ \mu\text{H}$ – $20\ \mu\text{H}$), w taki sposób, aby tworzyły one obwody rezonansowe z przełączanymi kondensatorami. W tego typu układach napięcie reguluje się poprzez zmianę współczynnika wypełnienia sygnału sterującego lub jego częstotliwości. Istotną wadą tych przekształtników jest fakt, że ich zdolności regulacyjne silnie zależą od mocy wyjściowej układu i niemal całkowicie zanikają przy bardzo małych obciążeniach. Ponadto, zmiana napięcia wyjściowego często wymaga zmiany częstotliwości impulsowania w bardzo szerokim zakresie (nawet o $100\ \text{kHz}$ lub więcej), co stanowi istotny problem z punktu widzenia doboru elementów pasywnych przekształtnika oraz współpracujących z nim filtrów.

Inne podejście do problemu regulacji napięcia wyjściowego układów o przełączanych kondensatorach przedstawiono w publikacji [85]. Przedstawiony w niej układ pozwala na ustawienie kilku predefiniowanych wartości napięć wyjściowych, będących parzystymi wielokrotnościami potencjału źródła. Zmiana wartości napięcia od-

bywa się poprzez odpowiednią modyfikację sygnałów sterujących pracą poszczególnych łączników. Prowadzi to do rekonfiguracji sieci przełączanych kondensatorów przekształtnika, a w efekcie do zmiany liczby szeregowo połączonych kondensatorów, z których energia przekazywana jest na wyjście układu. Podobne podejście zastosowano w układzie opisanym w [86] oraz w przekształtniku badanym w ramach prac związanych z przygotowaniem niniejszej rozprawy doktorskiej (HVGDCC). W porównaniu do innych układów realizujących regulację napięcia wyjściowego tą metodą, układ HVGDCC charakteryzuje się niewielką liczbą tranzystorów oraz gałęzi rezonansowych. W ramach prowadzonych prac zaproponowany układ został przebadany analitycznie, symulacyjnie oraz eksperymentalnie, a rezultaty przeprowadzonych badań podsumowano w publikacji [22]. Ze względu na innowacyjny charakter opracowanej topologii autorzy przygotowali zgłoszenie patentowe obejmujące swoim zakresem opisaną wyżej topologię HVGDCC oraz jej modyfikacje, umożliwiające pracę przekształtnika w trybie obniżania napięcia oraz dwukierunkowego przesyłu energii [21].

2.2 Koncepcja działania przekształtnika HVGDCC

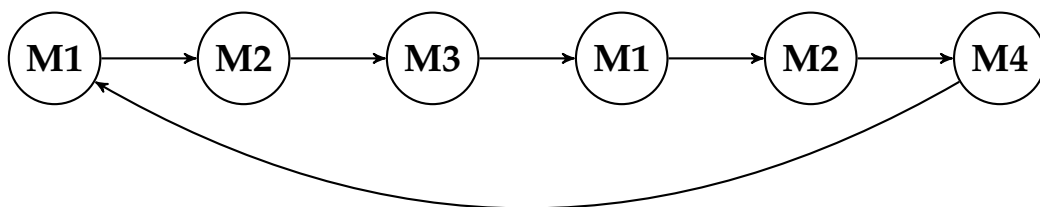
Przekształtniki o przełączanych kondensatorach stanowią grupę urządzeń energoelektronicznych, których koncepcja działania opiera się na cyklicznej rekonfiguracji wewnętrznej struktury połączeń układu. Zmiana drogi przepływu prądu realizowana jest za pomocą łączników półprzewodnikowych i prowadzi do naprzemiennego przełączania stanu pracy przekształtnika pomiędzy trybem ładowania i rozładowywania kondensatorów przełączanych. W zależności od osiąganego współczynnika wzmocnienia napięciowego oraz poziomu skomplikowania struktury przekształtnika, liczba realizowanych procesów ładowania i rozładowywania kondensatorów przełączanych w czasie jednego cyklu pracy układu może się różnić. W najprostszych przekształtnikach typu SC (*ang. Switched Capacitors*) [87], pełen cykl pracy układu ogranicza się jedynie do dwóch interwałów. Podczas trwania pierwszego z nich kondensator przełączany jest ładowany, aby następnie w drugim interwale przekazać zgromadzoną w nim energię do obciążenia. Cykle pracy przekształtników wielopoziomowych, ze względu na ich złożoną strukturę połączeń wewnętrznych, są często zdecydowanie bardziej skomplikowane i składają się z wielu następujących po sobie interwałów ładowania i rozładowywania poszczególnych kondensatorów przełączanych [88].

Wielopoziomowy przekształtnik rezonansowy o przełączanych kondensatorach, badany w ramach prac związanych z przygotowaniem niniejszej rozprawy doktorskiej (HVGDCC), może pracować z siedmioma różnymi współczynnikami wzmocnienia napięciowego. Każda z możliwych do osiągnięcia siedmiu wartości napięcia wyjściowego wymaga realizacji innej sekwencji przełączeń wewnętrznej struktury układu.

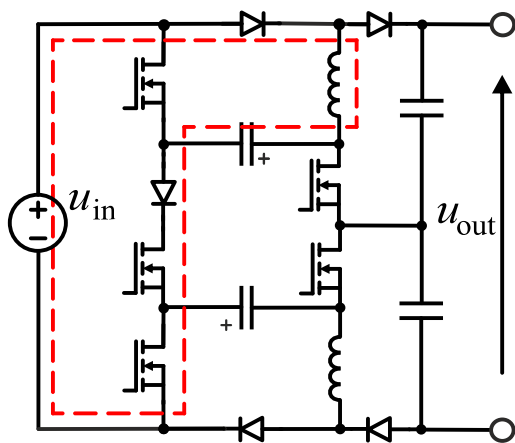
W tej części pracy skupiono się na wyjaśnieniu zasady działania opracowanego

przekształtnika, wykorzystując w tym celu jego podstawową sekwencję sterowania, pozwalającą na osiągnięcie sześciokrotnego wzmocnienia napięciowego. Algorytmy sterujące, umożliwiające uzyskanie wzmocnienia napięciowego innego niż $G_U = 6$, opisano w rozdziale 2.4. Jeden pełny cykl pracy układu, pracującego z sześciokrotnym współczynnikiem wzmocnienia napięciowego, składa się z sześciu interwałów (rys. 2.2), a w czasie trwania każdego z nich struktura połączeń wewnętrznych przekształtnika przyjmuje jedną z czterech podstawowych konfiguracji (M_1 – M_4), zilustrowanych na rys. 2.3. Konfiguracje M_1 oraz M_2 służą do ładowania kondensatorów przełączanych przekształtnika. Pozostałe dwie (M_3 i M_4) odpowiadają za przekazywanie energii z uprzednio naładowanych kondensatorów przełączanych oraz ze źródła zasilającego do kondensatorów wyjściowych układu. Kolejność przełączeń pomiędzy poszczególnymi konfiguracjami, umożliwiającą osiągnięcie sześciokrotnego wzmocnienia napięciowego, jest ściśle określona i realizowana według diagramu przedstawionego na rys. 2.2. Za praktyczną realizację algorytmu kontrolującego pracę układu odpowiada sterownik, będący mikrokontrolerem, procesorem DSP lub układem FPGA. Jego zadaniem jest wygenerowanie zestawu odpowiednio skorelowanych w czasie sygnałów cyfrowych, załączających i wyłączających poszczególne tranzystory w momentach wynikających z przyjętej strategii sterowania. Zestaw przebiegów sterujących pracą łączników, wymagany do działania układu HVGDC z sześciokrotnym wzmocnieniem napięciowym, na tle podstawowych przebiegów napięć i prądów tego przekształtnika, zamieszczono na rys. 2.4.

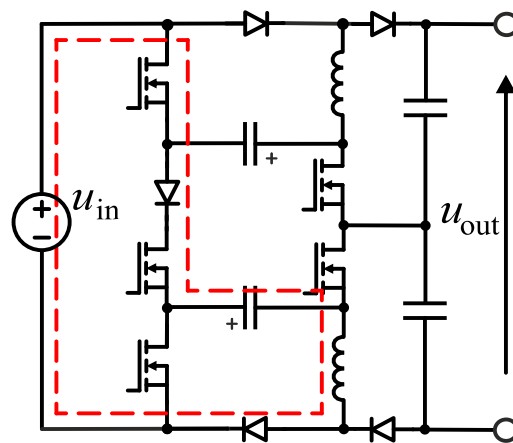
W dalszej części tego rozdziału przedstawiono opis przełączeń zachodzących w jednym pełnym cyklu pracy przekształtnika HVGDC. Na potrzeby jego sporządzenia przyjęto, że układ w swojej strukturze zawiera wyłącznie elementy idealne, a w czasie trwania analizowanego cyklu pracuje w stanie ustalonym, realizując przy tym sześciokrotne wzmocnienie napięciowe. Zgodnie z algorytmem przedstawionym na rys. 2.2, uzyskanie takiego wzmocnienia napięciowego wymaga realizacji sześciu przełączeń struktury wewnętrznej układu. Przełączenia te oraz zjawiska zachodzące w interwałach pomiędzy nimi opisano poniżej, w kolejności ich występowania.



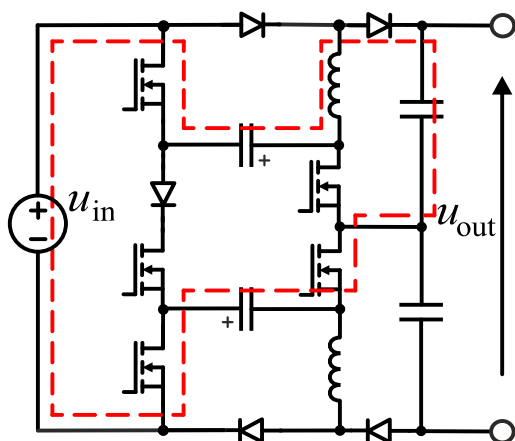
Rys. 2.2. Sekwencja sterująca pracą przekształtnika HVGDC pozwalająca na uzyskanie sześciokrotnego wzmocnienia napięciowego ($G_U = 6$)



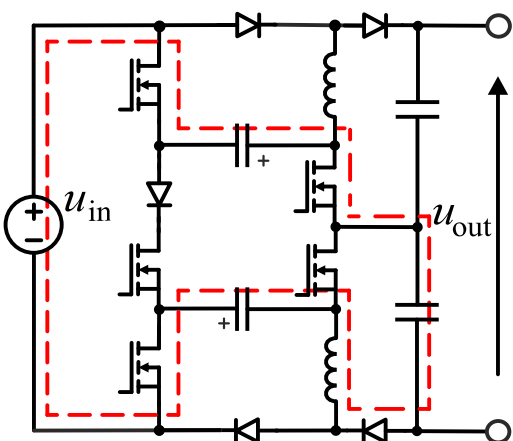
(a) Konfiguracja **M1** - ładowanie kondensatora przełączanego C_2



(b) Konfiguracja **M2** - ładowanie kondensatora przełączanego C_3



(c) Konfiguracja **M3** - ładowanie kondensatora wyjściowego C_4



(d) Konfiguracja **M4** - ładowanie kondensatora wyjściowego C_5

Rys. 2.3. Podstawowe stany pracy układu HVGDCC (M1 - M4)

Interwał I: W tym takcie pracy przekształtnika jego kontroler załącza łączniki Q_2 oraz Q_3 . Tranzystory te przechodzą do stanu przewodzenia, co tworzy w strukturze układu drogę przepływu prądu, zaznaczoną czerwoną linią przerywaną na rys. 2.3a. W tej konfiguracji (M1) prąd przepływa przez źródło zasilające, tranzystory Q_2 oraz Q_3 , indukcyjność L_1 , diody D_1 i D_2 , a następnie przez kondensator przełączany C_2 . W czasie trwania tego przeładowania energia przekazywana jest ze źródła zasilającego do kondensatora C_2 , w którym magazynowana jest w postaci ładunku elektrycznego. Ilość gromadzonego w polu elektrycznym kondensatora ładunku narasta aż do momentu, gdy napięcie pomiędzy okładkami kondensatora zrówna się z napięciem źródła zasilającego przekształtnik. Naładowanie kondensatora do tego poziomu kończy wymianę energii w tym interwale oraz skutkuje zanikiem prądu płynącego w obwodzie.

Interwał II: W tym takcie pracy przekształtnika jego kontroler załącza łączniki Q_1 oraz Q_2 . Tranzystory te przechodzą do stanu przewodzenia, co tworzy w strukturze układu drogę przepływu prądu, zaznaczoną czerwoną linią przerywaną na rys. 2.3b. W tej konfiguracji ($M2$) prąd przepływa przez źródło zasilające, tranzystory Q_1 oraz Q_2 , indukcyjność L_2 , diody D_1 i D_3 , a następnie przez kondensator przełączany C_3 . W czasie trwania tego przeładowania energia przekazywana jest ze źródła zasilającego do kondensatora C_3 , w którym magazynowana jest w postaci ładunku elektrycznego. Ilość zgromadzonego ładunku narasta aż do momentu, gdy napięcie pomiędzy okładkami kondensatora zrówna się z napięciem źródła zasilającego przekształtnik. Naładowanie kondensatora do tego poziomu kończy wymianę energii w tym interwale oraz skutkuje zanikiem prądu płynącego w obwodzie.

Interwał III: Po naładowaniu obu kondensatorów przełączanych kontroler zmienia konfigurację układu, tak aby umożliwić przekazanie energii do kondensatora wyjściowego C_4 . Załączane są tranzystory Q_1 , Q_3 oraz Q_5 , co skutkuje przepływem prądu ładującego przez: wspomniane tranzystory, źródło zasilające, oba kondensatory przełączane (C_2 , C_3), dławik L_1 , diodę D_4 oraz kondensator wyjściowy C_4 . Przepływający w tak zorganizowanym obwodzie prąd powoduje wzrost ilości zgromadzonego ładunku elektrycznego w kondensatorze wyjściowym C_4 oraz wzrost wartości napięcia występującego pomiędzy jego okładkami. Przepływ ładunku trwa do momentu, w którym napięcie kondensatora C_4 zrówna się z sumą napięć szeregowo połączonych kondensatorów przełączanych oraz napięcia źródła zasilającego. Tę konfigurację przekształtnika oznaczono jako $M3$, a odpowiadającą jej drogę przepływu prądu zaznaczono czerwoną linią przerywaną na rys. 2.3c.

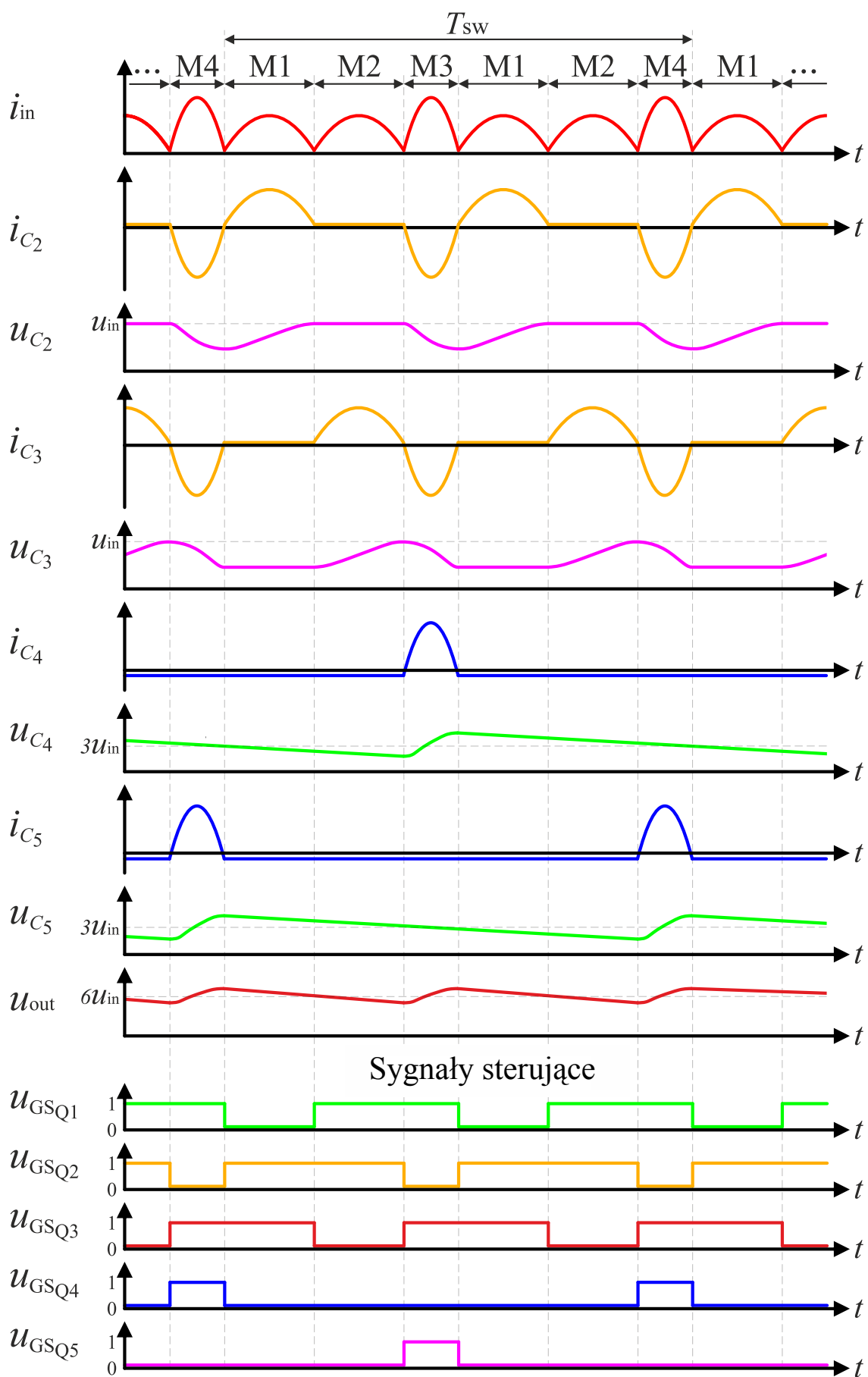
Interwał IV: Rozładowany w interwale trzecim kondensator przełączany C_2 , zanim ponownie będzie mógł przekazać energię do kondensatora wyjściowego C_5 , musi zostać po raz kolejny naładowany do wartości napięcia równej napięciu źródła zasilającego przekształtnik. Proces ten przebiega dokładnie tak samo, jak miało to miejsce w przypadku interwału pierwszego. Droga przepływu prądu ładującego kondensator C_2 realizowana jest zgodnie z konfiguracją układu oznaczoną jako $M1$ (rys. 2.3a).

Interwał V: Rozładowany w interwale trzecim kondensator przełączany C_3 , zanim ponownie będzie mógł przekazać energię do kondensatora wyjściowego C_5 , musi zostać po raz kolejny naładowany do wartości napięcia równej napięciu źródła zasilającego przekształtnik. Proces ten przebiega dokładnie tak samo, jak miało to miejsce w przypadku interwału drugiego. Droga przepływu prądu ładującego kondensator C_3 realizowana jest zgodnie z konfiguracją układu oznaczoną jako $M2$ (rys. 2.3b).

Interwał VI: Po ponownym naładowaniu obu kondensatorów przełączanych kontroler zmienia konfigurację układu, tak aby umożliwić przekazanie energii ze źródła oraz z uprzednio naładowanych kondensatorów przełączanych do kondensatora wyjściowego C_5 . Załączane są tranzystory Q_1 , Q_3 oraz Q_4 , co skutkuje przepływem prądu ładującego przez: wspomniane tranzystory, źródło zasilające, oba kondensatory przełączane (C_2 , C_3), dławik L_1 , diodę D_4 oraz kondensator wyjściowy C_5 . Przepływający w tak zorganizowanym obwodzie prąd powoduje wzrost ilości zgromadzonego ładunku elektrycznego w kondensatorze C_5 oraz wzrost wartości napięcia występującego pomiędzy jego okładkami. Przepływ ładunku trwa do momentu, w którym napięcie kondensatora C_5 zrówna się z sumą napięć szeregowo połączonych kondensatorów przełączanych oraz napięcia źródła zasilającego układ. Tę konfigurację przekształtnika oznaczono jako $M4$, a odpowiadającą jej drogę przepływu prądu zaznaczono czerwoną linią przerywaną na rys. 2.3d.

Po zrealizowaniu wszystkich przełączeń wchodzących w skład jednego pełnego cyklu pracy przekształtnika (interwały I–VI), sekwencja sterująca zaczyna się od początku, a każdy z kondensatorów wyjściowych układu (C_4 , C_5) utrzymuje napięcie około trzykrotnie wyższe od napięcia źródła zasilającego przekształtnik. Ze względu na to, że zaciski wyjściowe układu połączone są z zewnętrznymi wyprowadzeniami dzielnika pojemnościowego złożonego z kondensatorów C_4 i C_5 (rys. 2.1), sumaryczne napięcie wyjściowe układu jest około sześciokrotnie wyższe od jego napięcia wejściowego.

Poza analizą przełączeń oraz zjawisk występujących w czasie pracy badanego przekształtnika, dla pełnego przedstawienia koncepcji jego działania istotne jest również określenie czasu trwania poszczególnych interwałów pomiędzy przełączeniami. Zależy on od parametrów elementów pasywnych zastosowanych do budowy układu, w szczególności od pojemności kondensatorów przełączanych oraz indukcyjności dławików rezonansowych. Układ jest sterowany w taki sposób, aby w czasie trwania jednego interwału dochodziło wyłącznie do jednego przeładowania obwodu rezonansowego, a przepływający w nim prąd nie zmieniał znaku. Na rys. 2.4 przedstawiono zestaw wyidealizowanych przebiegów napięć i prądów charakterystycznych dla układu HVGDCC pracującego z sześciokrotnym wzmocnieniem napięciowym. Jeden z prezentowanych tam przebiegów ilustruje prąd wejściowy i_{in} analizowanego przekształtnika. Na podstawie jego kształtu można rozróżnić poszczególne interwały pracy układu HVGDCC. Przebieg tego prądu jest jednokierunkowy i pulsujący, a pulsy związane z rozładowywaniem kondensatorów przełączanych są krótsze od tych odpowiedzialnych za ich ładowanie. Dysproporcja ta wynika wprost z różnic występujących w pojemności wypadkowej obwodów rezonansowych służących do ich ładowania ($M1$, $M2$) oraz rozładowywania ($M3$, $M4$). Korzystając z założenia



Rys. 2.4. Zestaw podstawowych przebiegów występujących w przekształtniku HVGDC pracującym z sześciokrotnym wzmacnieniem napięciowym

stwierdzającego symetrię badanego układu, można przyjąć, że czas ładowania w przypadku kondensatora przełączanego C_2 będzie taki sam, jak ten wymagany do naładowania kondensatora C_3 . Bazując na tym samym założeniu, można również stwierdzić równość czasów ich rozładowania. Dzięki temu można przyjąć, że jeden pełny cykl pracy (T_{sw}) przekształtnika HVGDCC składa się z czterech równych interwałów ładowania kondensatorów przełączanych (t_{char}) oraz dwóch taktów, w czasie których dochodzi do ich rozładowania (t_{dis}). Czas trwania interwałów ładowania (t_{char}) oraz rozładowania (t_{dis}) można w sposób analityczny wyliczyć, korzystając odpowiednio z zależności 2.1 oraz 2.2.

$$t_{char} = \pi \sqrt{L_{res} C_{sw}} \quad (2.1)$$

$$t_{dis} = \pi \sqrt{L_{res} \frac{C_{sw}}{2}} \quad (2.2)$$

Ponadto:

$$\frac{t_{char}}{t_{dis}} = \sqrt{2} \Rightarrow t_{char} = \sqrt{2} t_{dis} \quad (2.3)$$

gdzie:

L_{res} – indukcyjność dławika rezonansowego,

C_{sw} – pojemność kondensatora przełączanego,

t_{char} – czas trwania cyklu ładowania kondensatora przełączanego,

t_{dis} – czas trwania cyklu rozładowania kondensatora przełączanego.

2.3 Wzmocnienie napięciowe przekształtnika HVGDCC

Analizę wzmocnienia napięciowego układu HVGDCC przeprowadzono dla przekształtnika, którego łączniki przełączano zgodnie z sekwencją sterującą pozwalającą na sześciokrotne podwyższenie jego napięcia wejściowego (rys. 2.2). Założono także, że zastosowane w nim elementy półprzewodnikowe traktuje się jako łączniki idealne, a czas martwy oraz wszelkie rezystancje, pojemności i indukcyjności pasożytnicze pomija się. Dodatkowo przyjęto również założenia dotyczące symetrii układu, stwierdzające, że pojemności kondensatorów przełączanych (C_2, C_3) są jednakowe, a różnice w pojemnościach kondensatorów wyjściowych (C_4, C_5) oraz w indukcyjnościach dławików rezonansowych (L_1, L_2) są pomijalne. Korzystając z powyższych uproszczeń, zapisać można zależności 2.4, 2.5 oraz 2.6.

$$C_2 = C_3 = C_{sw} \quad (2.4)$$

$$C_4 = C_5 = C_{out} \quad (2.5)$$

$$L_1 = L_2 = L_{res} \quad (2.6)$$

gdzie:

- C_2, C_3 – pojemności kondensatorów przełączanych,
- C_{sw} – uogólniona pojemność kondensatora przełączanego,
- C_4, C_5 – pojemności kondensatorów wyjściowych,
- C_{out} – uogólniona pojemność kondensatora wyjściowego,
- L_1, L_2 – indukcyjności dławików rezonansowych,
- L_{res} – uogólniona indukcyjność dławika rezonansowego.

W czasie, gdy układ pracuje z sześciokrotnym wzmocnieniem napięciowym, przełączenia zachodzą zgodnie z sekwencją przedstawioną na rys. 2.2. Oznacza to, że cykl pracy przekształtnika rozpoczyna się od konfiguracji $M1$, w której ładowany jest kondensator przełączany C_2 . Droga prądu płynącego w czasie trwania tego interwału została pokazana na rys. 2.3a. Wykorzystując poczynione wcześniej założenia dotyczące stosowania łączników idealnych oraz pomijania elementów pasożytniczych, obwód ten można uprościć do szeregowego połączenia źródła zasilającego przekształtnik o napięciu U_{in} , indukcyjności rezonansowej L_{res} oraz kondensatora przełączanego C_{sw} . Istotnym parametrem tak powstałego obwodu LC jest jego pulsacja drgań własnych, której wartość zależy od wypadkowej pojemności oraz indukcyjności tego obwodu. Parametr ten określa zależność 2.7.

$$\omega_{char} = \frac{1}{\sqrt{L_{res}C_{sw}}} \quad (2.7)$$

gdzie:

- ω_{char} – pulsacja drgań własnych obwodu $L_{res}C_{sw}$ w konfiguracji $M1$ i $M2$ (ładowanie),
- C_{sw} – uogólniona pojemność kondensatora przełączanego,
- L_{res} – uogólniona indukcyjność dławika rezonansowego.

Przebieg zmian wartości chwilowej napięcia kondensatora przełączanego C_{sw} w czasie jego ładowania opisuje zależność 2.8. Wyrażenie to uwzględnia parametry analizowanego obwodu rezonansowego (ω_{char}) oraz napięcie początkowe $U_{C_{sw_{min}}}$ kondensatora przełączanego, będące rezultatem jego rozładowania w poprzednim cyklu pracy przekształtnika.

$$u_{C_{sw_{char}}}(t) = U_{in} + (U_{C_{sw_{min}}} - U_{in}) \cos(\omega_{char}t) \quad (2.8)$$

gdzie:

- $u_{C_{sw_{char}}}(t)$ – wartość chwilowa napięcia kondensatora przełączanego C_{sw} ,
- ω_{char} – pulsacja rezonansowa obwodu $L_{res}C_{sw}$ w czasie ładowania,
- U_{in} – wartość napięcia źródła zasilającego przekształtnik,
- $U_{C_{sw_{min}}}$ – wartość początkowa napięcia kondensatora C_{sw} .

Na podstawie zależności 2.8 można stwierdzić, że początkowy poziom naładowania kondensatora przełączanego ($U_{C_{swmin}}$) istotnie wpływa na wartość napięcia, jaka pojawia się pomiędzy jego okładkami po zakończeniu przeładowania. Maksymalne napięcie, jakie osiągnie kondensator przełączany ($U_{C_{swmax}}$), w zależności od wartości napięcia występującego na nim w chwili rozpoczęcia procesu ładowania, opisuje wyrażenie 2.9.

$$U_{C_{swmax}} = U_{in} - (U_{C_{swmin}} - U_{in}) = 2U_{in} - U_{C_{swmin}} \quad (2.9)$$

gdzie:

- U_{in} – napięcie źródła zasilającego przekształtnik,
- $U_{C_{swmin}}$ – napięcie rozładowanego kondensatora przełączanego (początkowe),
- $U_{C_{swmax}}$ – napięcie naładowanego kondensatora przełączanego.

W tej części analizy należy podkreślić, że stopień rozładowania kondensatorów przełączanych zależy od poziomu obciążenia przekształtnika, a w przypadku jego przeciążenia pojemności przełączane rozładowują się całkowicie. Zgodnie z zależnością 2.9 skutkuje to ich późniejszym naładowaniem do napięcia $U_{C_{swmax}} = 2U_{in}$. Zjawisko to powinno być uwzględnione w procesie doboru kondensatorów przełączanych poprzez wyselekcjonowanie takich modeli, których dopuszczalne napięcie pracy pozwoli na ich bezpieczne działanie bez ryzyka przebicia dielektryka w przypadku przeciążenia przekształtnika.

Proces ładowania drugiego z kondensatorów przełączanych (C_3) przebiega w sposób analogiczny do tego przedstawionego dla kondensatora C_2 . Ze względu na założoną symetrię obwodu można uznać, że wszystkie przedstawione wyżej zależności poprawnie opisują zjawiska zachodzące w czasie ładowania każdego z kondensatorów przełączanych (C_2, C_3).

Kolejnym istotnym taktem pracy układu z perspektywy analizy jego wzmocnienia napięciowego jest interwał trzeci (rys. 2.2), w którym energia przekazywana jest z obu kondensatorów przełączanych (C_2 i C_3) oraz źródła zasilającego przekształtnik do jego kondensatora wyjściowego (C_4). Droga przepływu prądu ładującego kondensator wyjściowy i jednocześnie rozładowującego kondensatory przełączane przebiega według ścieżki określonej w konfiguracji $M3$, przedstawionej na rys. 2.3c. Na mocy poczynionych wcześniej założeń ponownie pominięto elementy pasożytnicze obwodu, a tranzystory zastąpiono łącznikami idealnymi. Pozwoliło to uprościć analizowany obwód do szeregowo połączonych ze sobą: źródła zasilającego przekształtnik o napięciu U_{in} , dławika rezonansowego L_{res} , dwóch kondensatorów przełączanych C_{sw} oraz kondensatora wyjściowego C_{out} . W takiej sytuacji napięcia obu kondensatorów przełączanych oraz źródła zasilającego przekształtnik sumują się. Prowadzi to do powstania różnicy potencjałów pomiędzy wspomnianą sumą napięć a napięciem aktualnie występują-

cym na kondensatorze wyjściowym przekształtnika. Tak powstała różnica napięć wymusza przepływ prądu ładującego kondensator wyjściowy przekształtnika, który pod koniec tego interwału osiąga napięcie w przybliżeniu równe połowie wartości napięcia wyjściowego przekształtnika U_{out} . Biorąc pod uwagę rozkład napięć w tak powstałym obwodzie, można zauważyć, że suma napięć szeregowo połączonych kondensatorów przełączanych opisana jest zależnością 2.10.

$$2U_{C_{sw}} = \frac{U_{out}}{2} - U_{in} \quad (2.10)$$

gdzie:

$U_{C_{sw}}$ – napięcie kondensatora przełączanego,

U_{out} – napięcie wyjściowe przekształtnika,

U_{in} – napięcie wejściowe przekształtnika.

Ze względu na to, że w obecnie analizowanej konfiguracji (*M3*) kondensatory przełączane są ze sobą połączone szeregowo, pulsacja drgań własnych (ω_{dis}) takiego obwodu *LC* będzie określona zależnością 2.11.

$$\omega_{dis} = \frac{1}{\sqrt{L_{res} \cdot \frac{C_{sw}}{2}}} \quad (2.11)$$

gdzie:

ω_{dis} – pulsacja drgań własnych $L_{res}C_{sw}$ w konfiguracji *M3* i *M4* (rozładowanie),

C_{sw} – uogólniona pojemność kondensatora przełączanego,

L_{res} – uogólniona indukcyjność dławików rezonansowych.

Korzystając z zależności 2.10, 2.11 oraz 2.9, można zapisać równanie (2.12) opisujące wartość chwilową napięcia obu szeregowo połączonych kondensatorów przełączanych $2u_{C_{sw_{dis}}}(t)$ w czasie, gdy zgromadzona w nich energia przekazywana jest do kondensatora wyjściowego.

$$2u_{C_{sw_{dis}}}(t) = \frac{U_{out}}{2} - U_{in} + \left(2U_{C_{sw_{max}}} - \frac{U_{out}}{2} + U_{in} \right) \cos(\omega_{dis}t) \quad (2.12)$$

gdzie:

$u_{C_{sw_{dis}}}(t)$ – napięcie chwilowe kondensatora przełączanego w trakcie rozładowywania,

ω_{dis} – pulsacja drgań własnych obwodu *LC* w konfiguracji *M3* i *M4* (rozładowanie),

$U_{C_{sw_{max}}}$ – napięcie naładowanego kondensatora przełączanego,

U_{out} – napięcie wyjściowe przekształtnika,

U_{in} – napięcie wejściowe przekształtnika.

Po podzieleniu obu stron równania 2.12 otrzymuje się zależność czasową opisującą napięcie jednego kondensatora przełączanego 2.13.

$$u_{C_{sw_{dis}}}(t) = \frac{U_{out}}{4} - \frac{U_{in}}{2} + \left(U_{C_{sw_{max}}} - \frac{U_{out}}{4} + \frac{U_{in}}{2} \right) \cos(\omega_{dis}t) \quad (2.13)$$

Proces rozładowania energii zgromadzonej w kondensatorach przełączanych kończy się wraz z zanikiem prądu płynącego w interwale $M3$ lub $M4$, a napięcie, jakie pojawia się na każdym z kondensatorów przełączanych, opisuje zależność 2.14.

$$U_{C_{sw\min}} = \frac{1}{2}U_{out} - U_{in} - U_{C_{sw\max}} \quad (2.14)$$

gdzie:

- $U_{C_{sw\min}}$ – napięcie rozładowanego kondensatora przełączanego (początkowe),
- $U_{C_{sw\max}}$ – napięcie naładowanego kondensatora przełączanego,
- U_{out} – napięcie wyjściowe przekształtnika,
- U_{in} – napięcie wejściowe przekształtnika.

Podstawiając wyrażenie 2.9 do zależności 2.14, a następnie przekształcając otrzymane równanie, można zapisać zależność 2.15, co pozwala wyznaczyć wzmocnienie napięciowe G_U układu 2.16.

$$U_{out} = 6U_{in} \quad (2.15)$$

$$G_U = \frac{U_{out}}{U_{in}} = 6 \quad (2.16)$$

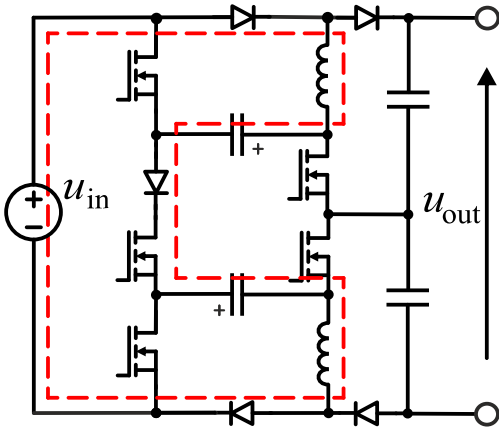
gdzie:

- G_U – współczynnik wzmocnienia napięciowego przekształtnika,
- U_{out} – napięcie wyjściowe przekształtnika,
- U_{in} – napięcie wejściowe przekształtnika.

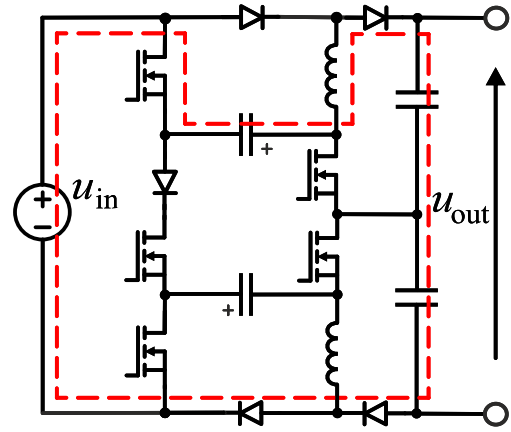
Ostatecznie, na podstawie przeprowadzonych analiz można stwierdzić, że układ osiąga sześciokrotne wzmocnienie napięciowe, co potwierdza słuszność założeń poczynionych w fazie prac koncepcyjnych.

2.4 Regulacja napięcia w układzie HVGDCC

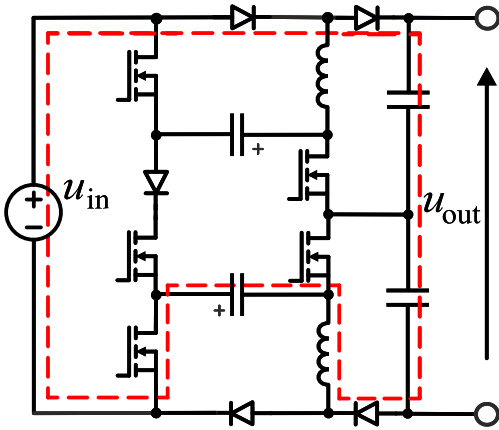
Jedną z istotniejszych zalet opracowanej topologii przekształtnika HVGDCC jest możliwość siedmiostopniowej regulacji jego napięcia wyjściowego. Zasada działania układu przy każdym z dostępnych współczynników wzmocnienia napięciowego, za wyjątkiem jednostkowego (brak wzmocnienia), pozostaje analogiczna do tej opisanej w rozdziale 2.2. Przekształtnik pracuje w sposób cykliczny, a liczba interwałów oraz konfiguracje wchodzące w skład jednego cyklu pracy urządzenia zależą od oczekiwanej wartości napięcia wyjściowego. Wielostopniowa regulacja współczynnika wzmocnienia napięciowego przekształtnika HVGDCC wymaga rozszerzenia zestawu podstawowych konfiguracji układu ($M1-M4$) o kilka dodatkowych, przedstawionych na rys. 2.5.



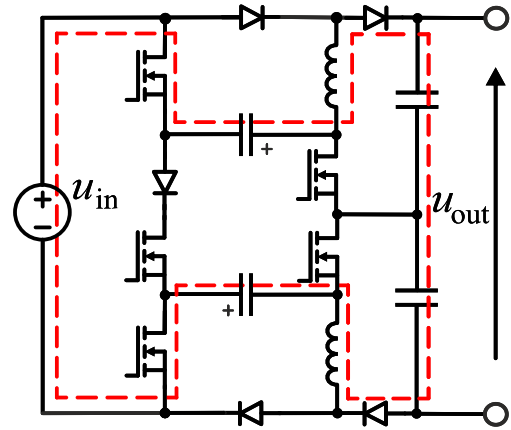
(a) Konfiguracja **M5** - jednoczesne ładowanie obu kondensatorów przełączanych (C_2, C_3)



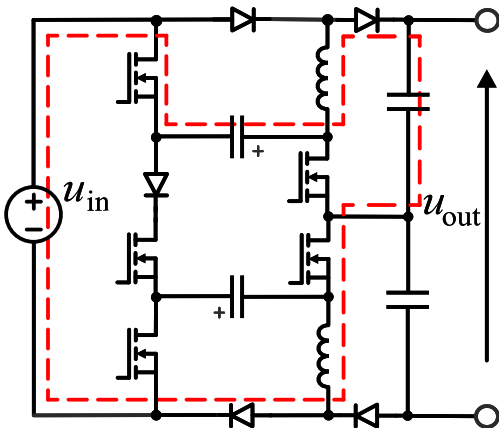
(b) Konfiguracja **M6** - ładowanie kondensatorów wyjściowych (C_4 oraz C_5)



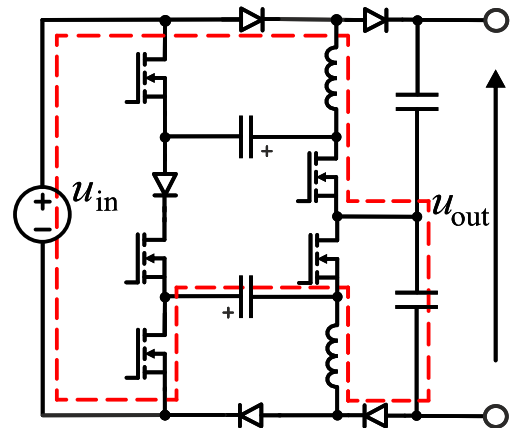
(c) Konfiguracja **M7** - ładowanie kondensatorów wyjściowych (C_4 oraz C_5)



(d) Konfiguracja **M8** - ładowanie kondensatorów wyjściowych (C_4 oraz C_5)



(e) Konfiguracja **M9** - ładowanie kondensatora wyjściowego C_4



(f) Tryb pracy **M10** - ładowanie kondensatora wyjściowego C_5

Rys. 2.5. Dodatkowe konfiguracje układu HVGDC (M5 - M10), umożliwiające pracę z wzmocnieniami napięciowymi mniejszymi niż sześciokrotne

Dzięki wprowadzeniu dodatkowych stanów pracy układu ($M5$ – $M10$), sterownik przekształtnika może skokowo regulować wartość napięcia, do jakiego ładowane są jego kondensatory przełączane oraz wyjściowe, a przez to wpływać na wartość napięcia występującego na jego zaciskach wyjściowych. Zestawienie wszystkich możliwych do osiągnięcia przez przekształtnik HVGDC w współczynników wzmocnienia napięciowego wraz z wymaganymi do ich realizacji sekwencjami sterującymi przedstawiono w tab. 2.2.

Tabela 2.2. Zestawienie poziomów wzmocnienia napięciowego realizowanych przez przekształtnik HVGDC oraz sekwencji sterujących pozwalających na ich uzyskanie

Wzmocnienie napięciowe G_U (V/V)	Sekwencja sterująca
1	Wszystkie tranzystory wyłączone
1.5	$\uparrow M5 \rightarrow M6 \rightarrow M7 \downarrow$
2	$\uparrow M5 \rightarrow M8 \downarrow$
3	$\uparrow M1 \rightarrow M2 \rightarrow M8 \downarrow$
4	$\uparrow M1 \rightarrow M9 \rightarrow M2 \rightarrow M10 \downarrow$
5	$\uparrow M1 \rightarrow M9 \rightarrow M1 \rightarrow M2 \rightarrow M4 \downarrow$
6	$\uparrow M1 \rightarrow M2 \rightarrow M3 \rightarrow M1 \rightarrow M2 \rightarrow M4 \downarrow$

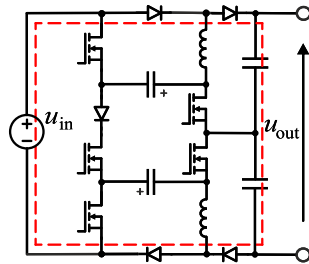
Nowe konfiguracje ($M5$ – $M10$) umożliwiają: ładowanie kondensatorów przełączanych do napięcia równego połowie napięcia źródła zasilającego przekształtnik ($M5$); ładowanie obu kondensatorów wyjściowych z jednego kondensatora przełączanego i źródła zasilającego ($M6$, $M7$); ładowanie obu kondensatorów wyjściowych z dwóch kondensatorów przełączanych oraz źródła ($M8$); ładowanie jednego kondensatora wyjściowego z wykorzystaniem tylko jednego kondensatora przełączanego i źródła ($M9$, $M10$). Łączenie wyżej wymienionych konfiguracji przekształtnika w odpowiednie sekwencje sterujące (tab. 2.2) i cykliczne ich powtarzanie pozwala uzyskać siedmiostopniową regulację napięcia wyjściowego układu.

Opisy wszystkich sekwencji sterujących pracą przekształtnika HVGDC oraz przebiegów zachodzących w czasie jego pracy dla każdego z możliwych do osiągnięcia przez ten układ współczynników wzmocnienia napięciowego przedstawiono poniżej:

Wzmocnienie napięciowe $G_U = 1$

Tryb pracy układu z jednostkowym wzmocnieniem napięciowym jest jedynym stanem, w którym żaden z łączników nie jest cyklicznie przełączany. Wszystkie tranzystory pozostają w stanie blokowania tak długo, jak wymagane jest dostarczanie na wyjście układu napięcia o wartości odpowiadającej napięciu źródła zasilającego

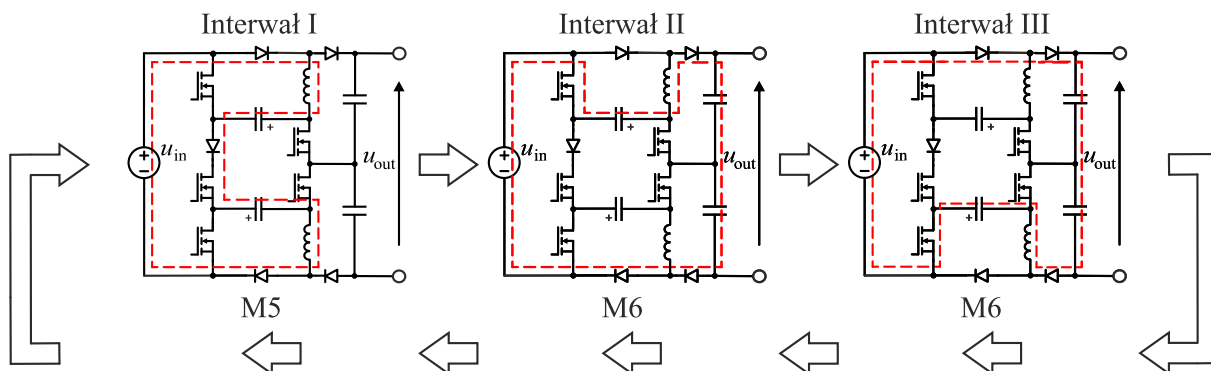
przekształtnik. Napięcie do obciążenia doprowadzane jest za pośrednictwem spolaryzowanych w kierunku przewodzenia diod prostowniczych D_2-D_5 . W praktyce napięcie wyjściowe układu znajdującego się w trybie pracy z jednostkowym wzmocnieniem napięciowym będzie jednak niższe od napięcia źródła o sumę spadków napięć występujących na przewodzących diodach prostowniczych. Drogę przepływu prądu w przekształtniku HVGDCC znajdującym się w tym trybie pracy zaznaczono czerwoną linią przerywaną na rys. 2.6.



Rys. 2.6. Ścieżka przepływu prądu w przekształtniku HVGDCC pracującym ze współczynnikiem wzmocnienia napięciowego $G_U = 1$ (brak przełączeń)

Wzmocnienie napięciowe $G_U = 1,5$

Sekwencja sterująca pracą badanego przekształtnika, zapewniająca wzmocnienie napięciowe $G_U = 1,5$, zgodnie z tabelą 2.2, składa się z trzech następujących po sobie interwałów. Drogę przepływu prądu w strukturze przekształtnika HVGDCC, w czasie trwania każdego z tych interwałów, zaznaczono czerwoną linią przerywaną na rys. 2.7. W pierwszym z nich kontroler załącza łączniki odpowiadające konfiguracji M5, co skutkuje naładowaniem obu kondensatorów przełączanych do wartości napięcia w przybliżeniu równej połowie potencjału źródła zasilającego przekształtnik. Po zakończeniu pierwszego przeładowania kontroler przełącza tranzystory w taki sposób, aby utworzyć drogę przepływu prądu odpowiadającą konfiguracji M6. Załączenie tranzystora Q_1 prowadzi do przekazania energii z uprzednio naładowanego

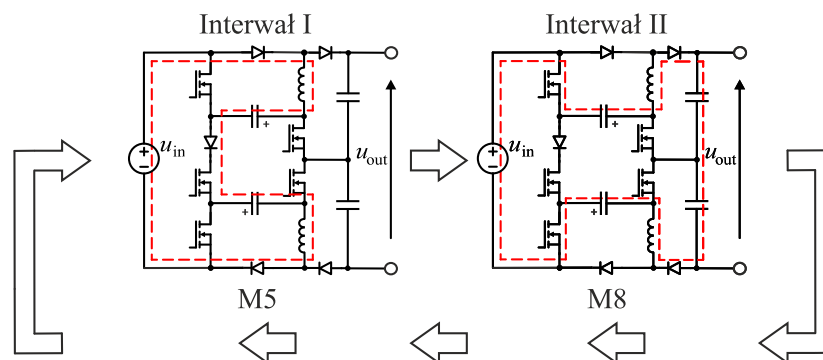


Rys. 2.7. Pełna sekwencja przełączeń struktury wewnętrznej przekształtnika HVGDCC pracującego ze współczynnikiem wzmocnienia napięciowego $G_U = 1,5$

kondensatora przełączanego C_2 oraz szeregowo połączonych z nim źródła zasilającego do kondensatorów tworzących wyjściowy dzielnik pojemnościowy (C_4, C_5). Skutkuje to naładowaniem szeregowo połączonych pojemności wyjściowych przekształtnika (C_4, C_5) do napięcia stanowiącego w przybliżeniu 150% wartości napięcia źródła zasilającego układ. W sposób analogiczny realizowane jest przeładowanie występujące w interwale trzecim, który odpowiada konfiguracji $M7$. Trzecie przeładowanie kończy jeden pełny cykl pracy przekształtnika. Ze względu na cykliczny charakter pracy układu, zakończenie jednego cyklu jest tożsame z rozpoczęciem kolejnego, a opisana wyżej sekwencja powtarza się do momentu zmiany współczynnika wzmocnienia, z jakim pracuje analizowany przekształtnik.

Wzmocnienie napięciowe $G_U = 2$

Dwukrotne wzmocnienie napięciowe przekształtnika realizowane jest przez sekwencję sterującą, która składa się jedynie z dwóch interwałów (tab. 2.2). Drogę przepływu prądu w strukturze przekształtnika HVGDC, w czasie trwania każdego z tych interwałów, zaznaczono czerwoną linią przerywaną na rys. 2.8. W ramach pierwszego z nich kontroler przełącza łączniki zgodnie z konfiguracją $M5$. Skutkuje to naładowaniem obu kondensatorów przełączanych (C_2, C_3) do wartości napięcia w przybliżeniu równej połowie potencjału źródła zasilającego przekształtnik. Po zakończeniu tego przeładowania rozpoczyna się interwał drugi. W tym czasie sterownik rekonfiguruje układ tak, aby struktura jego połączeń wewnętrznych odpowiadała konfiguracji $M8$. Przewodzące łączniki Q_2 oraz Q_3 tworzą ścieżkę przepływu prądu, składającą się z dwóch kondensatorów przełączanych (C_2, C_3), źródła zasilającego oraz kondensatorów wyjściowych przekształtnika (C_4, C_5). W tym interwale energia przekazywana jest ze źródła oraz z uprzednio naładowanych kondensatorów przełączanych do pojemności wyjściowych. Skutkuje to naładowaniem szeregowo połączonych kondensatorów C_4 i C_5 do napięcia, którego wartość w przybliżeniu jest dwukrotnie wyższa od napięcia źródła zasilającego układ. Wraz z końcem tego przeładowania

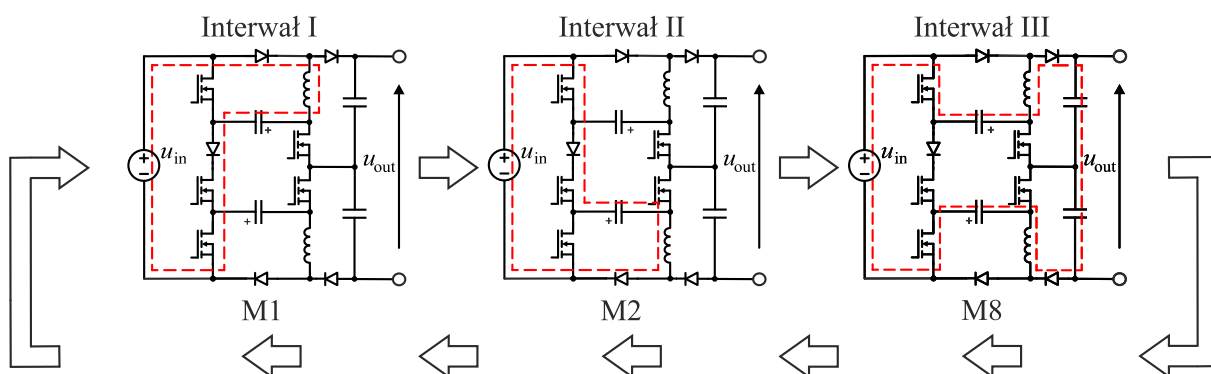


Rys. 2.8. Pełna sekwencja przełączeń struktury wewnętrznej przekształtnika HVGDC pracującego ze współczynnikiem wzmocnienia napięciowego $G_U = 2$

kończy się również cykl pracy przekształtnika. Ze względu na cykliczny charakter pracy układu, zakończenie jednego cyklu jest tożsame z rozpoczęciem kolejnego, a opisana wyżej sekwencja powtarza się do momentu zmiany wzmocnienia, z jakim pracuje omawiany przekształtnik.

Wzmocnienie napięciowe $G_U = 3$

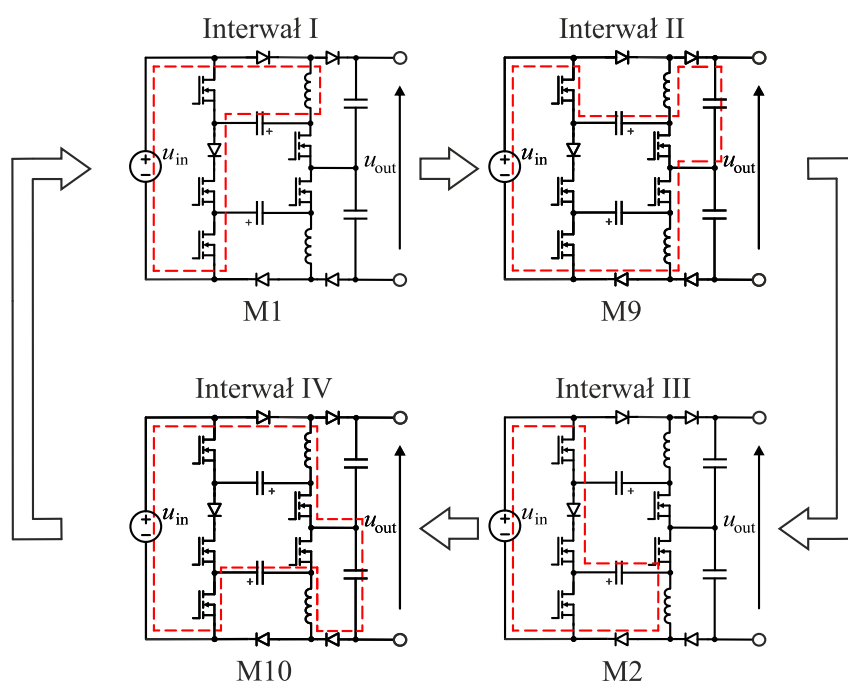
Sekwencja sterująca pracą omawianego przekształtnika, która zapewnia trzykrotne wzmocnienie napięciowe, składa się z trzech interwałów (tab. 2.2). Drogę przepływu prądu w strukturze przekształtnika HVGDCC, w czasie trwania każdego z tych interwałów, zaznaczono czerwoną linią przerywaną na rys. 2.9. W pierwszym z nich kontroler załącza łączniki odpowiadające konfiguracji $M1$, co skutkuje naładowaniem kondensatora przełączanego C_2 do wartości napięcia w przybliżeniu równej napięciu źródła zasilającego przekształtnik. Po zakończeniu tego przeładowania rozpoczyna się interwał drugi, w którym, zgodnie z konfiguracją $M2$, ładowany jest kolejny z kondensatorów przełączanych (C_3), również do wartości napięcia źródła zasilającego układ. Po naładowaniu obu kondensatorów przełączanych rozpoczyna się interwał trzeci, w którym sterownik załącza łączniki zgodnie z konfiguracją $M8$. Przewodzące tranzystory Q_2 oraz Q_3 tworzą ścieżkę przepływu prądu, składającą się z dwóch kondensatorów przełączanych (C_2 , C_3), źródła zasilającego oraz kondensatorów wyjściowych przekształtnika (C_4 , C_5). W tym interwale energia przekazywana jest ze źródła oraz z uprzednio naładowanych kondensatorów przełączanych do pojemności wyjściowych. Skutkuje to naładowaniem szeregowo połączonych kondensatorów C_4 i C_5 do napięcia, którego wartość w przybliżeniu jest trzykrotnie wyższa od napięcia źródła zasilającego układ. Wraz z końcem tego przeładowania kończy się również cykl pracy przekształtnika. Ze względu na cykliczny charakter pracy układu, zakończenie jednego cyklu jest tożsame z rozpoczęciem kolejnego, a opisana wyżej sekwencja powtarza się do momentu zmiany wzmocnienia, z jakim pracuje omawiany przekształtnik.



Rys. 2.9. Pełna sekwencja przełączeń struktury wewnętrznej przekształtnika HVGDCC pracującego ze współczynnikiem wzmocnienia napięciowego $G_U = 3$

Wzmocnienie napięciowe $G_U = 4$

Czterokrotne wzmocnienie napięciowe przekształtnika realizowane jest przez sekwencję sterującą, która składa się z czterech interwałów (tab. 2.2). Drogę przepływu prądu w strukturze przekształtnika HVGDC, w czasie trwania każdego z tych interwałów, zaznaczono czerwoną linią przerywaną na rys. 2.10. W ramach pierwszego z nich kontroler przełącza łączniki zgodnie z konfiguracją M1, co skutkuje naładowaniem kondensatora przełączanego C_2 do wartości napięcia w przybliżeniu równej napięciu źródła zasilającego przekształtnik. Po zakończeniu pierwszego przeładowania rozpoczyna się interwał drugi, a kontroler przełącza tranzystory w taki sposób, aby stworzyły one drogę przepływu prądu odpowiadającą konfiguracji M9. Załączenie tranzystorów Q_1 oraz Q_5 prowadzi do przekazania energii z uprzednio naładowanego kondensatora przełączanego C_2 oraz szeregowo połączonego z nim źródła zasilającego do kondensatora wyjściowego C_4 . Skutkuje to naładowaniem tego kondensatora (C_4) do napięcia o wartości w przybliżeniu dwukrotnie wyższej od napięcia źródła zasilającego układ. W interwale trzecim, zgodnie z konfiguracją M2, do napięcia źródła ładowany jest drugi kondensator przełączany (C_3). Po zakończeniu tego przeładowania sterownik przełącza tranzystory tak, aby struktura połączeń wewnętrznych układu odpowiadała konfiguracji M10, co rozpoczyna czwarty interwał cyklu pracy przekształtnika. Załączenie tranzystorów Q_3 oraz Q_4 prowadzi do przekazania energii z uprzednio naładowanego kondensatora przełączanego C_3 oraz szeregowo połączonego z nim źródła zasilającego do kondensatora wyjściowego C_5 . Powoduje to naładowanie tego kondensatora (C_5) do napięcia o wartości w przybliże-

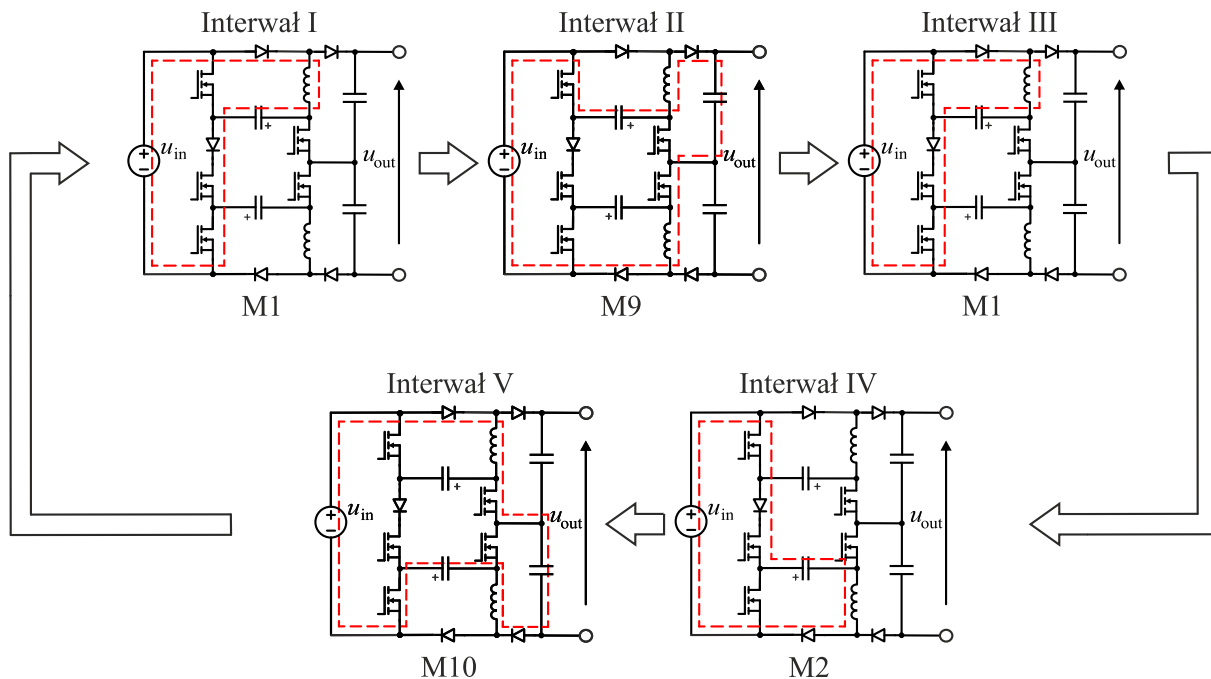


Rys. 2.10. Pełna sekwencja przełączeń struktury wewnętrznej przekształtnika HVGDC pracującego ze współczynnikiem wzmocnienia napięciowego $G_U = 4$

niu dwukrotnie wyższej od napięcia źródła zasilającego przekształtnik. Zważywszy na fakt, że kondensatory C_4 oraz C_5 tworzą wyjściowy dzielnik pojemnościowy badanego układu, suma napięć na nich występujących jest tożsama z wartością napięcia widzianą przez odbiornik i jest czterokrotnie wyższa od napięcia źródła zasilającego. Po zakończeniu czwartego przeładowania kończy się również cykl pracy przekształtnika. Ze względu na cykliczny charakter pracy układu, zakończenie jednego cyklu jest tożsame z rozpoczęciem kolejnego, a opisana wyżej sekwencja powtarza się do momentu zmiany wzmocnienia, z jakim pracuje omawiany przekształtnik.

Wzmocnienie napięciowe $G_U = 5$

Sekwencja sterująca pracą omawianego przekształtnika, która zapewnia pięciokrotne wzmocnienie napięciowe, składa się z pięciu interwałów (tab. 2.2). Drogę przepływu prądu w strukturze przekształtnika HVGDC, w czasie trwania każdego z tych interwałów, zaznaczono czerwoną linią przerywaną na rys. 2.11. W pierwszym z nich kontroler załącza łączniki odpowiadające konfiguracji M1, co skutkuje naładowaniem kondensatora przełączanego C_2 do wartości napięcia w przybliżeniu równej napięciu źródła zasilającego przekształtnik. Po zakończeniu pierwszego przeładowania rozpoczyna się interwał drugi, a sterownik przełącza tranzystory w taki sposób, aby stworzyły one drogę przepływu prądu odpowiadającą konfiguracji M9. Załączenie tranzystorów Q_1 oraz Q_5 prowadzi do przekazania energii z uprzednio naładowanego kondensatora przełączanego C_2 oraz szeregowo połączonego z nim źródła zasilającego do kondensatora wyjściowego C_4 . Skutkuje to naładowaniem tego kondensatora

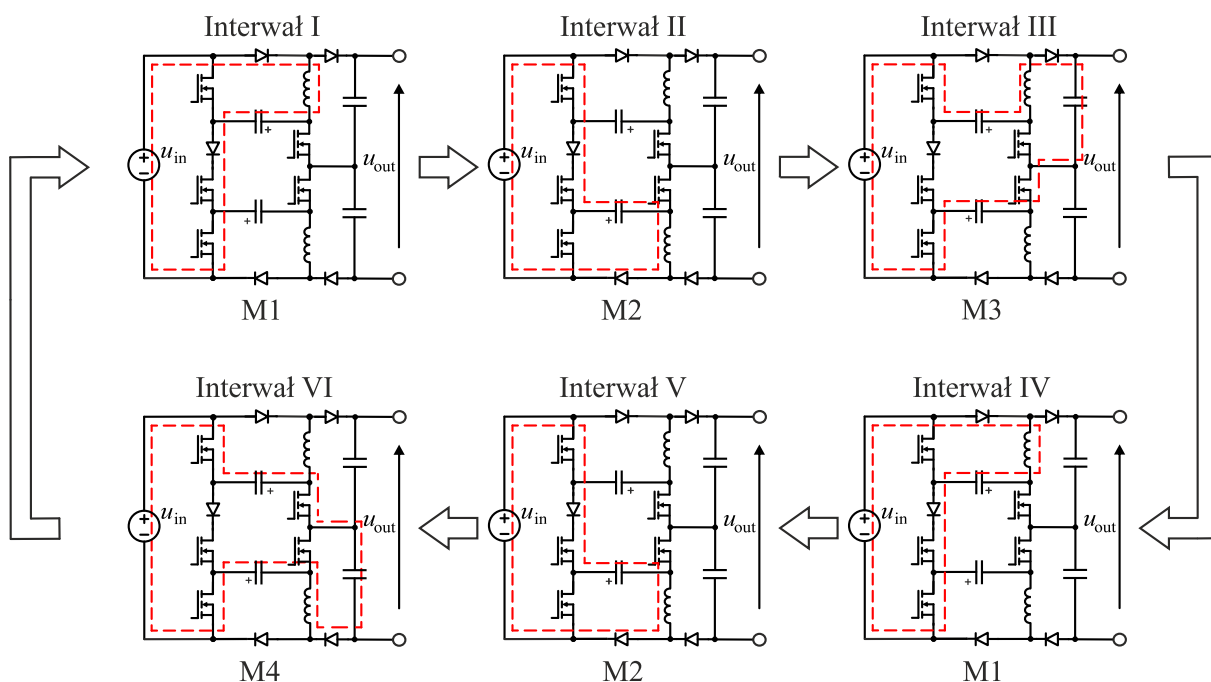


Rys. 2.11. Pełna sekwencja przełączeń struktury wewnętrznej przekształtnika HVGDC pracującego ze współczynnikiem wzmocnienia napięciowego $G_U = 5$

do napięcia o wartości w przybliżeniu dwukrotnie wyższej od napięcia źródła zasilającego przekształtnik. Po zakończeniu tego przeładowania rozpoczyna się interwał trzeci, w którym ponownie ładowany jest kondensator przełączany C_2 . Kontroler załącza łączniki Q_2 oraz Q_3 tak, aby ścieżka przepływu prądu ponownie odpowiadała konfiguracji $M1$. Po zakończeniu tego przeładowania kondensator przełączany osiąga wartość napięcia w przybliżeniu równą wartości napięcia wejściowego przekształtnika. W interwale czwartym kontroler organizuje układ połączeń wewnętrznych przekształtnika zgodnie z konfiguracją $M2$. W rezultacie drugi z kondensatorów przełączanych (C_3) zostaje naładowany do napięcia o takiej samej wartości jak uprzednio kondensator C_2 . W ostatnim interwale, zgodnie z konfiguracją $M4$, energia ze źródła oraz z szeregowo połączonych z nim obu kondensatorów przełączanych przekazywana jest do kondensatora wyjściowego C_5 . Po zakończeniu tego przeładowania utrzymuje się na nim napięcie trzykrotnie wyższe od napięcia źródła zasilającego. Zważywszy na fakt, że kondensatory C_4 oraz C_5 stanowią wyjściowy dzielnik pojemnościowy badanego układu, suma napięć na nich występujących jest tożsama z wartością napięcia widzianą przez odbiornik i jest pięciokrotnie wyższa od napięcia źródła zasilającego. Po zakończeniu piątego przeładowania kończy się również cykl pracy przekształtnika. Ze względu na cykliczny charakter pracy układu, zakończenie jednego cyklu jest tożsame z rozpoczęciem kolejnego, a opisana wyżej sekwencja powtarza się do momentu zmiany wzmocnienia, z jakim pracuje omawiany przekształtnik.

Wzmocnienie napięciowe $G_U = 6$

Sześciokrotne wzmocnienie napięciowe przekształtnika realizowane jest przez sekwencję sterującą, która składa się z sześciu interwałów (tab. 2.2). Drogę przepływu prądu w strukturze przekształtnika HVGDC, w czasie trwania każdego z tych interwałów, zaznaczono czerwoną linią przerywaną na rys. 2.12. W ramach pierwszego z nich kontroler przełącza łączniki zgodnie z konfiguracją $M1$, co skutkuje naładowaniem kondensatora przełączanego C_2 do wartości napięcia w przybliżeniu równej napięciu źródła zasilającego przekształtnik. Po zakończeniu tego przeładowania rozpoczyna się interwał drugi, w którym, zgodnie z konfiguracją $M2$, ładowany jest kolejny kondensator przełączany (C_3), również do wartości napięcia źródła zasilającego układ. Po naładowaniu obu kondensatorów przełączanych rozpoczyna się interwał trzeci, w którym sterownik załącza łączniki zgodnie z konfiguracją $M3$. Przewodzące tranzystory Q_1 , Q_3 oraz Q_5 tworzą ścieżkę przepływu prądu, składającą się z dwóch kondensatorów przełączanych (C_2 , C_3), źródła zasilającego oraz kondensatora wyjściowego C_4 . W tym interwale energia przekazywana jest ze źródła oraz z uprzednio naładowanych kondensatorów przełączanych do kondensatora wyjściowego C_4 , który po zakończeniu tego przeładowania utrzymuje pomiędzy swoimi



Rys. 2.12. Pełna sekwencja przełączeń struktury wewnętrznej przekształtnika HVGDC pracującego ze współczynnikiem wzmocnienia napięciowego $G_U = 6$

okładkami napięcie o wartości w przybliżeniu trzykrotnie wyższej niż napięcie źródła zasilającego przekształtnik. W interwałach czwartym oraz piątym ponownie doładowywane są kondensatory przełączane C_2 oraz C_3 . Po naładowaniu kondensatora C_3 rozpoczyna się szósty interwał cyklu pracy przekształtnika. W tym czasie sterownik załącza łączniki Q_1 , Q_3 , Q_4 , tak aby droga przepływu prądu odpowiadała konfiguracji $M4$. W tym takcie pracy układu energia przekazywana jest ze źródła zasilającego oraz z uprzednio naładowanych kondensatorów przełączanych do kondensatora wyjściowego C_5 , który w czasie tego interwału zostaje naładowany do napięcia, którego wartość w przybliżeniu trzykrotnie przewyższa wartość napięcia źródła zasilającego przekształtnik. Zważywszy na fakt, że kondensatory C_4 oraz C_5 stanowią wyjściowy dzielnik pojemnościowy badanego układu, suma napięć na nich występujących jest tożsama z wartością napięcia widzianą przez odbiornik i jest sześciokrotnie wyższa od napięcia źródła zasilającego. Po zakończeniu szóstego przeładowania kończy się również cykl pracy przekształtnika. Ze względu na cykliczny charakter pracy układu, zakończenie jednego cyklu jest tożsame z rozpoczęciem kolejnego, a opisana wyżej sekwencja powtarza się do momentu zmiany wzmocnienia, z jakim pracuje omawiany przekształtnik.

2.5 Praca przekształtnika HVGDCC w trybie ZVS

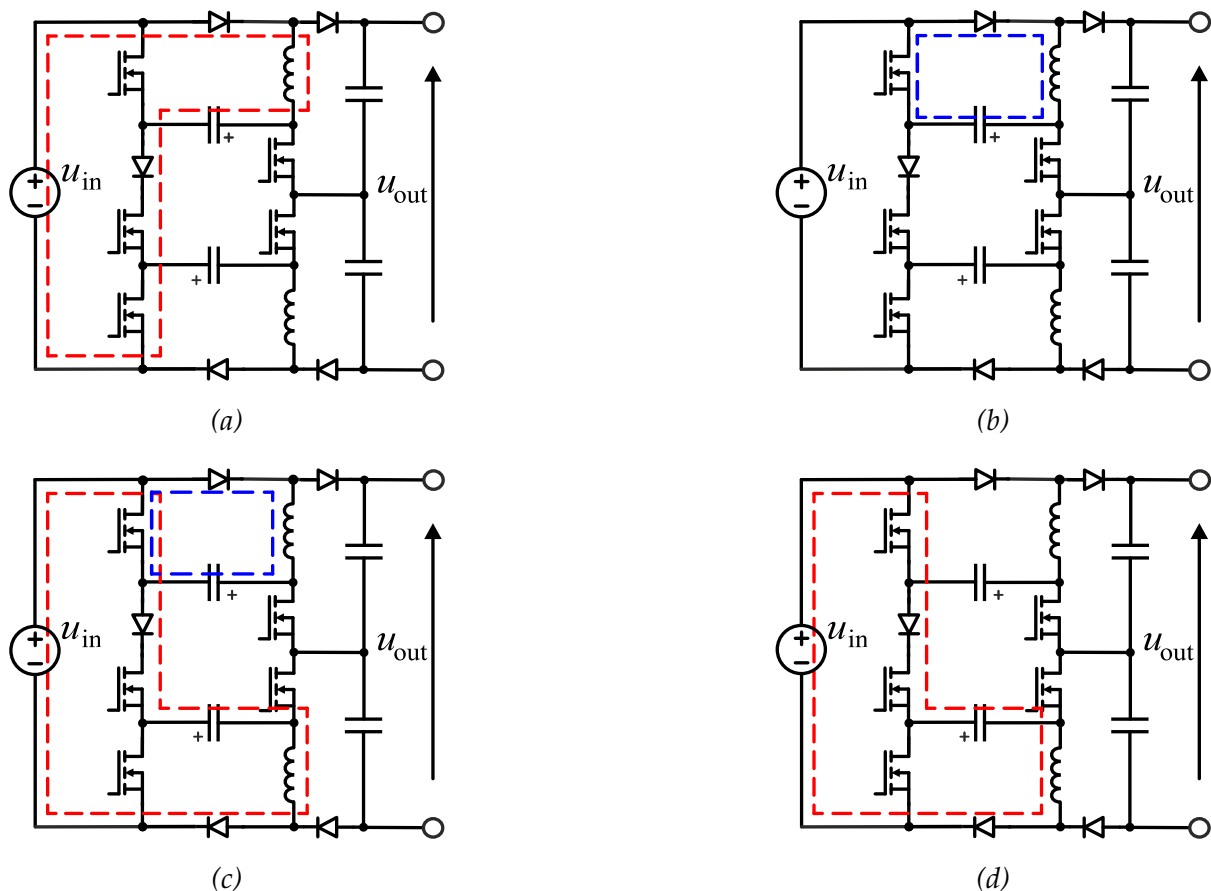
Moment, w którym dochodzi do przełączeń łączników w przekształtnikach energoelektronicznych, zależy od właściwości fizycznych danej topologii oraz zastosowanego algorytmu sterującego pracą tranzystorów. Ze względu na parametry prądowo-napięciowe występujące w układzie w chwili przełączenia można wyróżnić trzy podstawowe rodzaje komutacji: komutację twardą (*ang. Hard Switching*), komutację przy zerowym prądzie (*ang. Zero Current Switching – ZCS*) oraz komutację przy zerowym napięciu (*ang. Zero Voltage Switching – ZVS*).

Do twardego przełączania tranzystora dochodzi, kiedy w momencie zmiany sygnału sterującego pracą łącznika pojawia się pomiędzy jego drenem a źródłem napięcie o niezerowej wartości, a jednocześnie przez jego kanał przepływa prąd. Ze względu na występowanie pojemności i indukcyjności pasożytniczych w obudowach i strukturach półprzewodnikowych tranzystorów, ich przełączenia nie mogą odbywać się w nieskończenie krótkim czasie. Przejście ze stanu blokowania do stanu przewodzenia lub ze stanu przewodzenia do blokowania jest procesem, którego czas trwania zależy od parametrów dynamicznych zastosowanego łącznika (C_{oss} , C_{iss} , C_{rss}). W ramach realizowanych przełączeń, przebiegi prądów i napięć tranzystorów naprzemienne opadają i narastają z pewnym przesunięciem, które sprawia, że ich zbocza nakładają się na siebie. Zjawisko to prowadzi do powstawania strat łączeniowych, których ilość określa iloczyn wartości chwilowych prądu oraz napięcia komutującego łącznika. Ilość generowanych w ten sposób strat łączeniowych zależy wprost proporcjonalnie od częstotliwości, z jaką pracuje przekształtnik, a to, w połączeniu z rosnącą potrzebą zwiększenia sprawności oraz minimalizacji gabarytów budowanych obecnie urządzeń (poprzez zmniejszenie elementów indukcyjnych i zwiększenie częstotliwości pracy przekształtników), wymusza implementację rozwiązań pozwalających na ograniczenie ilości generowanych przez nie strat łączeniowych, takich jak realizacja przełączeń tranzystorów w trybie ZCS lub ZVS.

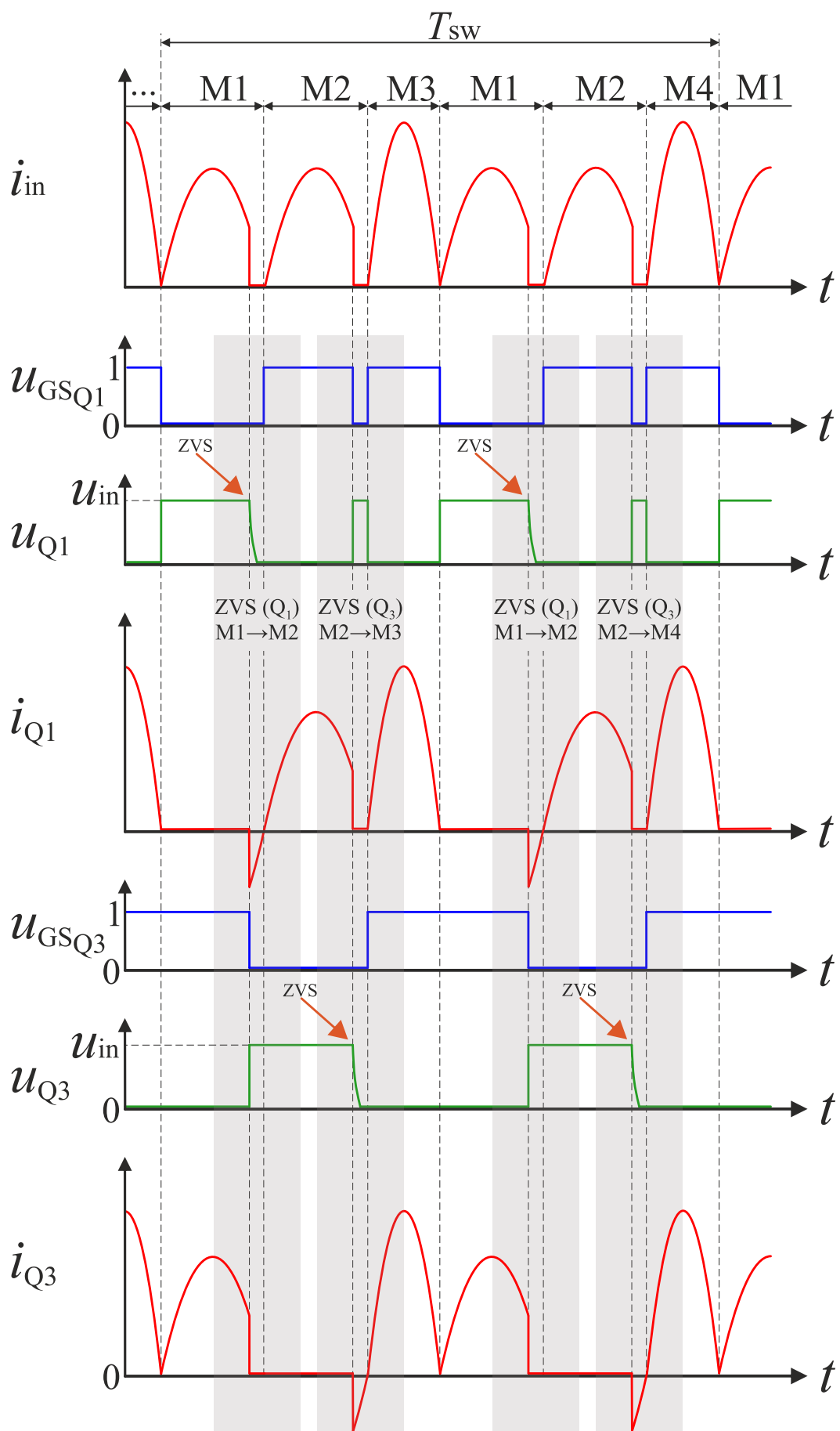
Ze względu na oscylacyjny charakter przebiegów występujących w przekształtnikach rezonansowych o przełączanych kondensatorach, ich podstawowym trybem pracy jest ZCS. Jego implementacja w tego typu układach ogranicza się do dokonywania przełączeń łączników pomiędzy poszczególnymi przeładowaniami rezonansowymi, gdy wartość prądu płynącego w obwodzie jest równa zero. Takie podejście do sterowania układów rezonansowych pozwala ograniczyć komponent strat łączeniowych związany z nakładaniem się na siebie przebiegów prądu i napięcia tranzystorów w czasie komutacji. Jednak, realizacja przełączeń zgodnie z koncepcją ZCS nie ogranicza strat powstających wskutek rozładowywania pojemności wyjściowej C_{oss} tranzystorów w czasie ich załączania. Układy rezonansowe o przełączanych kondensatorach często charakteryzują się także wysokimi wartościami napięć, jakie muszą blokować

pracujące w nich łączniki. Zważywszy na fakt, że ilość strat łączeniowych związanych z C_{oss} i powstających w czasie załączania tranzystorów, w uproszczeniu zależy od kwadratu wartości przyłożonego do nich napięcia, istotnym zagadnieniem technicznym staje się opracowywanie topologii redukujących wartości napięć występujących w układzie oraz pozwalających na rozładowanie pojemności wyjściowych (C_{oss}) tranzystorów przed ich załączeniem poprzez wprowadzenie przekształtnika w tryb pracy ZVS.

Przykładem topologii ograniczającej wartości napięć blokowanych przez łączniki oraz umożliwiającej załączanie tranzystorów przy zerowej wartości napięcia pomiędzy ich drenem a źródłem jest przekształtnik HVGDC, analizowany w związku z przygotowaniem niniejszej rozprawy doktorskiej. Na przykładzie tego układu omówiono sposób realizacji załączania tranzystorów przy zerowym napięciu dren-źródło (u_{DS}). Przyjęto, że układ pracuje z sześciokrotnym wzmocnieniem napięciowym, a za punkt rozpoczynający analizę przyjęto interwał, w którym stan poszczególnych łączników odpowiada konfiguracji M1. Przełączenia zachodzące w układzie przedstawiono na rysunku 2.13, a zestaw odpowiadających im przebiegów prezentuje rysunek 2.14.



Rys. 2.13. Sposób realizacji przełączenia ZVS tranzystora Q_1 pomiędzy konfiguracjami M1 oraz M2 przekształtnika HVGDC



Rys. 2.14. Przebiegi prądów i napięć przekształtnika HVGDCC pracującego z sześciokrotnym wzmacnieniem napięciowym w trybie ZVS

Rozpoczynając analizę pracy układu, należy zauważyć, że prąd płynący w interwale pierwszym ma przebieg oscylacyjny, którego kształt zbliżony jest do wyprostowanej połowy okresu przebiegu sinusoidalnego. Droge przepływu tego prądu tworzą: źródło zasilające, diody D_1 oraz D_2 , dławik L_1 , tranzystory Q_2 i Q_3 oraz kondensator przełączany C_2 , który, za sprawą płynącego przezeń prądu, stopniowo się ładuje. Uwagę należy zwrócić także na napięcia występujące na nieprzewodzących w tym czasie łącznikach, w szczególności na tranzystorze Q_1 . Jak wynika z rysunku 2.13a, kiedy przekształtnik znajduje się w konfiguracji $M1$, na tranzystorze tym występuje napięcie o wartości zbliżonej do napięcia źródła zasilającego układ.

Przepływający przez dławik L_1 prąd powoduje, że w jego polu magnetycznym gromadzi się energia, w ilości wprost proporcjonalnej do kwadratu wartości chwilowej prądu tego dławika. Warunkiem koniecznym do wprowadzenia układu w stan pozwalający na załączenie tranzystora Q_1 przy zerowym napięciu jest przerwanie dotychczasowej drogi przepływu prądu przed zakończeniem przeładowania. Moment wyłączenia jednego z dotychczas przewodzących tranzystorów (Q_2 lub Q_3) musi być tak dobrany, aby ilość energii zmagazynowanej w dławiku L_1 była wystarczająca do wymuszenia przepływu prądu przez obwód złożony z diody D_2 , indukcyjności L_1 , kondensatora przełączanego C_2 oraz pasożytniczej pojemności wyjściowej tranzystora Q_1 , przez czas wystarczający do jej całkowitego rozładowania. W czasie, gdy pojemność wyjściowa tranzystora Q_1 jest rozładowywana, wszystkie łączniki przekształtnika pozostają w stanie blokowania (rys. 2.13b). Po jej całkowitym rozładowaniu prąd zaczyna płynąć przez diodę podłożową tranzystora Q_1 , a kontroler może załączyć tranzystory układu zgodnie z konfiguracją $M2$, bez generowania strat związanych z rozpraszaniem energii zgromadzonej w pojemności wyjściowej (C_{oss}) tranzystora Q_1 . Do czasu całkowitego rozładowania energii zgromadzonej w indukcyjności L_1 , w układzie istnieją dwie drogi przepływu prądu (rys. 2.13c). Pierwsza z nich to ścieżka, w której prąd płynie pod wpływem siły elektromotorycznej samoindukcji dławika L_1 , druga zaś odpowiada konfiguracji $M2$. Po całkowitym rozładowaniu indukcyjności w układzie płynie już jedynie prąd wynikający z konfiguracji, w jakiej aktualnie znajduje się przekształtnik ($M2$), co kończy proces komutacji ZVS (rys. 2.13d).

W czasie gdy układ HVGDCD pracuje z sześciokrotnym wzmocnieniem napięciowym, komutacje ZVS mogą być realizowane czterokrotnie w każdym pełnym cyklu jego pracy: przy przełączeniu pomiędzy konfiguracją $M2$ i $M3$, $M2$ i $M4$ oraz dwukrotnie przy komutacji z konfiguracji $M1$ do $M2$. Realizacja wszystkich tych przełączeń wymaga podejścia analogicznego do tego opisanego powyżej i przedstawionego na rysunku 2.13. Zestaw teoretycznych przebiegów prądów i napięć, uwzględniających komutacje ZVS dla wszystkich możliwych tranzycji występujących w przekształtniku HVGDCD pracującym z sześciokrotnym współczynnikiem wzmocnienia napięciowego, przedstawia rysunek 2.14.

Ponieważ przekształtnik HVGDCC ma możliwość pracy z różnymi współczynnikami wzmocnienia napięciowego przeprowadzono również analizę możliwości implementacji komutacji ZVS dla każdej możliwej do uzyskania wartości napięcia wyjściowego. Wyniki przeprowadzonej analizy przedstawiono w tabeli 2.3.

Tabela 2.3. Zestawienie przełączeń układu HVGDCC, w czasie których uzyskuje się załączanie tranzystorów w trybie ZVS

Wzmocnienie napięciowe G_U (V/V)	Tranzystor pracujący z ZVS:	Przełączanie, w którym występuje ZVS:
1.5	Q_1	M5 → M6
2	Q_1, Q_3	M5 → M8
3	Q_1	M1 → M2
	Q_3	M2 → M8
4	Q_1	M1 → M9
	Q_3	M2 → M10
5	Q_1	M1 → M9
		M1 → M2
	Q_3	M9 → M1
		M2 → M4
6	Q_1	2x(M1 → M2)
	Q_3	M2 → M3
		M2 → M4

Jak wynika z tabeli 2.3, dla każdego poziomu regulacji napięcia wyjściowego przekształtnika HVGDCC możliwa do zrealizowania jest przynajmniej jedna komutacja ZVS. Przy pracy z pięciokrotnym i sześciokrotnym wzmocnieniem napięciowym, takie przełączenia mogą być realizowane czterokrotnie, przy ogólnej liczbie przełączeń w cyklu wynoszącej odpowiednio pięć oraz sześć. Praca przekształtnika z czterokrotnym wzmocnieniem napięciowym pozwala wykonać połowę niezbędnych przełączeń w trybie ZVS, a dla wzmocnienia dwukrotnego układ wykonuje $\frac{2}{3}$ wszystkich komutacji przy zerowym napięciu na którymś z tranzystorów układu. W przypadku tranzystorów Q_2 , Q_4 oraz Q_5 komutacja ZVS nie występuje w żadnej z wykorzystywanych sekwencji sterujących.

2.6 Straty mocy w przekształtniku HVGDCC

Analiza i minimalizacja strat występujących w czasie pracy przekształtników energoelektronicznych jest aktualnym i często podejmowanym tematem badań naukowych [19, 89–92]. Urządzenia tego typu składają się z wielu elementów, z których każdy ma wpływ na ostateczny bilans energetyczny danego układu. W ujęciu ogólnym, chwilową moc traconą na dowolnym elemencie oznaczonym symbolem „e” można obliczyć na podstawie analizy przebiegów jego prądu i napięcia, co opisuje zależność 2.17 [93].

$$p_e(t) = u_e(t) \cdot i_e(t) \quad (2.17)$$

gdzie:

- $p_e(t)$ – przebieg mocy traconej na elemencie e ,
- $u_e(t)$ – przebieg napięcia na elemencie e ,
- $i_e(t)$ – przebieg prądu elementu e .

Ze względu na to, że przebiegi prądów i napięć występujące w układach energoelektronicznych mają charakter okresowy, sumaryczną moc strat powstających w danym komponencie można z wystarczającą dokładnością określić uśredniając przebieg jego mocy chwilowej:

$$\overline{P}_e = \frac{1}{T_e} \int_0^{T_e} p_e(t) dt \quad (2.18)$$

gdzie:

- $p_e(t)$ – przebieg mocy traconej na elemencie e ,
- $\overline{P}_e$ – moc średnia tracona na elemencie e ,
- T_e – okres przebiegu $p_e(t)$,

W praktyce straty mocy występujące w poszczególnych elementach przekształtników modeluje się na podstawie ich parametrów katalogowych oraz analizy warunków, w jakich pracują w danym układzie. Oddzielnie oblicza się moc traconą w wyniku poszczególnych zjawisk zachodzących w danym komponencie, aby następnie zsumować otrzymane wyniki i wyznaczyć średnią moc strat całkowitych tego elementu. W podejściu praktycznym przebiegi czasowe prądów i napięć w obliczeniach zastępuje się ich wartościami uśrednionymi i skutecznymi, co istotnie upraszcza obliczenia oraz gwarantuje otrzymanie wyniku będącego wystarczająco dokładnym przybliżeniem strat rzeczywiście występujących w danym komponencie. Liczba uwzględnianych składników strat w ogólnym bilansie energetycznym analizowanego komponentu zależy od rodzaju tego elementu oraz wielkości udziału tych składników w odniesieniu do całkowitej mocy rozpraszanej w modelowanym komponencie. W czasie analizy najczęściej pomija się zjawiska powodujące straty, których udział w całkowitej

mocy traconej w danym komponencie jest marginalny. Zazwyczaj dotyczy to strat występujących w dielektrykach kondensatorów lub strat powstających w związku z prądami upływu w elementach półprzewodnikowych.

W kolejnych sekcjach niniejszego rozdziału przedstawiono zestaw założeń upraszczających (2.6.1), przyjętych w celu wyznaczenia strat występujących w poszczególnych komponentach przekształtnika HVGDCC. Omówiono także metodologię wyznaczania mocy traconej w tranzystorach (2.6.2), diodach prostowniczych (2.6.3), elementach indukcyjnych (2.6.4), kondensatorach (2.6.5) oraz obwodach drukowanych (2.6.6).

2.6.1 Założenia upraszczające

Analizę strat mocy występujących w przekształtniku badanym w ramach prac związanych z przygotowaniem tej rozprawy doktorskiej rozpoczęto od wprowadzenia stosownych uproszczeń i założeń określających jego warunki pracy:

- w analizowanym okresie pracy układ znajduje się w stanie ustalonym;
- wzmacnienie napięciowe przekształtnika wynosi $G_U = 6$;
- układ pracuje w trybie ZCS;
- przebieg prądu wejściowego przekształtnika jest stały ze względu na zastosowany filtr dolnoprzepustowy typu LC ;
- przebieg prądu wyjściowego układu jest stały ze względu na wykorzystanie do jego obciążenia źródła prądowego o charakterze rezystancyjnym.

2.6.2 Straty mocy w tranzystorach

Straty mocy występujące w tranzystorach (ΔP_Q) można podzielić na: straty przewodzenia (ΔP_c), straty łączeniowe (ΔP_{sw}) oraz straty występujące w obwodach bramkowych (ΔP_{drv}).

$$\Delta P_Q = \Delta P_{sw} + \Delta P_c + \Delta P_{drv} \quad (2.19)$$

gdzie:

- ΔP_Q – sumaryczne straty występujące w tranzystorze,
- ΔP_c – straty przewodzenia tranzystora,
- ΔP_{sw} – straty łączeniowe tranzystora,
- ΔP_{drv} – straty w obwodzie bramkowym.

Straty przewodzenia występujące w tranzystorze powstają wskutek przepływu prądu przez jego przewodzący kanał, charakteryzujący się rezystancją $R_{DS(on)}$ o niezerowej wartości. Ilość strat przewodzenia występujących w danym tranzystorze wylicza się na podstawie katalogowej wartości jego rezystancji $R_{DS(on)}$ oraz wartości skutecznej

prądu tego tranzystora, zależnej od parametrów układu, w którym dany łącznik pracuje. Do wyznaczenia ilości strat przewodzenia występujących w danym tranzystorze wykorzystuje się zależność (2.20). Co ważne, rezystancja kanału tranzystora jest parametrem, którego wartość silnie zależy od temperatury jego złącza, dlatego najczęściej podawana jest przez producentów w formie charakterystyk ilustrujących jej zmienność w szerokim zakresie temperatur. Do obliczeń należy przyjąć wartość rezystancji $R_{DS(on)}$ odpowiadającą przewidywanej temperaturze ustalonej złącza tranzystora pracującego w docelowym układzie.

$$\Delta P_c = I_Q^2 R_{DS(on)} \quad (2.20)$$

gdzie:

I_Q – wartość skuteczna prądu tranzystora,

$R_{DS(on)}$ – rezystancja kanału przewodzącego tranzystora.

Straty łączeniowe występujące w tranzystorach polowych są ściśle związane z ich parametrami dynamicznymi. Ten rodzaj strat można dodatkowo podzielić na: straty załączania, straty wyłączania oraz straty związane z pojemnością wyjściową (C_{oss}). W czasie załączania lub wyłączania tranzystorów pracujących w układach o komutacji twardej dochodzi do sytuacji, w której przez bardzo krótki czas — zależny od warunków panujących w obwodzie oraz parametrów dynamicznych danego tranzystora — jego przebiegi prądu oraz napięcia nakładają się na siebie. Zjawisko to jest niekorzystne i wprost prowadzi do powstawania strat, których wartość odpowiada polu powierzchni pod wykresem tych dwóch przebiegów. Ponieważ przekształtnik HVGDCC analizowany w ramach badań prowadzonych w związku z przygotowaniem niniejszej rozprawy doktorskiej pracuje w trybie ZCS, można przyjąć, że straty związane z nakładaniem się na siebie przebiegów prądów i napięć przełączających się tranzystorów w tym układzie nie występują. Biorąc pod uwagę fakt, iż w podstawowym stanie pracy układu (ZCS) wszelkie przełączenia realizowane są przy zerowym prądzie, straty związane z odprowadzeniem ładunku q_{rr} ze złącza diody podłożowej tranzystora także nie występują. Straty związane z pojemnością wyjściową C_{oss} powstają natomiast, gdy łącznik przechodzi ze stanu blokowania do stanu przewodzenia, posiadając niezerowy ładunek zgromadzony w tej pojemności. W momencie załączenia tranzystora pojemność ta jest zwierana przez rezystancję jego kanału, a energia w niej zgromadzona rozpraszana jest w jego strukturze w postaci ciepła. Co ważne, wartość pojemności wyjściowej tranzystora C_{oss} zmienia się (maleje) wraz ze wzrostem napięcia pomiędzy drenem a źródłem łącznika. Zależność ta jest silnie nieliniowa, co sprawia, że przeprowadzanie obliczeń z bezpośrednim wykorzystaniem parametru C_{oss} jest kłopotliwe. Aby oszacować ilość energii zgromadzonej w pojemności wyjściowej łącznika, należy uwzględnić ładunek, jaki został do niej wprowadzony w czasie,

gdy jej napięcie narastało, jednocześnie powodując nieliniową zmianę tej pojemności. Ze względu na trudności związane z uwzględnieniem w obliczeniach nieliniowości charakterystyki $C_{oss}(u_{DS})$, obliczenia te są przeprowadzane przez producentów tranzystorów w sposób numeryczny i zamieszczane w dokumentacji w formie charakterystyki przedstawiającej zależność ilości zgromadzonej energii (E_{oss}) w pojemności wyjściowej tranzystora od przyłożonego do niego napięcia. Znając częstotliwość przełączeń tranzystora oraz dysponując charakterystyką $E_{oss}(u_{DS})$, można określić ilość strat powstających w danym łączniku, korzystając z zależności (2.21).

$$\Delta P_{sw} = E_{oss} f_{sw} \quad (2.21)$$

gdzie:

E_{oss} – energia zgromadzona w pojemności wyjściowej tranzystora,
 f_{sw} – częstotliwość przełączania tranzystora.

Alternatywnym parametrem, z którego można skorzystać, modelując ilość energii zgromadzonej w pojemności wyjściowej tranzystora, jest jego efektywna pojemność wyjściowa $C_{o(er)}$. Jest to stały parametr, oznaczający pojemność, w której przy napięciu U_{DS} zgromadzi się ładunek odpowiadający temu, który znalazłby się w rzeczywistej pojemności wyjściowej tranzystora w sytuacji, gdy przyłożone do niego napięcie narasta od 0 % do 80 % U_{DS} . Znając częstotliwość przełączeń tranzystora oraz dysponując parametrem $C_{o(er)}$, można określić ilość strat powstających w danym łączniku, korzystając z zależności (2.22).

$$\Delta P_{sw} = \frac{1}{2} C_{o(er)} U_{DS}^2 f_{sw} \quad (2.22)$$

gdzie:

ΔP_{sw} – straty łączeniowe tranzystorów związane z ich pojemnością wyjściową (C_{oss}),
 $C_{o(er)}$ – efektywna pojemność wyjściowa tranzystora,
 U_{DS} – wartość napięcia przyłożonego do tranzystora,
 f_{sw} – częstotliwość przełączania.

Straty w obwodach bramkowych tranzystorów polowych wiążą się z cyklicznym ładowaniem i rozładowywaniem ich pojemności wejściowej C_{iss} . Za realizację tego procesu odpowiadają specjalizowane układy scalone (*ang. driver*), których stopnie wyjściowe najczęściej wyposażone są w półmostki. Ich zadaniem jest naprzemienne przełączanie bramki sterowanego tranzystora pomiędzy dodatnim i ujemnym biegunem źródła napięcia zasilającego obwód bramkowy. Prowadzi to do cyklicznego ładowania i rozładowywania pojemności wejściowej łącznika, a w efekcie do jego załączania i wyłączania. W czasie załączania tranzystora energia przekazywana jest ze źródła napięcia zasilającego obwód bramkowy, poprzez driver i rezystor bramkowy, do pojemności

wejściowej łącznika. W trakcie tego procesu pewna ilość energii pobranej ze źródła tracona jest w postaci ciepła wydzielającego się na elementach rezystancyjnych występujących w obwodzie bramkowym (rezystor bramkowy, rezystancje wewnętrzne sterownika oraz rezystancje pasożytnicze). Pozostała część energii przekazywana jest do pojemności wejściowej tranzystora i pozostaje tam do momentu zmiany stanu logicznego sygnału na wejściu sterownika bramkowego. Po jego przełączeniu cała energia zgromadzona w pojemności wejściowej tranzystora rozpraszana jest w postaci ciepła na elementach rezystancyjnych obwodu bramkowego. Ilość mocy traconej w związku z przeładowywaniem pojemności wejściowej tranzystora polowego zależy od wartości tej pojemności, napięcia zasilającego obwód bramkowy oraz częstotliwości przełączeń. Ze względu na to, że wartość pojemności wejściowej tranzystora jest zależna od napięcia u_{DS} tranzystora, przyjęło się, że producenci łączników oprócz charakterystyki obrazującej zmiany tej pojemności C_{iss} w funkcji napięcia dren-źródło, podają również całkowity ładunek Q_G wymagany do przełączenia tranzystora. Dzięki temu straty mocy związane z przeładowywaniem pojemności bramkowej tranzystora można łatwo wyznaczyć, korzystając z zależności (2.23).

$$\Delta P_{drv} = Q_G U_{drv} f_{sw} \quad (2.23)$$

gdzie:

- ΔP_{drv} – straty mocy w obwodach sterujących tranzystorów,
- Q_G – całkowity ładunek bramki tranzystora,
- U_{drv} – napięcie źródła zasilającego obwód bramkowy,
- f_{sw} – częstotliwość przełączeń tranzystora.

W praktyce straty występujące w obwodach bramkowych często sumuje się ze stratami wynikającymi z konieczności dostarczenia energii do pozostałych elementów elektronicznych biorących udział w sterowaniu pracą tranzystorów. Dotyczy to w szczególności prądu pobieranego przez stronę pierwotną i wtórną sterowników bramkowych oraz przez procesory czy mikrokontrolery decydujące o kolejności przełączeń zachodzących w układzie. Informacje na temat wartości prądu pobieranego przez tego typu układy można znaleźć w ich dokumentacji technicznej. Ze względu na to, że udział strat występujących w obwodach bramkowych całego przekształtnika HVGDCC, nawet po uwzględnieniu strat związanych z zasilaniem układów dodatkowych, nie przekracza kilku watów, co stanowi pomijalny ułamek mocy badanego przekształtnika ($P_{out} = 700\text{ W}$) — w związku tym przyjęto, iż straty te nie zostaną uwzględnione w modelu sprawności przekształtnika HVGDCC.

2.6.3 Straty mocy w diodach

Straty w diodach można podzielić na trzy podstawowe grupy: straty przewodzenia, straty łączeniowe oraz straty związane z występowaniem prądu upływu, gdy dioda jest spolaryzowana w kierunku zaporowym. W praktyce, straty związane z prądem upływu diody pomija się, co uzasadnia znikoma wartość tego prądu. Najczęściej nie przekracza on jednego miliampera, a w przypadku zdecydowanej większości diod mocy przyjmuje wartość rzędu dziesiątek mikroamperów. Straty energii wywołane przepływem prądu o tak małej wartości są marginalne w odniesieniu do całkowitego bilansu energetycznego diody, a ich pominięcie nie ma większego wpływu na dokładność opracowanego modelu. Straty łączeniowe w diodzie dotyczą głównie procesu jej wyłączania, kiedy to ładunki mniejszościowe (Q_{rr}) zgromadzone w pojemności złącza muszą zostać usunięte, aby dioda mogła przejść do stanu blokowania. Odbywa się to za sprawą innego łącznika, który współpracuje z wyłączającą się diodą i przejmuje dotychczas płynący przez nią prąd. W czasie komutacji, ładunek zgromadzony w złączu diody jest rozładowywany przez współpracujący z nią łącznik, w którego prądzie pojawia się dodatkowy impuls o znacznej wartości, powodujący dodatkowe straty w tym elemencie. Ponadto, część strat związanych z wyłączaniem diody powstaje również w jej strukturze. Dochodzi do tego tuż po tym, jak prąd wsteczny diody związany z rozładowaniem jej pojemności złączeniowej osiągnie wartość maksymalną (I_{RM}). Napięcie diody w tym momencie zaczyna narastać, a jej prąd wsteczny maleć. Wzrost napięcia diody oraz jednoczesny przepływ prądu wstecznego prowadzi do powstawania strat. Wartość maksymalna impulsu prądu związanego z odprowadzeniem ładunku z pojemności złącza diody (I_{RM}) maleje wraz ze zmniejszeniem szybkości narastania prądu łącznika współpracującego z analizowaną diodą. Oznacza to, iż w przypadku układów pracujących w trybie ZCS, takich jak przekształtnik HVGDCC, straty łączeniowe występujące w diodach są pomijalne. Prowadzi to do wniosku, iż największą rolę w ogólnym bilansie energetycznym diod pracujących w przekształtnikach rezonansowych typu ZCS odgrywają straty przewodzenia. Modeluje się je na podstawie wartości napięcia przewodzenia złącza diody oraz jego rezystancji dynamicznej, uwzględniając przy tym wartość średnią i skuteczną prądu, jaki przez nią przepływa. Wartość napięcia przewodzenia diody jest zależna od temperatury jej złącza, więc przeprowadzając obliczenia należy uwzględnić wartość tego parametru adekwatną do warunków, w jakich analizowana dioda będzie pracować w docelowym układzie.

Zakładając, że straty łączeniowe diody oraz te związane z jej prądem upływu można pominąć, ilość mocy traconej w tym elemencie opisuje zależność (2.24).

$$\Delta P_D = \bar{I}_D V_F + I_D^2 R_D \quad (2.24)$$

gdzie:

- ΔP_D – straty mocy w diodzie,
- V_F – napięcie przewodzenia diody,
- R_D – rezystancja dynamiczna diody,
- I_D – wartość skuteczna prądu diody,
- $\bar{I}_D$ – wartość średnia prądu diody.

2.6.4 Straty mocy w elementach indukcyjnych

Straty mocy w elementach indukcyjnych można podzielić na straty przewodzenia oraz straty występujące w rdzeniu, związane z jego przemagnesowywaniem oraz powstającymi w nim prądami wirowymi. Sumaryczną ilość mocy rozpraszanej w elemencie indukcyjnym można wyznaczyć, korzystając z zależności (2.25).

$$\Delta P_L = \Delta P_{Lcond} + \Delta P_{Lcore} \quad (2.25)$$

gdzie:

- ΔP_L – sumaryczne straty mocy występujące w dławiku,
- ΔP_{Lcond} – straty mocy związane z przewodzeniem (w uzwojeniach),
- ΔP_{Lcore} – straty mocy występujące w rdzeniu.

Straty rezystancyjne oblicza się na podstawie rezystancji uzwojeń elementu indukcyjnego dla prądu stałego (R_{DC}) oraz prądu przemiennego (R_{AC}), uwzględniając przy tym wartość skuteczną prądu płynącego przez uzwojenie. Wartość liczbowa strat przewodzenia elementu indukcyjnego (ΔP_{Lcond}) określa zależność (2.26).

$$\Delta P_{Lcond} = I_L^2 (R_{DC} + R_{AC}) \quad (2.26)$$

gdzie:

- ΔP_{Lcond} – straty przewodzenia w dławiku,
- I_L – wartość skuteczna prądu dławika,
- R_{DC} – rezystancja uzwojeń dławika dla prądu stałego,
- R_{AC} – rezystancja uzwojeń dławika dla prądu przemiennego.

Jak wynika z zależności (2.26), obliczając straty przewodzenia występujące w elemencie indukcyjnym, należy uwzględnić rezystancję R_{DC} dla prądu stałego oraz rezystancję R_{AC} związaną z występowaniem efektu naskórkowego w uzwojeniach dławika. Pierwsza z wspomnianych rezystancji (R_{DC}) jest podstawowym parametrem charakteryzującym element indukcyjny i jest zamieszczana przez producentów w dokumentacji technicznej. Drugi z tych parametrów zdecydowanie rzadziej udaje się odnaleźć w dokumentacji, co istotnie komplikuje proces obliczania strat w tego typu elementach. Niemożność uzyskania informacji na temat faktycznej wartości parametru

R_{AC} dla danej częstotliwości zmusza inżynierów do pomijania tego składnika strat w obliczeniach lub przyjmowania arbitralnych założeń co do jego wartości. Z pewnością brak informacji na temat rezystancji R_{AC} ma negatywny wpływ na dokładność prowadzonych obliczeń.

Straty w rdzeniu obliczane są na podstawie empirycznego wzoru Steinmetza, w którym uwzględnia się wymiary geometryczne rdzenia, właściwości materiału, z jakiego został on wykonany, maksymalną wartość indukcji magnetycznej występującej w czasie pracy oraz częstotliwość prądu przepływającego przez uzwojenie dławika. Zastosowanie tej metody estymacji strat występujących w rdzeniu dławika wymaga znajomości szczegółowych parametrów charakteryzujących materiał, z którego wykonano jego rdzeń. Niestety, producenci elementów komercyjnych niezwykle rzadko udostępniają te parametry w dokumentacji technicznej swoich produktów, co sprawia, że nie możliwe staje się dokładne określenie strat w rdzeniu. Zdarza się, że udostępniają oni swoim klientom symulatory, które pozwalają z pewną ograniczoną dokładnością oszacować straty występujące w rdzeniach elementów magnetycznych. Najczęściej jednak oferują one jedynie możliwość zasymulowania strat mocy w dławiku pracującym w jednej z typowych topologii przekształtników, takich jak BUCK, BOOST czy flyback. Brak możliwości uzyskania parametrów materiałowych rdzenia sprawia, że inżynierowie zmuszeni są pomijać ten składnik strat w swoich obliczeniach lub przyjmować arbitralne założenia dotyczące ilości energii traconej w rdzeniu elementu indukcyjnego.

2.6.5 Straty mocy w kondensatorach

Straty mocy w kondensatorach (ΔP_C) oblicza się na podstawie wartości ich równoważnej rezystancji szeregowej R_{ESR} oraz wartości skutecznej prądu, jaki przez nie przepływa. Wartość równoważnej rezystancji szeregowej zależy od częstotliwości, przy jakiej pracuje analizowany kondensator. Konkretną wartość tego parametru (R_{ESR}) odczytuje się z charakterystyki zamieszczonej w dokumentacji technicznej danego komponentu lub wyznacza na podstawie tangensa kąta strat (*ang. Dissipation Factor — DF*) zamieszczonego w dokumentacji technicznej kondensatora.

$$\Delta P_C = I_C^2 R_{ESR} \quad (2.27)$$

gdzie:

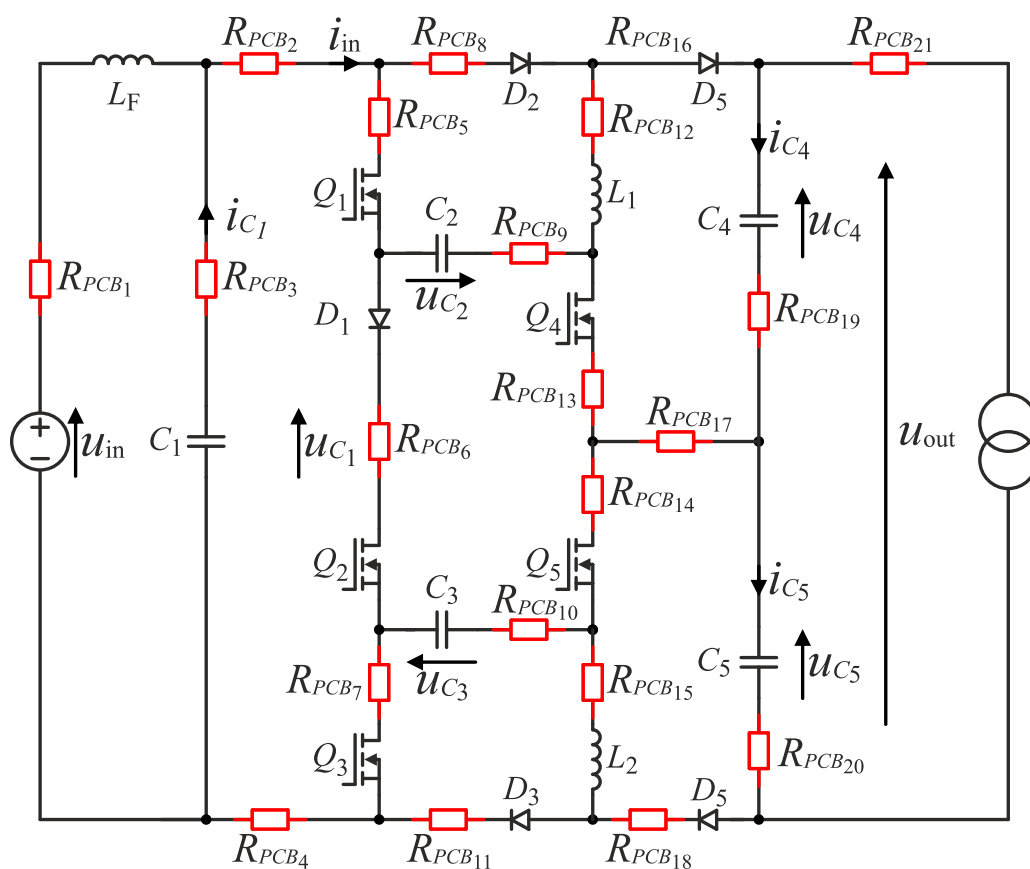
ΔP_C – straty mocy w kondensatorze,

I_C – wartość skuteczna prądu kondensatora,

R_{ESR} – równoważna rezystancja szeregowa kondensatora.

2.6.6 Straty mocy w obwodach drukowanych

Straty mocy w obwodach drukowanych wiążą się z występowaniem niezerowej rezystancji połączeń pomiędzy poszczególnymi elementami. Rezystancja takiego połączenia zależy od szerokości i długości analizowanej ścieżki, a także od grubości folii miedzianej, z której wykonano daną warstwę laminatu. W przypadku analizowanego przekształtnika HVGDCC, w obwodzie mocy można wyróżnić 21 gałęzi (rys. 2.15). Z każdą z nich można powiązać pewną rezystancję pasożytniczą ($R_{PCB1..21}$), której obecność wiąże się z powstawaniem dodatkowych strat mocy w analizowanym układzie. Kształty ścieżek prowadzonych w obwodach drukowanych często są dosyć skomplikowane, co utrudnia dokładne oszacowanie rezystancji poszczególnych połączeń. Najdokładniejszym sposobem pozwalającym na określenie strat występujących w obwodzie drukowanym jest import jego modelu do jednego z programów symulacyjnych, takich jak *Ansys*, *Comsol* czy *Altair Flux*. Tego typu symulacje wymagają dokładnego przygotowania modelu analizowanego obiektu, wykorzystania sprzętu komputerowego o znacznej mocy obliczeniowej i nierzadko, sporej ilości czasu na przeprowadzenie samych obliczeń. Czasami, szczególnie w początkowej fazie rozwoju projektu, od dokładności przeprowadzonych estymat ważniejszy jest czas ich



Rys. 2.15. Schemat przekształtnika HVGDCC z zaznaczonymi rezystancjami pasożytniczymi obwodu drukowanego

wykonania. W takich sytuacjach stosuje się uproszczone podejście analityczne, zgodnie z którym rezystancje poszczególnych połączeń przyjmowane są arbitralnie (np. na podstawie wstępnych pomiarów mostkiem RLC), a tracona w nich moc obliczana jest na podstawie wartości skutecznej prądu, jaki przez nie przepływa, zgodnie z zależnością (2.28).

$$\Delta P_{\text{PCB}} = I_{\text{trace}}^2 R_{\text{trace}} \quad (2.28)$$

gdzie:

ΔP_{PCB} – straty mocy występujące w analizowanym fragmencie obwodu drukowanego,

I_{trace} – wartość skuteczna prądu w danym fragmencie obwodu,

R_{trace} – rezystancja analizowanego fragmentu obwodu drukowanego.

2.7 Analiza prądów płynących w układzie HVGDCC

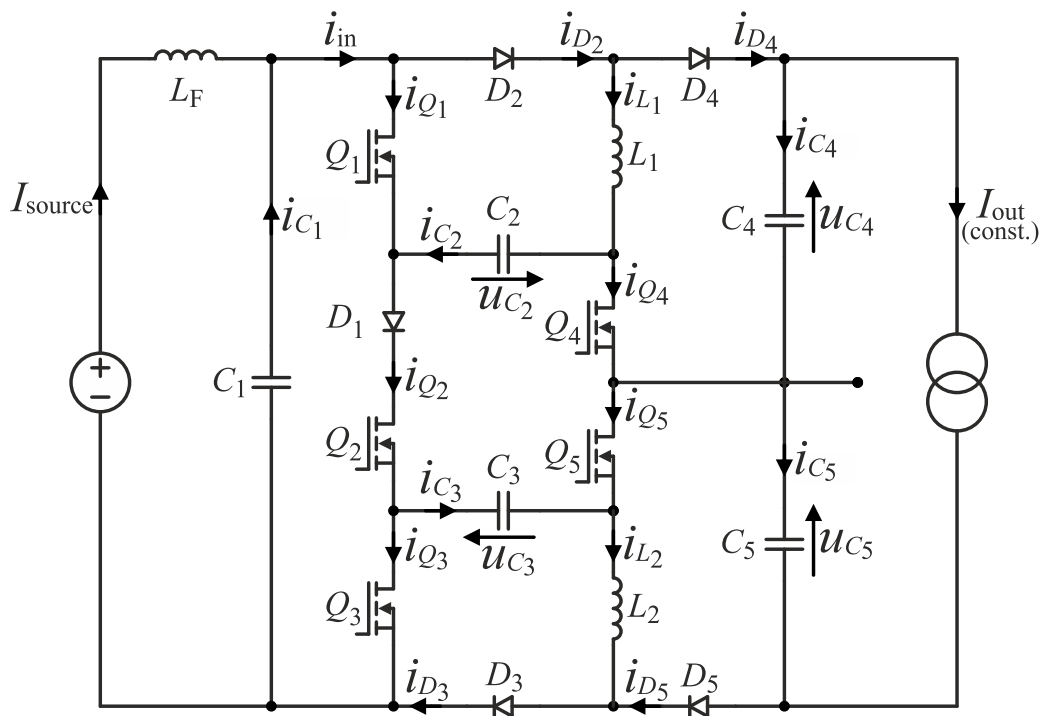
Do wyznaczenia strat występujących w poszczególnych elementach przekształtnika konieczna jest znajomość wartości średnich i skutecznych prądów przepływających przez te elementy. Ich wartości określono z uwzględnieniem założeń upraszczających, opisanych w rozdziale 2.6.1, a sam proces ich wyznaczania rozpoczęto od teoretycznej analizy przebiegów prądów każdego z komponentów układu. Schemat ideowy przekształtnika HVGDCC, wraz z dolnoprzepustowym filtrem wejściowym, obciążeniem w postaci źródła prądowego oraz z zastrzałkowanymi prądami poszczególnych komponentów, przedstawiono na rys. 2.16. Znając kształt przebiegu prądu wejściowego układu (i_{in}) oraz korzystając z algorytmu przedstawionego na rys. 2.2, określającego kolejność przełączeń zmieniających konfigurację układu (rys. 2.3), można wyznaczyć teoretyczny przebieg prądu przepływającego przez dowolny z komponentów składowych przekształtnika. Znajomość tych przebiegów jest niezbędna do wyznaczenia wartości średnich i skutecznych prądów przepływających przez analizowane elementy, a co za tym idzie — również do określenia strat mocy w nich występujących. Na rys. 2.17 przedstawiono zestaw wyidealizowanych przebiegów prądów charakterystycznych dla poszczególnych elementów badanego układu. Analizując je, warto zwrócić uwagę na występowanie ujemnej składowej stałej w prądzie kondensatora wejściowego C_1 , której wartość odpowiada średniej wartości prądu wejściowego przekształtnika. Składowa stała prądu występuje również w przebiegach prądów kondensatorów wyjściowych C_4 oraz C_5 i jest równa wartości średniej prądu pobieranego przez obciążenie. W obu przypadkach składowe stałe muszą zostać uwzględnione podczas wyznaczania wartości skutecznych prądów przepływających przez wspomniane kondensatory (C_1 , C_4 oraz C_5).

W tym miejscu, dla zwiększenia czytelności dalszej analizy, warto podkreślić, że prądy ładujące kondensatory wyjściowe (C_4 oraz C_5) są jednocześnie prądami rozłado-

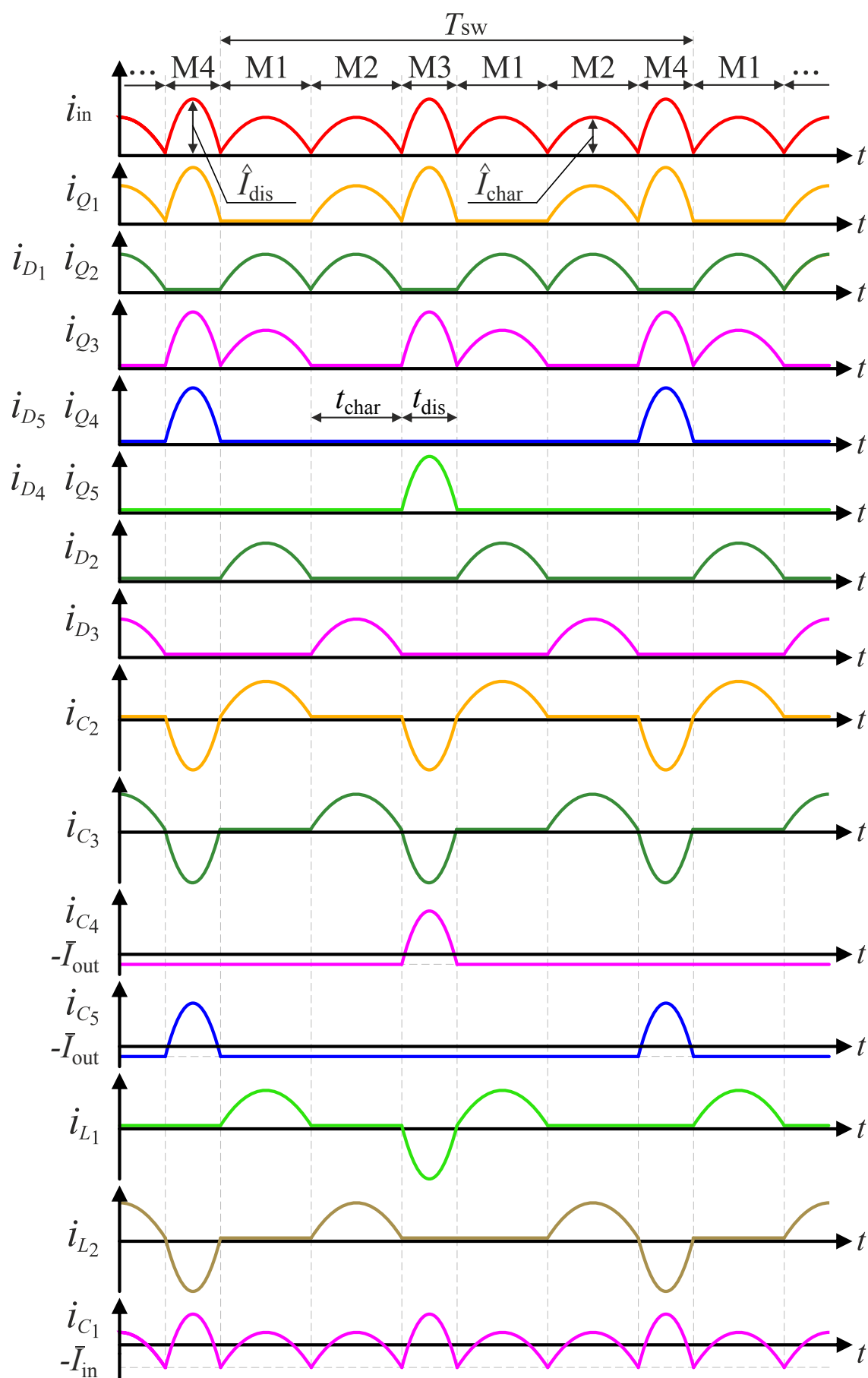
wującymi pojemnościami przełączane (C_2 oraz C_3). W dalszej części pracy przyjęto zatem konwencję nazewnictwa, zgodnie z którą wszystkie indeksy oraz przypisy dotyczące procesów ładowania lub rozładowywania odnosić się będą wyłącznie do zjawisk zachodzących w kondensatorach przełączanych.

2.7.1 Amplitudy prądów płynących w obwodzie

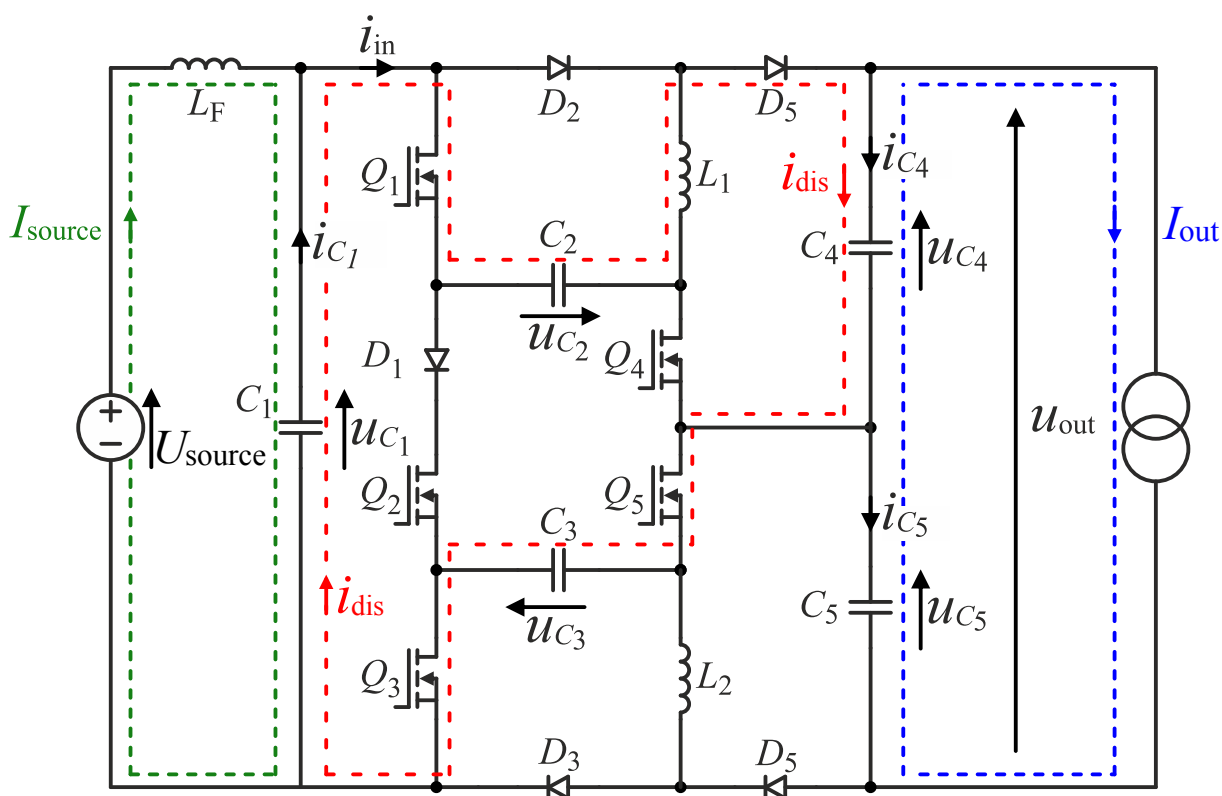
Wartości maksymalne prądów związanych z ładowaniem ($\hat{I}_{\text{char}}$) oraz rozładowywaniem ($\hat{I}_{\text{dis}}$) kondensatorów przełączanych w przekształtniku HVGDCC różnią się od siebie. Metoda umożliwiająca określenie ich wartości liczbowych opiera się na analizie zmian ilości ładunku zgromadzonego w pojemnościach wyjściowych C_4 oraz C_5 badanego układu. Jak wynika z rys. 2.3, kondensator wyjściowy C_4 ładowany jest w konfiguracji $M3$, natomiast kondensator C_5 — w konfiguracji $M4$. Pomiedzy tymi doładowaniami, w interwałach $M1$ oraz $M2$, ładowane są kondensatory przełączane C_2 oraz C_3 , co ilustruje rys. 2.12, przedstawiający sekwencję przełączeń struktury przekształtnika. Rozpływ prądów w obwodzie badanego układu, odpowiadający konfiguracji $M3$, zaprezentowano na rys. 2.18. Z algorytmu sterującego pracą przekształtnika (rys. 2.2) wynika, iż pojemności wyjściowe są doładowywane naprzemiennie prądem impulsowym o wartości maksymalnej $\hat{I}_{\text{dis}}$, w wyniku czego dochodzi do wzrostu napięcia występującego pomiędzy okładkami tych kondensatorów. Pomiedzy kolejnymi impulsami doładowującymi kondensatory wyjściowe mija czas $4t_{\text{char}} + t_{\text{dis}}$,



Rys. 2.16. Schemat przekształtnika HVGDCC z zastrzałkowanymi prądami poszczególnych elementów



Rys. 2.17. Konceptyjne przebiegi prądów przepływających przez poszczególne komponenty wchodzące w skład przekształtnika HVGDCC



Rys. 2.18. Rozpływ prądów w przekształtniku HVGDCC w czasie ładowania kondensatora C_4 - konfiguracja M3

kiedy to do wspomnianych pojemności wyjściowych (C_4 lub C_5) nie jest dostarczana energia ze źródła zasilającego przekształtnik. W tym czasie pobierany jest z nich jednak prąd o w przybliżeniu stałej wartości, będący prądem obciążenia przekształtnika ($\bar{I}_{out}$). Skutkuje to częściowym rozładowaniem wspomnianych pojemności wyjściowych układu, a amplituda powstałych w ten sposób tętnień napięcia kondensatorów C_4 oraz C_5 zależy od mocy obciążenia, pojemności wyjściowej badanego układu oraz czasu trwania poszczególnych przeładowań. Z uwagi na fakt, że zaciski wyjściowe badanego przekształtnika połączone są z wyjściowym dzielnikiem pojemnościowym, tworzonym przez kondensatory C_4 oraz C_5 , wspomniane tętnienia napięcia są również widoczne w przebiegu napięcia wyjściowego (U_{out}) przekształtnika HVGDCC.

Aby układ pracował w stanie ustalonym, średnia wartość napięcia na jego kondensatorach wyjściowych (C_4 oraz C_5) musi być utrzymywana na stałym poziomie. Oznacza to, że ładunek dostarczany do każdej z tych pojemności w czasie t_{dis} musi być równy ładunkowi pobranemu z nich w okresie pomiędzy dwoma kolejnymi impulsami doładowującymi dany element, tj. w czasie $4t_{char} + t_{dis}$.

Ubytek ładunku elektrycznego każdego z kondensatorów wyjściowych przekształtnika HVGDCC, do którego dochodzi w okresie pomiędzy kolejnymi impulsami doładowującymi, tj. w czasie $4t_{char} + t_{dis}$, może zostać wyznaczony na podstawie zależności (2.29).

$$\Delta Q_{\downarrow C_{4,5}} = \bar{I}_{\text{out}} \cdot (4t_{\text{char}} + t_{\text{dis}}) = \frac{\bar{P}_{\text{out}}}{6U_{\text{in}}} \cdot t_{\text{dis}}(4\sqrt{2} + 1) \quad (2.29)$$

gdzie:

- $\Delta Q_{\downarrow C_{4,5}}$ – ubytek ładunku zgromadzonego w kondensatorze C_4 lub C_5 ,
- $\bar{I}_{\text{out}}$ – średnia wartość prądu obciążenia przekształtnika,
- $\bar{P}_{\text{out}}$ – średnia moc wyjściowa przekształtnika,
- U_{in} – napięcie źródła zasilającego przekształtnik,
- t_{char} – czas trwania interwału ładowania kondensatora przełączanego,
- t_{dis} – czas trwania interwału rozładowania kondensatora przełączanego.

Pojemności wyjściowe badanego przekształtnika ładowane są naprzemiennie, w konfiguracjach $M3$ oraz $M4$. W trakcie tego procesu ładunek zgromadzony w kondensatorach przełączanych (C_2 i C_3) oraz energia ze źródła zasilającego przekształtnik przekazywane są do jednego z kondensatorów wyjściowych (C_4 lub C_5). W czasie ładowania tych pojemności ilość zgromadzonego w nich ładunku narasta, a jego przyrost, zgodnie z zależnością (2.30), można wyznaczyć całkując przebieg prądu danego kondensatora w czasie trwania impulsu doładowującego (t_{dis}).

$$\Delta Q_{\uparrow C_{4,5}} = \int_0^{t_{\text{dis}}} i_{C_{4,5}}(t) dt = t_{\text{dis}} \left(\frac{2\hat{I}_{\text{dis}}}{\pi} + \bar{I}_{\text{out}} \right) \quad (2.30)$$

gdzie:

- $\Delta Q_{\uparrow C_{4,5}}$ – przyrost ładunku w kondensatorze C_4 lub C_5 ,
- $i_{C_{4,5}}(t)$ – przebieg prądu kondensatora wyjściowego (C_4 lub C_5),
- t_{dis} – czas trwania impulsu ładującego kondensator wyjściowy,
- $\hat{I}_{\text{dis}}$ – amplituda impulsu prądu ładującego kondensator wyjściowy,
- $\bar{I}_{\text{out}}$ – średnia wartość prądu obciążenia przekształtnika.

Zgodnie z przyjętymi założeniami (rozdz. 2.6.1), niniejsza analiza prowadzona jest dla układu pracującego w stanie ustalonym. Tym samym można stwierdzić, że wartości średnie napięć kondensatorów wyjściowych (C_4 oraz C_5) analizowanego przekształtnika nie zmieniają się, a to z kolei oznacza, że ładunek dostarczony do każdego z kondensatorów wyjściowych, w czasie jednego okresu impulsowania przekształtnika (T_{sw}), jest równy temu, który w tym samym okresie został z niego pobrany. W związku z powyższym prawdziwa jest zależność (2.31).

$$\Delta Q_{\uparrow C_{4,5}} = \Delta Q_{\downarrow C_{4,5}} \quad (2.31)$$

gdzie:

- $\Delta Q_{\uparrow C_{4,5}}$ – przyrost ładunku w kondensatorze C_4 lub C_5 ,
- $\Delta Q_{\downarrow C_{4,5}}$ – ubytek ładunku w kondensatorze C_4 lub C_5 .

Dokonując, na podstawie wyrażenia (2.31), porównania zależności (2.29) oraz (2.30), można wyznaczyć maksymalną wartość prądu doładowującego kondensatory wyjściowe ($\hat{I}_{\text{dis}}$) przekształtnika HVGDC. Po przeprowadzeniu odpowiednich przekształceń matematycznych, zależność ta przyjmuje postać wyrażenia (2.32).

$$\hat{I}_{\text{dis}} = \frac{\pi}{2} \left[\frac{\bar{P}_{\text{out}}}{6U_{\text{in}}} (4\sqrt{2} + 1) - \bar{I}_{\text{out}} \right] \quad (2.32)$$

Po dalszym uproszczeniu, polegającym na podstawieniu $\bar{I}_{\text{out}} = -\frac{\bar{P}_{\text{out}}}{6U_{\text{in}}}$, zależność ta przyjmuje postać:

$$\hat{I}_{\text{dis}} = \frac{\pi \bar{P}_{\text{out}}}{6U_{\text{in}}} (2\sqrt{2} + 1) \quad (2.33)$$

gdzie:

- $\hat{I}_{\text{dis}}$ – amplituda prądu rozładowującego kondensatory przełączane (C_2 lub C_3),
- P_{out} – moc wyjściowa przekształtnika,
- U_{in} – napięcie źródła zasilającego przekształtnik,
- I_{out} – wartość średnia prądu obciążenia przekształtnika.

Aby wyznaczyć wartości maksymalne impulsów prądu, doładowujących kondensatory przełączane C_2 oraz C_3 , przyjęto, z pominięciem strat występujących w układzie, iż ładunek dostarczony do wspomnianych pojemności przełączanych w trakcie ich ładowania odpowiada ładunkowi pobranemu z wyjściowych kondensatorów przekształtnika (C_4, C_5) w czasie pomiędzy ich kolejnymi doładowaniami. W związku z powyższym, zapisano zależność (2.34).

$$\Delta Q_{\uparrow C_{2,3}} = \Delta Q_{\downarrow C_{4,5}} \quad (2.34)$$

gdzie:

- $\Delta Q_{\uparrow C_{2,3}}$ – przyrost ładunku w kondensatorze C_2 lub C_3 ,
- $\Delta Q_{\downarrow C_{4,5}}$ – ubytek ładunku w kondensatorze C_4 lub C_5 .

Korzystając z wyidealizowanych przebiegów prądów kondensatorów przełączanych (rys. 2.17), wyprowadzono zależność określającą przyrost ładunku tych pojemności, związany z ich cyklicznym doładowaniem impulsami prądu pochodzącymi ze źródła zasilającego przekształtnik (2.35). Wspomnianą formułę wyznaczono w sposób analityczny, całkując przebieg prądu jednego z kondensatorów przełączanych w przedziale określonym czasem trwania jednego z jego impulsów doładowujących (t_{char}).

$$\Delta Q_{\uparrow C_{2,3}} = \int_0^{t_{\text{char}}} i_{C_{2,3}}(t) dt = \frac{2\hat{I}_{\text{char}} t_{\text{char}}}{\pi} \quad (2.35)$$

gdzie:

- $\Delta Q_{\uparrow C_{2,3}}$ – przyrost ładunku w kondensatorze C_2 lub C_3 ,
- $i_{C_{2,3}}(t)$ – przebieg prądu kondensatora przełączanego C_2 lub C_3 ,
- t_{char} – czas trwania impulsu ładującego kondensatory przełączane,
- $\hat{I}_{\text{char}}$ – wartość maksymalna impulsu prądu ładującego kondensatory przełączane.

Amplitudę pulsów ładujących kondensatory przełączane ($\hat{I}_{\text{char}}$) wyznaczono, korzystając z równości (2.34), a także wcześniej wyprowadzonych zależności (2.29) oraz (2.35). W efekcie, po serii matematycznych przekształceń, otrzymano formułę (2.36) określającą wartość maksymalną prądu ładującego kondensatory przełączane.

$$\hat{I}_{\text{char}} = \frac{\pi \overline{P}_{\text{out}}}{24 U_{\text{in}}} (\sqrt{2} + 8) \quad (2.36)$$

gdzie:

- $\hat{I}_{\text{char}}$ – amplituda prądu ładującego kondensatory przełączane (C_2 lub C_3),
- $\overline{P}_{\text{out}}$ – średnia moc wyjściowa przekształtnika,
- U_{in} – napięcie źródła zasilającego przekształtnik.

2.7.2 Wartości średnie i skuteczne prądów poszczególnych komponentów przekształtnika HVGDC

Kolejnym etapem prac zmierzających do określenia strat występujących w poszczególnych komponentach przekształtnika HVGDC oraz wyznaczenia jego analitycznego modelu sprawności było wyprowadzenie zależności matematycznych opisujących wartości średnie oraz skuteczne prądów poszczególnych elementów badanego układu. Wartości skuteczne wyznaczono dla prądów wszystkich komponentów składowych przekształtnika, a w przypadku wartości średnich ograniczono się jedynie do wyznaczenia ich dla prądów diod prostowniczych. Obliczenia przeprowadzono dla wyidealizowanych przebiegów prądu poszczególnych komponentów (rys. 2.17), wykorzystując przy tym definicję wartości średniej (2.37) oraz skutecznej (2.38) dla dowolnego przebiegu okresowego.

$$\bar{I} = \frac{1}{T} \int_{t_0}^{t_0+T} i(t) dt \quad (2.37)$$

$$I = \sqrt{\frac{1}{T} \int_{t_0}^{t_0+T} i^2(t) dt} \quad (2.38)$$

gdzie:

- $\bar{I}$ – wartość średnia analizowanego przebiegu prądu,
- I – wartość skuteczna analizowanego przebiegu prądu,
- $i(t)$ – analizowany przebieg prądu,
- t_0 – czas początkowy analizy,
- T – okres analizowanego przebiegu.

Wyniki przeprowadzonych obliczeń zamieszczono w tab. 2.4 oraz 2.5. Otrzymane zależności pozwalają obliczyć wartości średnie oraz skuteczne poszczególnych przebiegów. Ich wartości uzależnione są od czasu trwania cyklu ładowania i rozładowania kondensatorów przełączanych oraz od amplitud prądów przepływających wtedy w układzie. Czas trwania poszczególnych przeładowań określają parametry elementów biernych tworzących obwód rezonansowy w danej konfiguracji przekształtnika. W przypadku interwałów ładowania kondensatorów przełączanych (konfiguracja $M1$ oraz $M2$), czas ich trwania t_{char} określono zależnością (2.1). Czas potrzebny do rozładowania (t_{dis}) kondensatorów przełączanych określa natomiast zależność (2.2).

Tabela 2.4. Zestawienie zależności określających wartości średnie prądów przepływających przez diody prostownicze przekształtnika HVGDCC

Element	Wartość średnia prądu elementu
D_1	$\bar{I}_{D_1} = \frac{4}{2t_{\text{char}} + t_{\text{dis}}} \hat{I}_{\text{char}} \frac{t_{\text{char}}}{\pi} \quad (2.39)$
D_2, D_3	$\bar{I}_{D_{2,3}} = \frac{2}{2t_{\text{char}} + t_{\text{dis}}} \hat{I}_{\text{char}} \frac{t_{\text{char}}}{\pi} \quad (2.40)$
D_4, D_5	$\bar{I}_{D_{4,5}} = \frac{2}{4t_{\text{char}} + 2t_{\text{dis}}} \hat{I}_{\text{dis}} \frac{t_{\text{dis}}}{\pi} \quad (2.41)$

gdzie:

- t_{char} – czas trwania interwału ładowania kondensatora przełączanego ($M1$ lub $M2$),
- t_{dis} – czas trwania interwału rozładowania kondensatora przełączanego ($M3$ lub $M4$),
- $\hat{I}_{\text{char}}$ – wartość maksymalna prądu ładującego kondensator przełączany,
- $\hat{I}_{\text{dis}}$ – wartość maksymalna prądu rozładowującego kondensator przełączany.

Tabela 2.5. Zestawienie zależności opisujących wartości skuteczne prądów przepływających przez poszczególne komponenty przekształtnika HVGDCC

Element	Wartość skuteczna prądu elementu	
Q_1, Q_3	$I_{Q_{1,3}} = \sqrt{\frac{1}{2t_{\text{char}} + t_{\text{dis}}} \left(\hat{I}_{\text{char}}^2 \frac{t_{\text{char}}}{2} + \hat{I}_{\text{dis}}^2 \frac{t_{\text{dis}}}{2} \right)}$	(2.42)
Q_2, D_1	$I_{Q_2} = I_{D_1} = \sqrt{\frac{1}{2t_{\text{char}} + t_{\text{dis}}} \hat{I}_{\text{char}}^2 t_{\text{char}}}$	(2.43)
Q_4, Q_5 D_4, D_5	$I_{Q_{4,5}} = I_{D_{4,5}} = \sqrt{\frac{1}{2t_{\text{char}} + t_{\text{dis}}} \hat{I}_{\text{dis}}^2 \frac{t_{\text{dis}}}{4}}$	(2.44)
D_2, D_3	$I_{D_{2,3}} = \sqrt{\frac{1}{2t_{\text{char}} + t_{\text{dis}}} \hat{I}_{\text{char}}^2 \frac{t_{\text{char}}}{2}}$	(2.45)
C_2, C_3	$I_{C_{2,3}} = \sqrt{\frac{1}{2t_{\text{char}} + t_{\text{dis}}} \left(\hat{I}_{\text{char}}^2 \frac{t_{\text{char}}}{2} + \hat{I}_{\text{dis}}^2 \frac{t_{\text{dis}}}{2} \right)}$	(2.46)
C_4, C_5	$I_{C_{4,5}} = \sqrt{\frac{\hat{I}_{\text{dis}}^2 \frac{t_{\text{dis}}}{2} + 4\hat{I}_{\text{dis}}\bar{I}_{\text{out}} \frac{t_{\text{dis}}}{\pi} + \bar{I}_{\text{out}}^2 (4t_{\text{char}} + 2t_{\text{dis}})}{4t_{\text{char}} + 2t_{\text{dis}}}}$	(2.47)
L_1, L_2	$I_{L_{1,2}} = \sqrt{\frac{1}{4t_{\text{char}} + 2t_{\text{dis}}} \left(\hat{I}_{\text{char}}^2 t_{\text{char}} + \hat{I}_{\text{dis}}^2 \frac{t_{\text{dis}}}{2} \right)}$	(2.48)
C_1	$I_{C_1} = \sqrt{\frac{1}{2t_{\text{char}} + t_{\text{dis}}} (A + B)}$ $A = \frac{1}{2} \hat{I}_{\text{dis}}^2 t_{\text{dis}} + \hat{I}_{\text{char}}^2 t_{\text{char}} + \bar{I}_{\text{source}}^2 (2t_{\text{char}} + t_{\text{dis}})$ $B = -\frac{4}{\pi} \bar{I}_{\text{source}} (\hat{I}_{\text{dis}} t_{\text{dis}} + 2\hat{I}_{\text{char}} t_{\text{char}})$	(2.49)

gdzie:

- t_{char} – czas trwania interwału ładowania kondensatora przełączanego (M1 lub M2),
- t_{dis} – czas trwania interwału rozładowania kondensatora przełączanego (M3 lub M4),
- $\hat{I}_{\text{char}}$ – wartość maksymalna impulsu prądu ładującego kondensator przełączany,
- $\hat{I}_{\text{dis}}$ – wartość maksymalna impulsu prądu rozładowującego kondensator przełączany,
- $\bar{I}_{\text{source}}$ – wartość średnia prądu źródła zasilającego przekształtnik,
- $\bar{I}_{\text{out}}$ – wartość średnia prądu obciążenia przekształtnika.

Wyznaczenie wartości skutecznych prądów przepływających przez kondensatory C_1 , C_4 oraz C_5 wymagało dodatkowo wyprowadzenia zależności określających wartości średnie prądu wejściowego i wyjściowego badanego przekształtnika. Na mocy wcześniej przyjętych założeń (rozdz. 2.6.1), wyznaczając wartość średnią prądu wyjściowego $\bar{I}_{out}$, uwzględniono idealny współczynnik wzmocnienia napięciowego (G_U), którego wartość w analizowanym przypadku wynosi sześć. Uwzględniając wspomniane założenie zapisano zależność (2.50).

$$\bar{I}_{out} \approx \frac{\bar{P}_{out}}{6U_{in}} \quad (2.50)$$

gdzie:

$\bar{I}_{out}$ – wartość średnia prądu wyjściowego przekształtnika,

$\bar{P}_{out}$ – wartość średnia mocy wyjściowej przekształtnika,

U_{in} – napięcie źródła zasilającego przekształtnik.

Aby wyznaczyć wartość średnią prądu pobieranego przez przekształtnik ze źródła zasilającego, skorzystano z definicji wartości średniej przebiegu okresowego (2.37), którą zastosowano dla przebiegu prądu wejściowego przekształtnika i_{in} HVGDCC, przedstawionego na rys. 2.17. Po wykonaniu stosownych obliczeń zapisano zależność (2.51).

$$\bar{I}_{source} = \frac{1}{2t_{char} + t_{dis}} \int_0^{2t_{char} + t_{dis}} i_{in}(t) dt = \frac{2}{\pi(2t_{char} + t_{dis})} (\hat{I}_{dis}t_{dis} + 2\hat{I}_{char}t_{char}) \quad (2.51)$$

gdzie:

t_{char} – czas trwania interwału ładowania kondensatora przełączanego (M1 lub M2),

t_{dis} – czas trwania interwału rozładowania kondensatora przełączanego (M3 lub M4),

$\hat{I}_{char}$ – wartość maksymalna prądu ładującego kondensator przełączany,

$\hat{I}_{dis}$ – wartość maksymalna prądu rozładowującego kondensator przełączany,

$\bar{I}_{source}$ – wartość średnia prądu źródła zasilającego przekształtnik.

Po uwzględnieniu w wyrażeniu (2.51) zależności (2.3), (2.33), (2.36) i dokonaniu stosownych przekształceń matematycznych zapisano uproszczoną formułę (2.52) pozwalającą wyznaczyć wartość średnią prądu źródła zasilającego badany przekształtnik.

$$\bar{I}_{source} = \frac{2(11 - \sqrt{2})P_{out}}{21U_{in}} \quad (2.52)$$

gdzie:

$\bar{I}_{source}$ – wartość średnia prądu źródła zasilającego przekształtnik,

P_{out} – moc wyjściowa przekształtnika,

U_{in} – napięcie źródła zasilającego przekształtnik.

2.8 Analityczny model sprawności układu HVGDCC

Jednym z kluczowych parametrów charakteryzujących przekształtniki energoelektroniczne jest ich sprawność (η). Jest to bezwymiarowa wartość, która pozwala ocenić skuteczność zachodzącego w nich procesu przekształcania energii, poprzez porównanie całkowitej ilości mocy dostarczonej do układu z ilością mocy użytecznej, oddanej przez przekształtnik do obciążenia [94]. Różnica tych dwóch wartości określa sumę wszelkich strat występujących w układzie. W ujęciu definicyjnym, sprawność (η) określana jest jako stosunek mocy wyjściowej przekształtnika (użytecznej) do całkowitej mocy pobranej ze źródła zasilającego. Obliczona w ten sposób (2.53) sprawność badanego układu przedstawiana jest zwykle jako procent całkowitej mocy pobranej ze źródła zasilającego przekształtnik. W rzeczywistych układach energoelektronicznych, ze względu na nieuniknione straty związane z zachodzącymi w nich zjawiskami, górna granica ich sprawności ograniczona jest asymptotycznie do 100%.

$$\eta = \left(\frac{P_{\text{out}}}{P_{\text{in}}} \right) \cdot 100\% \quad (2.53)$$

gdzie:

- η – sprawność przekształtnika,
- P_{in} – moc wejściowa przekształtnika,
- P_{out} – moc wyjściowa przekształtnika (użyteczna).

Analiza i minimalizacja strat występujących w czasie pracy przekształtników energoelektronicznych jest aktualnym i obecnie często podejmowanym tematem badań naukowych [19, 89–92]. Urządzenia tego typu składają się z wielu elementów, z których każdy ma wpływ na ostateczny bilans energetyczny danego układu. Oznacza to, że budowa matematycznego modelu sprawności przekształtnika wymaga wyznaczenia ilości energii traconej we wszystkich jego komponentach składowych, których sumaryczną wartość odnosi się do mocy wejściowej przekształtnika (P_{in}) i oblicza jego sprawność (η), korzystając z zależności 2.54.

$$\eta = \left(\frac{P_{\text{in}} - \sum_{e=1}^n P_e}{P_{\text{in}}} \right) \cdot 100\% \quad (2.54)$$

gdzie:

- η – sprawność przekształtnika,
- n – ilość elementów przekształtnika,
- e – numer elementu przekształtnika,
- P_e – moc tracona na elemencie e .

Dysponując zależnościami pozwalającymi na wyznaczenie przybliżonych wartości strat występujących w każdym z elementów przekształtnika (2.19–2.28), można określić sumaryczną ilość strat mocy badanego układu, a następnie wyznaczyć jego przybliżoną sprawność na podstawie zależności (2.55).

$$\eta = \left(1 - \frac{\sum_{n=1}^5 \Delta P_{Q_n} + \sum_{n=1}^5 \Delta P_{D_n} + \sum_{n=1}^5 \Delta P_{C_n} + \sum_{i=1}^2 \Delta P_{L_i} + \sum_{k=1}^{21} \Delta P_{PCB_k}}{P_{in}} \right) 100\% \quad (2.55)$$

gdzie:

- η – sprawność przekształtnika HVGDCC,
- ΔP_Q – straty mocy występujące w tranzystorach,
- ΔP_D – straty mocy występujące w diodach,
- ΔP_C – straty mocy występujące w kondensatorach,
- ΔP_L – straty mocy występujące w dławikach,
- ΔP_{PCB} – straty mocy występujące w połączeniach obwodu drukowanego,
- n – liczba tranzystorów, diod oraz kondensatorów występujących w układzie HVGDCC,
- i – liczba dławików występujących w układzie HVGDCC,
- k – liczba gałęzi obwodu mocy przekształtnika HVGDCC.

2.9 Znamionowe warunki pracy badanego układu

Do celów projektowych przyjęto, iż docelowym obszarem aplikacyjnym badanego przekształtnika będą mikroinstalacje fotowoltaiczne małej mocy. W systemach tego typu najistotniejsza jest ich kompaktowość, a przez to także minimalizacja liczby paneli fotowoltaicznych wymaganych do ich poprawnej pracy. Krótkie łańcuchy ogniw fotowoltaicznych charakteryzują się relatywnie niskimi wartościami generowanych napięć, a to z kolei wymusza konieczność stosowania układów energoelektronicznych umożliwiających zwiększenie wartości tego napięcia do poziomu akceptowanego przez falownik sprzęgający daną instalację fotowoltaiczną z zewnętrzną siecią elektroenergetyczną. Zestawienie wszystkich parametrów określających warunki pracy badanego przekształtnika zamieszczono w tabeli 2.6. Objaśnienia dotyczące doboru wartości poszczególnych parametrów przedstawiono w dalszej części tego rozdziału.

2.9.1 Napięcie zasilające przekształtnika

Badany przekształtnik HVGDCC charakteryzuje się sześciokrotnym współczynnikiem wzmocnienia napięciowego, co, przy założeniu, iż miałby on pracować w systemie przekazującym energię do jednofazowej sieci elektroenergetycznej, sprawia,

że jego napięcie wejściowe powinno mieścić się w przedziale od 60 do 80 V. Biorąc pod uwagę parametry obecnie produkowanych ogniw fotowoltaicznych [95, 96], można stwierdzić, że mikroinstalacja wyposażona w przekształtnik HVGDC wymagałaby do poprawnej pracy jedynie dwóch szeregowo połączonych ze sobą paneli fotowoltaicznych o napięciu pracy wynoszącym około 40 V. Ogniwa tego typu są obecnie powszechnie stosowane, jednak coraz częściej na rynku pojawiają się także modele o znacznie wyższym napięciu pracy, sięgającym nawet 70 V [97]. Zastosowanie ogniw o podwyższonym napięciu pracy, w połączeniu z przekształtnikiem HVGDC, umożliwiłoby wykonanie mikroinstalacji fotowoltaicznej zasilanej wyłącznie z jednego ogniwa PV. W związku z tym, biorąc pod uwagę parametry dostępnych na rynku ogniw fotowoltaicznych, do celów projektowych przyjęto, iż nominalną wartością napięcia zasilającego dla badanego przekształtnika będzie 70 V, a zakres dopuszczalnych napięć zasilających dla tego układu zostanie ograniczony przedziałem od 60 V do 80 V.

2.9.2 Moc wyjściowa badanego przekształtnika

Z analizy dokumentacji technicznej paneli fotowoltaicznych obecnie dostępnych na rynku wynika, iż maksymalne moce wyjściowe najpopularniejszych modeli mieszczą się w przedziale od 350 W do 450 W [95–97]. Oznacza to, że w przypadku mikro-

Tabela 2.6. Zestawienie parametrów określających znamionowe warunki pracy przekształtnika HVGDC

Parametr	Symbol	Wartość
Znamionowe napięcie wejściowe	U_{in}	70 V
Dopuszczalny zakres napięcia wejściowego	$U_{inrange}$	60 V do 80 V
Znamionowa moc wyjściowa	P_{out}	700 W
Maksymalna moc wyjściowa	P_{outmax}	1000 W
Częstotliwość pracy układu	f_{sw}	35 kHz
Dopuszczalne tętnienia napięcia wyjściowego	ΔU_{outmax}	1 % U_{out}
Dopuszczalne tętnienia napięcia kondensatorów przełączanych	Δu_{Cswmax}	30 % U_{in}
Dopuszczalne tętnienia prądu źródła zasilającego (wywołane pracą układu)	$\Delta I_{sourcemax}$	1 A
Dopuszczalne tętnienia napięcia kondensatora wejściowego przekształtnika (wywołane pracą układu)	Δu_{C1max}	1 V
Dopuszczalny zakres zmian temperatury otoczenia w czasie pracy przekształtnika	T_{amb}	–40 °C do 80 °C

instalacji składającej się z dwóch ogniw fotowoltaicznych, maksymalna moc, z jaką projektowany przekształtnik mógłby pracować, wyniosłaby około 900 W. Do celów projektowych przyjęto 10-procentowy margines bezpieczeństwa, po którego uwzględnieniu maksymalną wartość mocy wyjściowej przekształtnika ($P_{\text{out}_{\text{max}}}$), dla której prowadzono wszelkie obliczenia, ustalono na poziomie 1000 W.

2.9.3 Częstotliwość pracy badanego przekształtnika

Częstotliwość pracy (f_{sw}) przekształtnika HVGDC ustalono arbitralnie jako parametr wymagany do przeprowadzenia dalszych prac projektowych. Przyjęto, iż będzie on definiowany jako odwrotność czasu potrzebnego do realizacji jednej pełnej sekwencji przełączeń badanego przekształtnika, składającej się z czterech taktów ładowania kondensatorów przełączanych oraz dwóch interwałów, w czasie których dochodzi do ich rozładowania. Wartość tego parametru ustalono na poziomie 35 kHz, jako możliwą do osiągnięcia zarówno w przekształtniku z tranzystorami CoolMOS, jak i CoolGaN. Biorąc pod uwagę fakt, iż celem prowadzonych badań było porównanie właściwości przekształtników, w których zastosowano wspomniane tranzystory, istotne było zminimalizowanie różnic konstrukcyjnych pomiędzy tymi układami. Dodatkowo wybór relatywnie niewielkiej częstotliwości pracy przekształtnika można uzasadnić chęcią redukcji strat związanych z rozładowywaniem pojemności wyjściowych tranzystorów badanych układów – w szczególności tego, w którym zastosowano łączniki typu CoolMOS.

2.9.4 Tętnienia napięć i prądów

Badany przekształtnik w czasie swojej pracy w sposób cykliczny pobiera energię ze źródła zasilającego. Przebieg jego prądu wejściowego, charakteryzuje się dużym poziomem tętnień, które mogą niekorzystnie wpływać na źródło energii, powodując jego okresowe przeciążanie lub ograniczenie ilości generowanej energii, jeżeli w roli źródła zastosowano panele fotowoltaiczne [98]. Aby zmniejszyć negatywny wpływ tętniącego przebiegu prądu wejściowego przekształtnika na zasilające go źródło napięcia, należy go odfiltrować, stosując odpowiedni filtr dolnoprzepustowy. Parametry elementów wchodzących w skład tego typu filtrów dobiera się na podstawie maksymalnej dopuszczalnej amplitudy tętnień prądu i napięcia właściwych dla danego układu. W przypadku przekształtnika HVGDC przyjęto, iż tętnienia prądu źródła nie powinny przekraczać 1 A, a tętnienia napięcia wejściowego wywołane pracą przekształtnika nie powinny być większe niż 1 V.

Napięcie wyjściowe przekształtnika również podlega filtracji, a realizowane jest to za pomocą kondensatorów wyjściowych przekształtnika. Ich pojemność dobiera się tak, aby przy maksymalnej mocy obciążenia tętnienia ich napięcia nie przekra-

czały wartości dopuszczalnej przez urządzenie stanowiące obciążenie układu. W przypadku przekształtnika HVGDCC przyjęto, iż tętnienia jego napięcia wyjściowego nie powinny być wyższe niż $1\% U_{out}$.

W czasie normalnej pracy układu HVGDCC, poza tętnieniami jego napięć wejściowych oraz wyjściowych, pojawiają się także wahania napięcia na jego kondensatorach przełączanych (C_2 oraz C_3). Zjawisko to jest całkowicie normalne i występuje w każdym przekształtniku o przełączanych kondensatorach. Wynika ono z zasady działania tego typu układów i jest efektem cyklicznego doładowywania i rozładowywania wspomnianych pojemności przełączanych. W przypadku przekształtników rezonansowych, takich jak HVGDCC, w których oprócz przełączanych kondensatorów występują również indukcyjności zapewniające oscylacyjny przebieg prądów płynących w obwodzie, należy zauważyć, że napięcia pojawiające się na kondensatorach przełączanych w czasie pracy układu mogą znacznie przewyższać napięcie źródła, z którego dany układ jest zasilany.

Amplituda tętnień napięcia kondensatorów przełączanych jest w przybliżeniu równa różnicy napięcia źródła zasilającego i wartości napięcia na kondensatorze przełączanym, do której został on rozładowany w poprzednim cyklu pracy układu. Wynika stąd, że maksymalna wartość napięcia, do jakiej mogą naładować się kondensatory przełączane, zależy od stopnia obciążenia układu, częstotliwości jego pracy oraz pojemności samych kondensatorów przełączanych. Zbyt duże tętnienia napięcia kondensatorów przełączanych wiążą się ze wzrostem wartości napięć pojawiających się na poszczególnych elementach układu i koniecznością stosowania komponentów o wyższych znamionowych napięciach pracy. Aby ograniczyć wartości napięć pojawiających się w układzie HVGDCC, zdecydowano się na ograniczenie dopuszczalnej wartości tętnień napięcia kondensatorów przełączanych ($\Delta u_{C_{swmax}}$) do 30% napięcia zasilającego U_{in} , co osiągnięto poprzez odpowiedni dobór komponentów składowych przekształtnika i ograniczenie jego maksymalnej mocy wyjściowej do $P_{outmax} = 1000 \text{ W}$.

2.10 Dobór elementów przekształtnika

Prace badawcze prowadzone w ramach przygotowania niniejszej rozprawy doktorskiej swoim zakresem obejmowały porównanie właściwości przekształtników DC–DC o topologii HVGDCC, wykonanych z wykorzystaniem tranzystorów typu CoolMOS oraz CoolGaN. W związku z tym przeprowadzono serię badań symulacyjnych oraz eksperymentalnych dwóch przekształtników, zbudowanych z wykorzystaniem elementów wymienionych w tabeli 2.7. Proces doboru tych elementów oraz ich wartości szczegółowo omówiono w kolejnych sekcjach tego podrozdziału.

Tabela 2.7. Zestawienie najważniejszych komponentów składowych przekształtników HVGDCC-CoolMOS oraz HVGDCC-CoolGaN

Komponent	HVGDCC-CoolMOS	HVGDCC-CoolGaN
Tranzystory (Q_1 - Q_5)	Infineon IPW60R070CFD7 [99]	Infineon IGT40R070D1 [100]
Diody prostownicze (D_1 - D_5)	IDW20G65C5B [101]	ST STTH30L06C [102]
Kondensatory przełączane (C_2 , C_3)	4x Ceralink 1 μ F TDK B58031I5105M062 [103]	4x Ceralink 1 μ F TDK B58031I5105M062 [103]
Dławiki rezonansowe (L_1 , L_2)	Würth Elektronik 820 nH 7443556082 [104]	Würth Elektronik 820 nH 7443556082 [104]
Kondensator wejściowy (C_1)	EPCOS 100 μ F B43231-A6107-M [105] + 2x EPCOS 1 μ F B32924 X2 MKP [106]	4x Panasonic 68 μ F EEV-EB2E680M [107] + 10x Ceralink 1 μ F TDK B58031I5105M062 [103]
Dławik filtrujący (L_F)	EATON 4.7 μ F HCM1A1707-4R7-R [108]	EATON 4.7 μ F HCM1A1707-4R7-R [108]
Kondensatory wyjściowe (C_4 , C_5)	EPCOS 100 μ F B43231-A6107-M [105] + 2x EPCOS 4.7 μ F B32524Q3475K [109]	2x Panasonic 68 μ F EEV-EB2E680M [107] + 5x Ceralink 1 μ F TDK B58031I5105M062 [103]
Sterowniki bramkowe	Infineon 1EDI60N12AF [110]	Infineon 1EDS5663H [111]

Prezentowane w kolejnych sekcjach niniejszego rozdziału wyniki przeprowadzonych analiz i obliczeń określają minimalne dopuszczalne wartości poszczególnych parametrów charakteryzujących komponenty wykorzystane do budowy obu układów eksperymentalnych (HVGDC-CoolMOS oraz HVGDC-CoolGaN), które umożliwiają ich bezpieczną i stabilną pracę w warunkach określonych w tabeli 2.6. Biorąc jednak pod uwagę fakt, iż badane przekształtniki są układami eksperymentalnymi, przeznaczonymi do prowadzenia różnego rodzaju badań naukowych, parametry zastosowanych w nich komponentów zostały w znacznym stopniu przewymiarowane. Wyraźnie widać to w przypadku elementów półprzewodnikowych, których dopusz-

czalne napięcia pracy oraz katalogowe wartości prądów przewodzenia znacznie przekraczają wartości wynikające z obliczeń przeprowadzonych dla układu HVGDCC pracującego w standardowych warunkach. Dzięki zastosowaniu elementów o przewymiarowanych parametrach możliwe było prowadzenie badań opracowanych układów w szerokim zakresie zmian ich napięcia wejściowego oraz poziomu obciążenia. Skorzystano z tej możliwości w trakcie prac badawczych związanych z przygotowaniem publikacji [23], gdzie w jednym z eksperymentów badano zależność ilości energii traconej w nieobciążonym przekształtniku w zależności od typu zastosowanych łączników (CoolMOS lub CoolGaN) oraz wartości napięcia źródła zasilającego badane przekształtniki, którą zmieniano w zakresie od 70 V do 160 V.

2.10.1 Dobór elementów biernych przekształtnika

Parametry elementów biernych występujących w badanym przekształtniku ściśle zależą od założonej częstotliwości pracy oraz mocy, z jaką układ ma pracować. Proces ich doboru rozpoczął od wyprowadzenia zależności określających relację pomiędzy czasami trwania poszczególnych przeładowań (t_{char} oraz t_{dis}) a zadeklarowaną częstotliwością pracy układu (f_{sw}). Z algorytmu określającego kolejność przełączeń występujących w układzie (rys. 2.2) wynika, iż jeden pełny cykl pracy przekształtnika (T_{sw}) składa się z czterech interwałów ładowania kondensatorów przełączanych oraz dwóch interwałów, w czasie trwania których kondensatory przełączane są rozładowywane. Zgodnie z przyjętą w pracy nomenklaturą, czas trwania interwałów ładowania kondensatorów przełączanych (M1, M2) oznacza się przez t_{char} , natomiast czas trwania interwałów ich rozładowania (M3, M4) przez t_{dis} . W związku z tym można zapisać:

$$T_{\text{sw}} = 4t_{\text{char}} + 2t_{\text{dis}} = \frac{1}{f_{\text{sw}}} \quad (2.56)$$

gdzie:

- T_{sw} – okres impulsowania przekształtnika,
- f_{sw} – częstotliwość impulsowania przekształtnika,
- t_{char} – czas trwania interwału ładowania kondensatora przełączanego,
- t_{dis} – czas trwania interwału rozładowania kondensatora przełączanego.

Korzystając z zależności (2.56) oraz (2.3), można zapisać równania opisujące relację pomiędzy przyjętą częstotliwością impulsowania przekształtnika a czasami trwania interwałów ładowania (t_{char}) i rozładowania (t_{dis}) kondensatorów przełączanych, które zaznaczono na rys. 2.17.

$$t_{\text{char}} = \frac{4 - \sqrt{2}}{14f_{\text{sw}}} \quad (2.57)$$

$$t_{\text{dis}} = \frac{2\sqrt{2} - 1}{14f_{\text{sw}}} \quad (2.58)$$

gdzie:

- f_{sw} – częstotliwość impulsowania przekształtnika,
- t_{char} – czas trwania interwału ładowania kondensatora przełączanego,
- t_{dis} – czas trwania interwału rozładowania kondensatora przełączanego.

Dobór kondensatorów przełączanych

W czasie pracy układu dochodzi do cyklicznego doładowywania oraz częściowego rozładowywania kondensatorów przełączanych (rezonansowych), znajdujących się w strukturze badanego przekształtnika. Maksymalna moc, jaką przekształtnik jest w stanie przekazać do obciążenia przy danej częstotliwości, ograniczona jest pojemnością tych kondensatorów i osiągnięta jest w momencie, gdy dochodzi do ich całkowitego rozładowania. Taki stan pracy przekształtnika HVGDCC jest jednak nieoptymalny ze względu na wzrost wartości napięć pojawiających się na tranzystorach stopnia wyjściowego (Q_4 , Q_5) badanego układu. Dzieje się tak, ponieważ napięcie kondensatorów przełączanych w czasie pracy układu oscyluje wokół napięcia źródła zasilającego, z amplitudą stanowiącą różnicę pomiędzy napięciem tego źródła a napięciem występującym na kondensatorze przed rozpoczęciem procesu jego ładowania (M1, M2). W skrajnym przypadku, gdy układ pracuje w stanie przeciążenia, kondensatory przełączane są całkowicie rozładowywane, a następnie każdy z nich ładuje się do napięcia dwukrotnie wyższego od napięcia źródła zasilającego badany przekształtnik. Aby ograniczyć wartości napięć pojawiających się na tranzystorach Q_4 oraz Q_5 , określono maksymalną wartość tętnień napięcia kondensatorów przełączanych ($\Delta u_{C_{\text{swmax}}}$). Przyjęto, że dla układu pracującego z założoną mocą maksymalną $P_{\text{max}} = 1000 \text{ W}$, tętnienia te nie powinny przekraczać 30 % wartości napięcia źródła zasilającego przekształtnik. Warunek ten spełniono poprzez dobór kondensatorów przełączanych o pojemności określonej zależnością (2.59), będącą stosunkiem ilości ładunku pobranego z tego kondensatora w czasie jego rozładowania (M3, M4) oraz przyjętej dopuszczalnej zmiany wartości jego napięcia ($\Delta u_{C_{\text{swmax}}}$).

$$C_{\text{sw}} \geq \frac{\hat{I}_{\text{dis}} \frac{2t_{\text{dis}}}{\pi}}{\Delta u_{C_{\text{swmax}}}} \quad (2.59)$$

gdzie:

- C_{sw} – pojemność kondensatora przełączanego C_2 lub C_3 ,
- $\hat{I}_{\text{dis}}$ – wartość maksymalna impulsu prądu rozładowującego kondensator przełączany,
- t_{dis} – czas trwania interwału rozładowania kondensatora przełączanego,
- $\Delta u_{C_{\text{swmax}}}$ – dopuszczalna amplituda tętnień napięcia kondensatora przełączanego.

Po podstawieniu do zależności (2.59) wyrażeń wynikających z równań (2.33) oraz (2.58), otrzymuje się:

$$C_{sw} \geq \frac{P_{out}}{6f_{sw}U_{in}\Delta u_{C_{swmax}}} = \frac{1000}{6 \cdot 35000 \cdot 70 \cdot 0.3 \cdot 70} = 3,24 \mu F \quad (2.60)$$

gdzie:

- C_{sw} – pojemność kondensatora przełączanego C_2 lub C_3 ,
- f_{sw} – częstotliwość impulsowania przekształtnika,
- U_{in} – napięcie wejściowe przekształtnika,
- $\Delta u_{C_{swmax}}$ – dopuszczalna amplituda tętnień napięcia kondensatora przełączanego.

Dobierając kondensator, poza odpowiednią pojemnością należy także zwrócić uwagę na jego nominalne napięcie pracy, które powinno być dobrane z co najmniej 20 % marginesem bezpieczeństwa względem maksymalnego napięcia, jakie może teoretycznie pojawić się pomiędzy jego okładkami. W układzie HVGDCC kondensatory przełączane pracują z napięciem, którego składowa stała odpowiada wartości napięcia źródła zasilającego układ, a amplituda jego tętnień, w przypadku przeciążenia przekształtnika, może osiągać wartość do niej zbliżoną. W związku z tym, jeżeli napięcie wejściowe przekształtnika HVGDCC może przyjmować wartości z przedziału od 60 V do 80 V, należy przyjąć, iż nominalne napięcie pracy kondensatorów zastosowanych w obwodach rezonansowych badanego układu powinno wynosić co najmniej 200 V.

Warto również zwrócić uwagę na wypadkową rezystancję szeregową dobieranych kondensatorów (ang. ESR), która powinna być jak najniższa, ze względu na potrzebę minimalizacji strat związanych z przepływającym przez nie prądem o znacznej wartości. W modelu eksperymentalnym, opisanym w dalszej części niniejszej pracy, w roli kondensatorów przełączanych zastosowano wielowarstwowe kondensatory ceramiczne typu CeraLink (TDK B58031I5105M062) [103], których nominalne napięcie pracy wynosi 500 V. Kondensatory tego typu przewyższają typowo stosowane w takich aplikacjach kondensatory foliowe pod względem oferowanej przez nie pojemności w odniesieniu do ich rozmiarów i nominalnego napięcia pracy. Fakt ten stanowił główny argument przemawiający za zastosowaniem tego typu kondensatorów w badanym układzie.

Niewątpliwie, wadą kondensatorów ceramicznych jest silna zależność ich efektywnej pojemności od wartości przyłożonego do nich napięcia stałego oraz temperatury. Korzystając z dokumentacji technicznej wytypowanych elementów [103] oraz noty aplikacyjnej [112], można stwierdzić, iż ich efektywna pojemność przy pracy z napięciem, którego przebieg zawiera składową stałą o wartości $U_{in} = 70 V$, wynosi około 75 % ich pojemności nominalnej. Uwzględniając to zjawisko oraz typoszeręg i dostępność kondensatorów CeraLink, uznano, że najbardziej zbliżona wartość pojemności do tej

określonej zależnością (2.60), jaką uda się osiągnąć w rzeczywistości, będzie wynosić około 3 μF . Pojemność tę uzyskano przez równoległe połączenie czterech kondensatorów CeraLink o nominalnej pojemności wynoszącej 1 μF .

Producent wytypowanych kondensatorów, w ich dokumentacji technicznej [103], wskazuje również dopuszczalną wartość skuteczną prądu, która nie będzie powodować skrócenia czasu ich poprawnego funkcjonowania. Dla kondensatora o dopuszczalnym napięciu pracy wynoszącym 500 V podano, iż wartość ta nie powinna przekraczać 10 A. Celem zweryfikowania możliwości zastosowania wytypowanego modelu kondensatora w badanym układzie, obliczono wartość skuteczną prądu, jaki popłynie przez ten kondensator. Obliczeń dokonano na podstawie zależności (2.46), uwzględniając przy tym (2.3), (2.33) oraz (2.36), wyznaczono szukaną wartość skuteczną prądu kondensatorów przełączanych:

$$I_{C_{\text{sw}}} = \sqrt{\frac{1}{4\sqrt{2} + 2} (\sqrt{2}\hat{I}_{\text{char}}^2 + \hat{I}_{\text{dis}}^2)} = 12,82 \text{ A} \quad (2.61)$$

gdzie:

$I_{C_{\text{sw}}}$ – wartość skuteczna prądu kondensatora przełączanego (C_2 lub C_3),

$\hat{I}_{\text{char}}$ – wartość maksymalna impulsu prądu ładującego kondensator przełączany,

$\hat{I}_{\text{dis}}$ – wartość maksymalna impulsu prądu rozładowującego kondensator przełączany.

Obliczona wartość prądu skutecznego kondensatora przekracza wartość prądu wskazaną w jego dokumentacji. Należy jednak mieć na uwadze, że w modelu eksperymentalnym badanego układu kondensator przełączany w rzeczywistości stanowi baterie czterech połączonych ze sobą równolegle kondensatorów. Można więc przyjąć, że wartość skuteczna prądu pojedynczego kondensatora wynosić będzie około 3,2 A, co stanowi wartość znacznie niższą od tej wskazanej w dokumentacji i pozwala stwierdzić, że kondensator został dobrany poprawnie. Dodatkową korzyścią płynącą z zastosowania czterech równolegle połączonych kondensatorów, w charakterze kondensatora przełączanego, jest minimalizacja ich wypadkowej efektywnej rezystancji szeregowej (*ang. Equivalent Series Resistance – ESR*), która w tym przypadku wyniesie około 30 m Ω .

Dobór dławika rezonansowego

Znając wymaganą pojemność kondensatorów przełączanych (C_{sw}) oraz korzystając z zależności (2.57) i (2.1), można wyznaczyć wymaganą wartość indukcyjności rezonansowej L_{res} .

$$L_{\text{res}} = \frac{t_{\text{char}}^2}{\pi^2 C_{\text{sw}}} = \frac{9 - 4\sqrt{2}}{98\pi^2 f_{\text{sw}}^2 C_{\text{sw}}} = \frac{9 - 4\sqrt{2}}{98\pi^2 \cdot 35000^2 \cdot 3.24 \cdot 10^{-6}} = 870 \text{ nH} \quad (2.62)$$

gdzie:

L_{res} – indukcyjność dławika rezonansowego L_1 lub L_2 ,

C_{sw} – pojemność kondensatora przełączanego C_2 lub C_3 ,

t_{char} – czas trwania interwału ładowania kondensatora przełączanego C_2 lub C_3 ,

f_{sw} – częstotliwość impulsowania przekształtnika.

Dobierając dławik, poza wymaganą wartością indukcyjności, należy także przeanalizować przebieg prądu, który będzie przez niego przepływał w docelowym układzie. Szczególną uwagę należy zwrócić na wartości maksymalne poszczególnych pulsów prądu występujących w tym przebiegu. Dławik należy dobrać w taki sposób, aby nie dochodziło do jego nasycenia. Ponadto, konieczne jest również określenie spodziewanej wartości skutecznej prądu przepływającego przez dławik i dobranie elementu tak, aby jego prąd znamionowy przewyższał tę wartość co najmniej o 20 %. Wartość maksymalna prądu dławika ($\hat{I}_L$) jest tożsama z amplitudą ($\hat{I}_{dis}$) pulsu prądu płynącego przez układ w czasie trwania interwału ładowania kondensatorów wyjściowych (M3, M4). W związku z tym, wartość tę można określić, korzystając z zależności (2.33), której wynik dla przyjętych parametrów pracy układu wyniesie:

$$\hat{I}_{L_{res}} = \hat{I}_{dis} = \frac{\pi P_{out}}{6U_{in}}(2\sqrt{2} + 1) = \frac{\pi \cdot 1000}{6 \cdot 70}(2\sqrt{2} + 1) = 28,64 \text{ A} \quad (2.63)$$

gdzie:

$\hat{I}_{L_{res}}$ – maksymalna wartość prądu dławika (L_1 lub L_2),

$\hat{I}_{dis}$ – wartość maksymalna prądu rozładowującego kondensatory wyjściowe (C_4 lub C_5),

P_{out} – moc wyjściowa przekształtnika,

U_{in} – napięcie źródła zasilającego przekształtnik.

Wartość skuteczną prądu dławika określa zależność (2.48). Na jej podstawie, po uwzględnieniu (2.3), (2.33) oraz (2.36), można wyznaczyć jej wartość liczbową:

$$I_{L_{res}} = \sqrt{\frac{1}{4(2\sqrt{2} + 1)}} (2\sqrt{2}\hat{I}_{char}^2 + \hat{I}_{dis}^2) = 10,53 \text{ A} \quad (2.64)$$

gdzie:

$I_{L_{res}}$ – wartość skuteczna prądu dławika (L_1 lub L_2),

$\hat{I}_{dis}$ – wartość maksymalna prądu rozładowującego kondensatory wyjściowe (C_4 lub C_5),

$\hat{I}_{char}$ – wartość maksymalna prądu ładującego kondensatory przełączane (C_2 lub C_3).

Na podstawie przeprowadzonych obliczeń dobrano dławik, którego indukcyjność jest najbardziej zbliżona do tej wyznaczonej na podstawie zależności (2.62), a jego prąd nominalny i prąd nasycenia przewyższają wartości wyznaczone odpowiednio z zależności (2.64) oraz (2.63). Wytypowany element (Würth Elektronik 7443556082) charakteryzuje się indukcyjnością na poziomie 820 nH oraz prądem znamionowym i prądem

nasycenia wynoszącymi odpowiednio 65,3 A oraz 42 A [104]. Jak można zauważyć, katalogowe wartości prądu znamionowego oraz prądu nasycenia dobranego dławika są znacznie wyższe od tych wynikających z obliczeń. Tego przewymiarowania dokonano jednak świadomie, dążąc do minimalizacji strat powstających w rezystancji uzwojeń, która w przypadku tego konkretnego modelu wynosi jedynie 540 $\mu\Omega$. Dodatkową zaletą wytypowanego elementu są jego niewielkie gabaryty (18x18x9 mm), co z kolei wpływa na poprawę współczynnika gęstości mocy całego układu.

Dobór kondensatorów wyjściowych

Ważnym parametrem każdego przekształtnika DC–DC jest maksymalny poziom tętnień jego napięcia wyjściowego $\Delta U_{out_{max}}$. Jego wartość określa się na podstawie wymagań stawianych przez urządzenie, do którego projektowany przekształtnik będzie dostarczał energię. W przypadku badanego układu przyjęto, iż tętnienia jego napięcia wyjściowego nie powinny być większe niż 1 %.

Bezpośredni wpływ na poziom tętnień napięcia wyjściowego badanego układu ma pojemność jego kondensatorów wyjściowych, poziom jego obciążenia, a także częstotliwość, z jaką dochodzi do przełączeń w jego strukturze. Wyznaczając minimalną wymaganą pojemność kondensatorów C_4 oraz C_5 , która pozwoli utrzymać tętnienia napięcia wyjściowego (U_{out}) układu HVGDCC na wymaganym poziomie, należy zauważyć, że kondensatory te mają takie same pojemności i są umieszczone w układzie w taki sposób, iż tworzą dzielnik pojemnościowy, którego zewnętrzne zaciski łączą się z obciążeniem. Ponadto kondensatory te są doładowywane naprzemiennie, a w czasie pomiędzy kolejnymi impulsami doładowującymi ($4t_{char} + t_{dis}$) są częściowo rozładowywane prądem wyjściowym przekształtnika (I_{out}). W efekcie, w przebiegach ich napięć pojawiają się tętnienia, które z uwagi na ich usytuowanie w obwodzie przenoszą się także na przebieg napięcia wyjściowego przekształtnika. Korzystając z założenia zakładającego równość pojemności kondensatorów C_4 oraz C_5 , można wyznaczyć wypadkową pojemność wyjściową przekształtnika HVGDCC ($C_{out_{eq}}$) za pomocą zależności (2.65).

$$C_{out_{eq}} = \frac{C_{out}^2}{2C_{out}} = \frac{C_{out}}{2} \quad (2.65)$$

gdzie:

C_{out} – pojemność kondensatora wyjściowego C_4 lub C_5 ,

$C_{out_{eq}}$ – wypadkowa pojemność wyjściowa przekształtnika HVGDCC.

Dodatkowo, z zasady działania przekształtnika HVGDCC wynika, iż jego wypadkowa pojemność wyjściowa ($C_{out_{eq}}$), stanowiąca szeregowe połączenie kondensatorów C_4 oraz C_5 , jest cyklicznie doładowywana w czasie interwałów $M3$ oraz $M4$, a pomiędzy kolejnymi impulsami doładowującymi, w czasie $2t_{char}$, rozładowywana

prądem obciążenia I_{out} . Korzystając więc z zależności (2.65), można zapisać wyrażenie (2.66) określające minimalną pojemność kondensatorów wyjściowych (C_{out}), umożliwiającą utrzymanie tętnień napięcia wyjściowego przekształtnika HVGDCC w wymaganym zakresie ($\Delta U_{out_{max}}$).

$$C_{out} \geq \frac{4\bar{I}_{out}t_{char}}{\Delta U_{out_{max}}} = \frac{P_{out}}{21U_{in}f_{sw}\Delta U_{out_{max}}} (4 - \sqrt{2}) =$$

$$= \frac{1000}{21 \cdot 70 \cdot 35000 \cdot 0,01} (4 - \sqrt{2}) = 11,96 \mu F$$
(2.66)

gdzie:

- C_{out} – pojemność kondensatora wyjściowego C_4 lub C_5 ,
- P_{out} – moc wyjściowa przekształtnika,
- U_{in} – napięcie źródła zasilającego przekształtnik,
- f_{sw} – częstotliwość pracy przekształtnika,
- $\bar{I}_{out}$ – wartość średnia prądu wyjściowego przekształtnika,
- t_{char} – czas trwania interwału ładowania kondensatorów przełączanych,
- $\Delta U_{out_{max}}$ – dopuszczalny poziom tętnień napięcia wyjściowego przekształtnika.

Jak wynika z zależności (2.66), kondensator wyjściowy przekształtnika o pojemności wynoszącej około $12 \mu F$ zapewniłby zgodny z poczynionymi założeniami poziom filtracji napięcia wyjściowego przekształtnika. Ze względu jednak na to, że obliczona pojemność jest tego samego rzędu co pojemność kondensatorów przełączanych, zastosowanie kondensatorów wyjściowych o tak małej pojemności mogłoby istotnie wpłynąć na częstotliwość oscylacji obwodów rezonansowych przekształtnika. W związku z tym, w roli kondensatorów wyjściowych (C_4 , C_5), w układzie wyposażonym w tranzystory CoolMOS zastosowano kondensatory o pojemności $100 \mu F$ (EPCOS B43231-A6107-M) [105]. Maksymalne napięcie pracy dobranych kondensatorów wynosi $500 V$, co znacznie przewyższa napięcia występujące w tej części układu w czasie jego normalnej pracy ($U_{out}/2 \approx 210 V$). Oznacza to, iż dobrane kondensatory są przewymiarowane pod względem napięciowym, jednak nie ma to wpływu na pracę układu eksperymentalnego. Dobór kondensatorów o tak wysokim napięciu pracy podyktowany był wyłącznie ograniczoną dostępnością wersji o niższej klasie napięciowej. Dodatkowo, do każdego z kondensatorów elektrolitycznych pracujących w wyjściowym dzielniku pojemnościowym badanego układu dołączono po dwa kondensatory foliowe o pojemności $4,7 \mu F$ (EPCOS B32524Q3475K) [109], celem zapewnienia niskoimpedancyjnej ścieżki przepływu prądów wysokiej częstotliwości. W przypadku układu bazującego na tranzystorach CoolGaN, w charakterze każdego z kondensatorów wyjściowych układu (C_4 lub C_5) zastosowano zestaw dwóch równolegle połączonych kondensatorów elektrolitycznych (Panasonic EEV-EB2E680M) [107] o pojemności $68 \mu F$

i znamionowym napięciu pracy wynoszącym 250 V oraz pięć równolegle dołączonych do nich kondensatorów CeraLink (TDK B58031I5105M062) [103].

Dobór filtra wejściowego

Przebieg prądu wejściowego (i_{in}) badanego przekształtnika ma charakter impulsowy (rys. 2.17), co wymusza stosowanie filtra dolnoprzepustowego, celem zapewnienia odpowiednich warunków pracy źródła napięcia, z którego układ jest zasilany. Skuteczne odfiltrowanie przebiegu prądu wejściowego badanego przekształtnika jest szczególnie istotne w kontekście jego potencjalnego zastosowania w mikroinstalacji fotowoltaicznej. W tego typu systemach stosuje się układy maksymalizujące ilość wytworzonej energii (MPPT), a tętnienia prądu zakłócają ich pracę, co skutkuje zmniejszeniem sprawności całej instalacji. W przekształtniku HVGDC zastosowano filtr dolnoprzepustowy typu LC , składający się z kondensatora C_1 oraz dławika L_F (rys. 2.18). W celu dobrania odpowiednich parametrów elementów tworzących wspomniany filtr przyjęto, iż dopuszczalny poziom tętnień prądu źródła $\Delta I_{source_{max}}$ to 1 A, a dopuszczalne tętnienia napięcia wejściowego układu $\Delta u_{C_{1max}}$ to 1 V. Analizując przebieg prądu kondensatora wejściowego (C_1), można zauważyć, iż maksymalną wartość osiąga on w czasie trwania interwału rozładowania kondensatorów przełączanych (M3 lub M4). Skutkuje to częściowym rozładowaniem kondensatora wejściowego, a jego napięcie osiąga wtedy wartość najniższą w czasie trwania całego okresu impulsowania przekształtnika. Wartość międzyszczytowa powstałych w ten sposób tętnień napięcia, zgodnie z przyjętym założeniem, nie powinna być wyższa niż 1 V. Korzystając z przebiegu prądu kondensatora C_1 (rys. 2.17), można wyznaczyć ilość ładunku, jaka zostanie z niego pobrana w czasie trwania każdego z interwałów ładowania kondensatorów wyjściowych (M3 lub M4). Wiedząc, o ile zmniejszyła się ilość ładunku zgromadzonego w kondensatorze oraz znając z założeń dopuszczalną wartość tętnień jego napięcia, można wyznaczyć minimalną pojemność tego kondensatora, która pozwoli utrzymać wahania jego napięcia w zakładanym zakresie.

$$\begin{aligned}
 C_1 &\geq \frac{\hat{I}_{dis} \frac{2t_{dis}}{\pi} - \bar{I}_{source} t_{dis}}{\Delta u_{C_{1max}}} = \frac{P_{out}}{U_{in} f_{sw} \Delta u_{C_{1max}}} \cdot \frac{79 - 46\sqrt{2}}{294} = \\
 &= \frac{1000}{70 \cdot 35000 \cdot 1} \cdot \frac{79 - 46\sqrt{2}}{294} = 19,36 \mu F
 \end{aligned}
 \tag{2.67}$$

gdzie:

- C_1 – pojemność kondensatora wejściowego przekształtnika,
- $\hat{I}_{dis}$ – amplituda prądu ładującego kondensatory wyjściowe (C_4 lub C_5),
- $\bar{I}_{source}$ – wartość średnia prądu źródła zasilającego przekształtnik (2.51),
- $\Delta u_{C_{1max}}$ – dopuszczalna amplituda tętnień napięcia wejściowego przekształtnika,
- f_{sw} – częstotliwość impulsowania przekształtnika,
- U_{in} – napięcie źródła zasilającego przekształtnik,
- P_{out} – moc wyjściowa przekształtnika.

Jak wynika z zależności (2.67), kondensator wejściowy przekształtnika o pojemności wynoszącej około 20 μF zapewniłby zgodny z poczynionymi założeniami poziom filtracji napięcia wejściowego przekształtnika. Ze względu jednak na to, że obliczona pojemność jest tego samego rzędu, co pojemność kondensatorów przełączanych, zastosowanie kondensatora wejściowego o tak małej pojemności mogłoby istotnie wpłynąć na częstotliwość oscylacji obwodów rezonansowych przekształtnika. W związku z tym, w roli kondensatora filtrującego w układzie wyposażonym w tranzystory CoolMOS zastosowano kondensator o pojemności 100 μF (B43231-A6107-M) [105]. W układzie bazującym na tranzystorach CoolGaN zastosowano cztery równolegle połączone kondensatory elektrolityczne o pojemności 68 μF (EEV-EB2E680M) oraz dziesięć dołączonych do nich kondensatorów ceramicznych CeraLink (TDK B58031I5105M062) [103], celem zapewnienia niskoimpedancyjnej ścieżki przepływu prądu wysokoczęstotliwościowego. Dzięki zastosowaniu kondensatorów o tak dużej pojemności można było przyjąć, iż stanowią one źródło napięcia o niskiej impedancji, które nie wpływa w istotny sposób na parametry wspomnianych obwodów rezonansowych. Dodatkowo, zastosowanie takiego kondensatora jeszcze bardziej zmniejsza amplitudę tętnień napięcia zasilającego przekształtnik.

Obliczając wartość indukcyjności filtrującej L_F , można przyjąć, iż przekształtnik zasilany jest ze źródła, którego impedancja wewnętrzna jest pomijalnie mała. Dzięki temu wymaganą wartość indukcyjności filtrującej można wyznaczyć, korzystając z zależności (2.68).

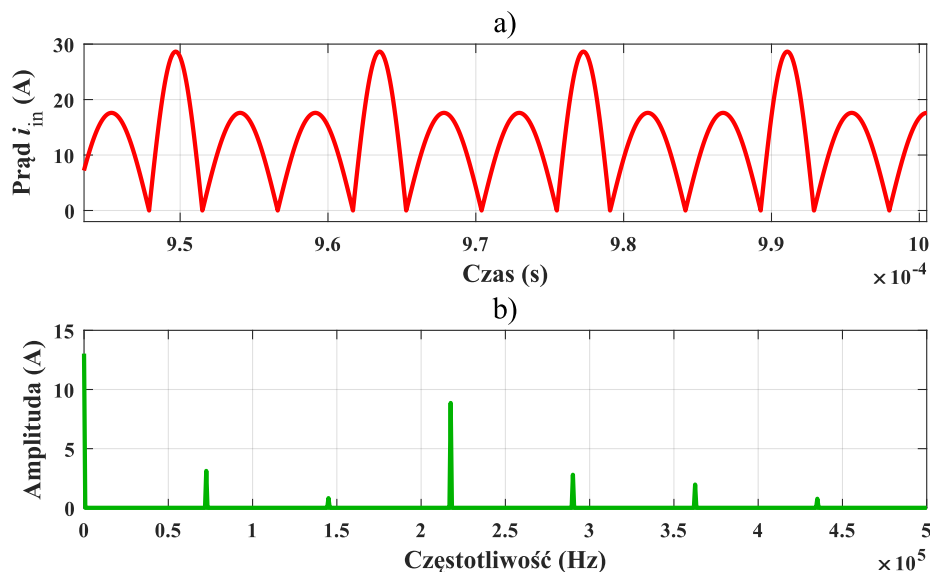
$$L_F \geq \frac{t_{dis} \Delta u_{C_{1max}}}{\Delta I_{source_{max}}} = \frac{\Delta u_{C_{1max}} (2\sqrt{2} - 1)}{14 f_{sw} \Delta I_{source_{max}}} = \frac{1 \cdot (2\sqrt{2} - 1)}{14 \cdot 35000 \cdot 1} = 4,08 \mu H \quad (2.68)$$

gdzie:

- L_F – indukcyjność dławika filtrującego,
- t_{dis} – czas trwania interwału rozładowania kondensatora przełączanego,
- $\Delta u_{C_{1max}}$ – dopuszczalny poziom tętnień napięcia wejściowego przekształtnika,
- $\Delta I_{source_{max}}$ – dopuszczalna poziom tętnień prądu źródła zasilającego przekształtnik,
- f_{sw} – częstotliwość impulsowania przekształtnika.

Na podstawie przeprowadzonych obliczeń dobrano dławik o indukcyjności $4,7 \mu\text{H}$ (Eaton HCM1A1707-4R7-R) [108]. Prąd znamionowy oraz prąd nasycenia wytypowanego elementu wynoszą odpowiednio 18 A oraz 20 A. Wartość średnia prądu przepływającego w badanym układzie przez dławik L_F odpowiada wartości średniej prądu źródła zasilającego przekształtnik ($\bar{I}_{\text{source}}$). Pamiętając, że indukcyjność dławika została dobrana tak, aby amplituda tętnień prądu źródła ($\Delta I_{\text{source}_{\text{max}}}$) nie była wyższa niż 1 A, można stwierdzić, że wartości prądów roboczego i nasycenia specyfikowane przez producenta wytypowanego dławika przewyższają te występujące w układzie, co z kolei świadczy o tym, że element ten został dobrany poprawnie. Rezystancja uzwojeń tego dławika dla prądu stałego (R_{DC}) wynosi $4,4 \text{ m}\Omega$. Związane z nią straty nie będą jednak uwzględnione w modelu sprawności badanego przekształtnika, ze względu na to, że dławik filtrujący L_F stanowi jedynie część stanowiska testowego i nie jest integralną częścią badanego przekształtnika (nie został uwzględniony w obwodzie drukowanym).

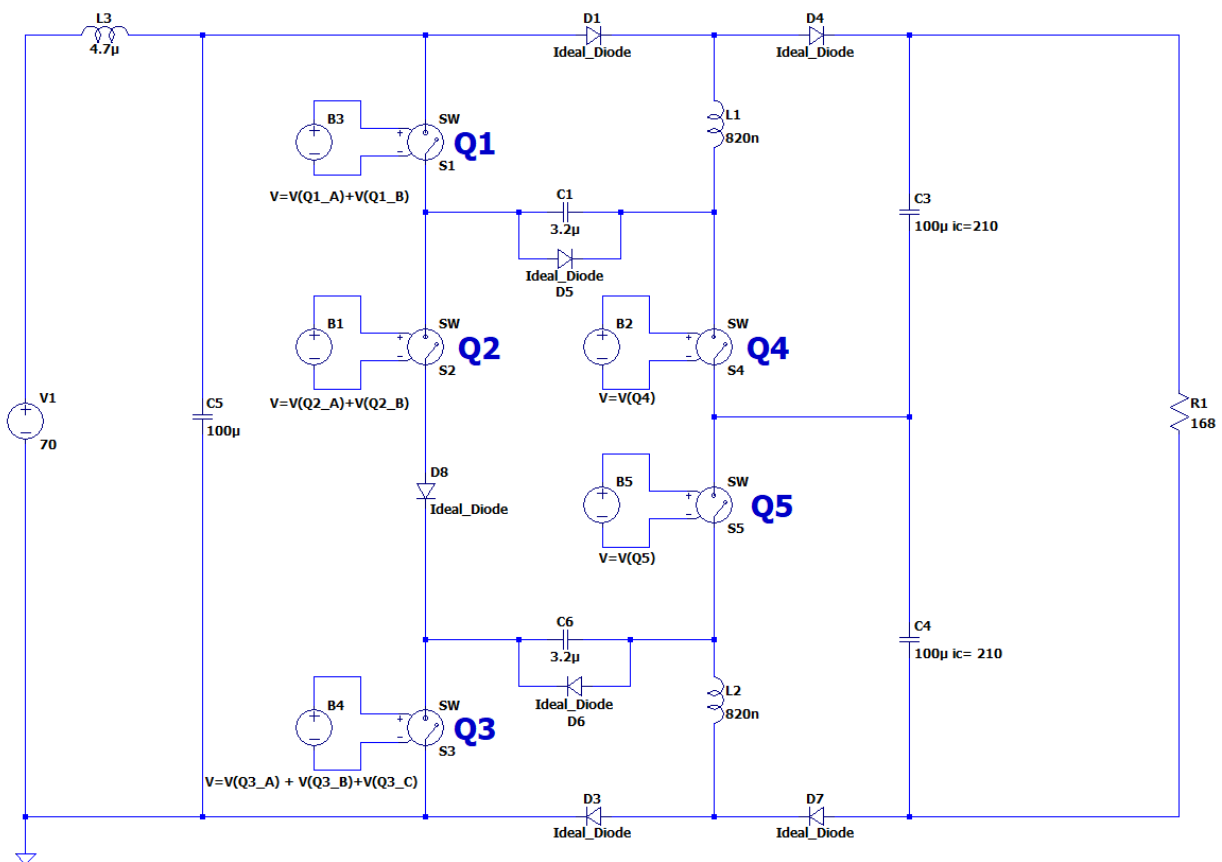
Następnie zweryfikowano, czy tak dobrany filtr dolnoprzepustowy nie będzie interferował z którąkolwiek z harmonicznym prądu wejściowego badanego przekształtnika. W tym celu wyznaczono jego częstotliwość graniczną f_0 równą $7,3 \text{ kHz}$ oraz przeprowadzono analizę widmową prądu wejściowego badanego układu. Analizie poddano teoretyczny przebieg prądu i_{in} przekształtnika pracującego z maksymalną mocą wyjściową P_{out} wynoszącą 1000 W oraz częstotliwością impulsowania f_{sw} równą 35 kHz ($1/f_{\text{sw}} = 1/4 \cdot t_{\text{char}} + 2 \cdot t_{\text{dis}}$). Przebieg prądu pobieranego przez przekształtnik przedstawiono na rys. 2.19(a), a wynik jego analizy widmowej, przeprowadzonej przy pomocy funkcji $\text{fft}()$ pakietu MATLAB, zamieszczono na rys. 2.19(b). Z przeprowadzonych ob-



Rys. 2.19. Wyidealizowany przebieg prądu wejściowego przekształtnika HVGDCC (a) oraz jego widmo amplitudowe (b)

liczeń wynika, iż częstotliwość pierwszej harmonicznej analizowanego przebiegu wynosi 75 kHz, co stanowi wartość około dziesięciokrotnie większą od częstotliwości granicznej opracowanego filtra. Oznacza to, iż w tym przypadku wszystkie harmoniczne prądu wejściowego przekształtnika będą silnie tłumione, a dobrany filtr nie będzie powodował zwiększenia tętnień związanych z którąkolwiek z jego składowych.

Poprawność doboru elementów pasywnych przekształtnika HVGDCC wstępnie zweryfikowano, wykorzystując w tym celu uproszczony model przekształtnika HVGDCC wykonany w programie LTspice (rys. 2.20). Z uwagi na fakt, iż model ten służył jedynie weryfikacji przeprowadzonych obliczeń, w jego strukturze zastosowano elementy idealne. Z przeprowadzonych symulacji wynika, iż układ z wytypowanymi w poprzedniej części niniejszego rozdziału komponentami pracuje poprawnie. Wartości napięć blokowanych przez poszczególne tranzystory oraz przepływających przez nie prądów w przybliżeniu odpowiadają tym określonym w toku prowadzonych analiz teoretycznych. Również poziom filtracji przebiegów prądu i napięcia wejściowego jest zgodny z przyjętymi założeniami, a ich tętnienia nie przekraczają odpowiednio 200 mA oraz 400 mV. Ponadto, z przeprowadzonych symulacji wynika, iż tętnienia napięcia wyjściowego przekształtnika nie przekraczają 500 mV, co także odpowiada założeniom przyjętym w początkowej fazie prac projektowych.



Rys. 2.20. Uproszczony model symulacyjny przekształtnika HVGDCC wykonany w programie LTspice

2.10.2 Dobór elementów półprzewodnikowych przekształtnika

Doboru elementów półprzewodnikowych do badanego przekształtnika dokonano w oparciu o analizę warunków prądowo–napięciowych występujących w miejscu ich zainstalowania. Dla wszystkich tranzystorów oraz diod występujących w badanym układzie określono maksymalną wartość napięcia, jaka może być blokowana przez te elementy w czasie ich pracy w przekształtniku HVGDC. Następnie określono spodziewane wartości średnie prądów przepływających przez diody prostownicze oraz wyliczono wartości skuteczne prądów tranzystorów. Dla ujednolicenia konstrukcji projektowanych układów zdecydowano się na unifikację stosowanych komponentów, polegającą na zastosowaniu jednego rodzaju diod oraz tranzystorów w obrębie całego obwodu mocy przekształtnika HVGDC. Tego rodzaju zabieg jest często stosowany w rozwiązaniach produkcyjnych, z uwagi na fakt, iż upraszcza on proces montażu oraz pozytywnie wpływa na aspekt ekonomiczny całego rozwiązania. W dwóch kolejnych sekcjach tego rozdziału przedstawiono wyniki przeprowadzonych obliczeń i analiz, a także bardziej szczegółowo opisano procedurę doboru diod prostowniczych i tranzystorów do zastosowania w obu wersjach badanego przekształtnika (HVGDC-CoolMOS oraz HVGDC-CoolGaN).

Dobór diod prostowniczych

Proces doboru diod prostowniczych zastosowanych w obwodzie mocy przekształtnika HVGDC-CoolMOS oraz jego odpowiednika wykonanego w wersji z tranzystorami CoolGaN rozpoczęto od analizy warunków prądowo–napięciowych panujących w miejscach ich instalacji. Wartości średnie prądów poszczególnych diod wyliczono na podstawie zależności (2.39–2.41), a maksymalne wartości napięć pojawiających się na tych elementach określono na podstawie napięciowego prawa Kirchhoffa zastosowanego dla poszczególnych konfiguracji układu (M_1 – M_6). Z przeprowadzonych analiz wynika, iż największe wartości średnie osiągają prądy diod prostowniczych znajdujących się w stopniu wejściowym badanego przekształtnika (D_1 , D_2 , D_3), natomiast na najwyższe wartości blokowanych napięć narażone są diody znajdujące się w jego stopniu wyjściowym (D_4 , D_5).

Diody D_4 oraz D_5 umieszczone są w strukturze badanego przekształtnika w taki sposób, że w konfiguracjach M_3 oraz M_4 spolaryzowane są zaporowo. Po załączeniu tranzystora Q_4 w konfiguracji M_4 , dioda D_4 stanowi jedyny element blokujący przepływ prądu w obwodzie złożonym z kondensatora wyjściowego C_4 , dławika L_1 oraz przewodzącego tranzystora Q_4 . W konfiguracji M_3 sytuacja wygląda analogicznie, jednak tym razem w roli elementu uniemożliwiającego przepływ prądu w oczku złożonym z kondensatora wyjściowego C_5 , dławika L_2 oraz przewodzącego tranzystora Q_5 występuje dioda D_5 . W obu wyżej opisanych przypadkach diody D_4 oraz D_5 blokują

napięcia będące równe napięciom poszczególnych kondensatorów wyjściowych, czyli w przybliżeniu odpowiadające połowie napięcia wyjściowego badanego układu. Wyniki przeprowadzonych obliczeń i analiz dla poszczególnych diod prostowniczych zastosowanych w badanym przekształtniku zamieszczono w tabeli 2.8.

Tabela 2.8. Zestawienie wartości średnich prądów oraz maksymalnych wartości napięć blokowanych przez poszczególne diody przekształtnika HVGDCC

Dioda	Wartość średnia prądu diody (A)	Maksymalna wartość napięcia blokowanego przez diodę (V)
D_1	8,28	70
D_2, D_3	4,14	90
D_4, D_5	2.38	230

Z przedstawionych w tabeli 2.8 danych wynika, iż prąd o najwyższej wartości średniej popłynie przez diodę D_1 , a w przypadku, gdy badany przekształtnik zostanie zasilony napięciem nominalnym (70 V) i obciążony mocą maksymalną ($P_{out_max} = 1000$ W), jego wartość średnia wyniesie około 8,3 A. Na podstawie wyników przeprowadzonych analiz można również stwierdzić, że diody D_4 oraz D_5 narażone będą na napięcia o najwyższych wartościach spośród wszystkich blokowanych przez diody wchodzące w skład obwodu mocy układu HVGDCC. Zakładając, że przekształtnik zasilany będzie napięciem o wartości 70 V i będzie pracował z mocą wyjściową na poziomie 1000 W, wartości napięć blokowanych przez wspomniane diody (D_4 oraz D_5) osiągną poziom około 230 V.

Ze względu na dodatkowe założenie konstrukcyjne dotyczące unifikacji komponentów układu, zarówno dla przekształtnika wykonanego w wersji CoolMOS, jak i CoolGaN, dobrano po jednym typie diod prostowniczych do zastosowania w obrebie ich obwodów mocy. Do budowy układu HVGDCC-CoolMOS wykorzystano diody prostownicze *Infineon IDW20G65C5B* [101], charakteryzujące się napięciem przewodzenia na poziomie 1,5 V, ciągłym prądem przewodzenia wynoszącym 2×10 A (dwie diody w jednej obudowie) oraz napięciem blokowania sięgającym 650 V.

W przypadku drugiej wersji przekształtnika (HVGDCC-CoolGaN), w celu zwiększenia jego objętościowego współczynnika gęstości mocy, zdecydowano o zastosowaniu do budowy układu wyłącznie komponentów przeznaczonych do montażu powierzchniowego. Ponieważ firma *Infineon* produkuje diody prostownicze o oznaczeniu *IDW20G65C5B* wyłącznie w obudowach przewlekanych typu TO-247, aby uzyskać wysoki współczynnik gęstości mocy przekształtnika HVGDCC-CoolGaN, do jego budowy zastosowano diody *STTH30L06C*, produkowane przez firmę *STMicroelectronics* [102], dostępne w obudowie typu D²PAK. Dopuszczalne napięcie blokowania

tego elementu sięga 600 V, a ciągły prąd przewodzenia wynosi 20 A dla każdej z diod znajdujących się w strukturze, jednak w praktyce jest on ograniczony dla całego elementu do 30 A. Dodatkową zaletą wytypowanych diod prostowniczych, poza kompaktową obudową, jest ich niskie napięcie przewodzenia, które w tym przypadku wynosi 950 mV i z pewnością przyczyni się do ograniczenia ilości strat przewodzenia występujących w badanym przekształtniku.

Zestawienie najistotniejszych parametrów charakteryzujących obie wytypowane diody prostownicze zamieszczono w tabeli 2.9.

Tabela 2.9. Zestawienie najważniejszych parametrów diod wytypowanych do zastosowania w badanych układach

Parametr	Rodzaj przekształtnika	
	HVGDCC CoolMOS	HVGDCC CoolGaN
Producent	Infineon	ST
Numer katalogowy	IDW20G65C5B	STTH30L06C
Dokumentacja techniczna	[101]	[102]
Napięcie blokowania V_{RRM}	650 V	600 V
Prąd przewodzenia $I_{F(AVG)}$	2 x10 A	2 x20 A
Napięcie przewodzenia V_F	1,5 V	950 mV
Pojemność złącza C_J dla 1 MHz	45 pF dla 200 V	33 pF dla 200 V
Ładunek złącza Q_J dla 400 V	15 nC	brak danych
Czas wyłączenia t_{rr}	brak danych	55 ns

Dobór tranzystorów

Proces doboru tranzystorów zastosowanych w obwodach mocy obu wersji badanego przekształtnika (HVGDCC-CoolMOS oraz HVGDCC-CoolGaN) rozpoczęto, podobnie jak miało to miejsce w przypadku diod prostowniczych, od analizy warunków prądowo–napięciowych panujących w miejscach instalacji poszczególnych łączników. Wartości skuteczne prądów poszczególnych tranzystorów wyliczono, korzystając przy tym z zależności (2.42–2.44), a maksymalne wartości napięć pojawiających się na tych elementach określono na podstawie napięciowego prawa Kirchhoffa, zastosowanego dla poszczególnych konfiguracji układu ($M1$ – $M6$). Z przeprowadzonych analiz wynika, iż największe wartości skuteczne osiągają prądy tranzystorów znajdujących się w stopniu wejściowym badanego przekształtnika (Q_1 , Q_2 , Q_3), natomiast na najwyższe wartości blokowanych napięć narażone są łączniki znajdujące się w jego stopniu wyjściowym (Q_4 , Q_5).

Tranzystor Q_5 umieszczono w strukturze badanego przekształtnika w taki sposób, że tuż po przejściu układu do konfiguracji $M4$ pomiędzy jego drenem a źródłem poja-

wia się napięcie będące sumą napięć kondensatorów przełączanych (C_2, C_3) oraz napięcia źródła zasilającego przekształtnik. Ze względu na symetrię badanego układu, narażeniom napięciowym o podobnych wartościach poddawany jest także tranzystor Q_4 , w momencie rozpoczęcia przeładowania związanego z konfiguracją $M3$. Analizując wartości napięć występujących na tranzystorach stopnia wyjściowego przekształtnika (Q_4, Q_5), warto zaznaczyć, że zgodnie z zależnością (2.9) poziom napięcia, do jakiego ładowane są kondensatory przełączane układu HVGDCC, zależy od ich napięcia początkowego. Oznacza to również, że ostateczna wartość napięcia, na jakie narażone będą tranzystory Q_4 oraz Q_5 , zwiększa się wraz ze wzrostem obciążenia badanego przekształtnika.

Uwzględniając w zależności (2.9) napięcie źródła zasilającego badany układ (U_{in}) oraz dopuszczalny poziom tętnień napięcia kondensatorów przełączanych ($\Delta u_{C_{swmax}}$), wyznacza się maksymalną wartość napięcia, do której będą ładowane jego kondensatory przełączane. Dla warunków pracy układu określonych w tabeli 2.6, wartość tego napięcia wynosi 80 V, natomiast napięcie, na jakie będą narażone tranzystory Q_4 oraz Q_5 , osiąga poziom około 230 V.

Wyniki wyżej wspomnianych obliczeń i analiz przeprowadzonych dla poszczególnych tranzystorów badanego przekształtnika zamieszczono w tabeli 2.10.

Tabela 2.10. Zestawienie wartości skutecznych prądów oraz maksymalnych wartości napięć blokowanych przez poszczególnych tranzystory przekształtnika HVGDCC

Tranzystor	Wartość skuteczna prądu tranzystora (A)	Maksymalna wartość napięcia blokowanego przez tranzystor (V)
Q_1, Q_3	12,82	70
Q_2	10,70	80
Q_4, Q_5	7,32	230

Z danych przedstawionych w tabeli 2.10 wynika, że prąd o najwyższej wartości skutecznej popłynie przez tranzystory Q_1 oraz Q_3 , a w przypadku, gdy badany przekształtnik zostanie zasilony napięciem nominalnym ($U_{in} = 70$ V) i obciążony mocą maksymalną ($P_{outmax} = 1000$ W), jego wartość skuteczna wyniesie około 12,8 A. Na podstawie wyników przeprowadzonych analiz można również stwierdzić, że tranzystory Q_4 oraz Q_5 narażone będą na napięcia o najwyższych wartościach spośród tych blokowanych przez wszystkie tranzystory wchodzące w skład obwodu mocy układu HVGDCC. Zakładając, że przekształtnik zasilany będzie napięciem o wartości 70 V i będzie pracował z mocą wyjściową na poziomie 1000 W, wartości napięć blokowanych przez wspomniane tranzystory (Q_4 oraz Q_5) osiągną około 250 V.

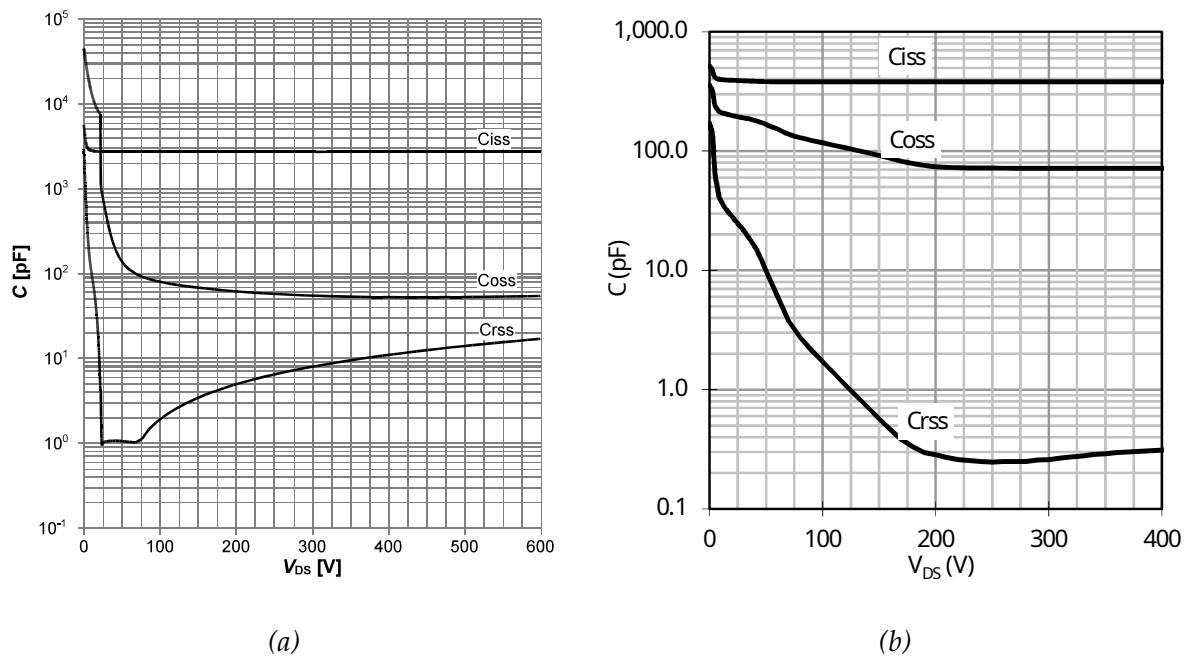
Tabela 2.11. Zestawienie najważniejszych parametrów tranzystorów wytypowanych do zastosowania w badanych układach

Parametr	Rodzaj przekształtnika	
	HVGDCC CoolMOS	HVGDCC CoolGaN
Producent	Infineon	Infineon
Seria	CoolMOS	CoolGaN
Numer katalogowy	IPW60R070CFD7	IGT40R070D1
Dokumentacja techniczna	[99]	[100]
Napięcie przebicia $U_{DS(br)}$	600 V	400 V
Ciągły prąd drenu $I_{D(cont.)}$	31 A w 25 °C	31 A w 25 °C
Rezystancja kanału $R_{DS(on)}$	70 mΩ w 25 °C	70 mΩ w 25 °C
Pojemność wejściowa C_{iss}	2721 pF	382 pF
Pojemność wyjściowa C_{oss}	53 pF	72 pF
Energia wyjściowa E_{oss}	7,7 μJ dla 400 V	brak danych
Ładunek wyjściowy Q_{oss}	brak danych	35 nC dla ($u_{DS} = 0...320$ V))
Efektywna pojemność wyjściowa, energetyczna $C_{o(er)}$	96 pF dla ($u_{DS} = 0...400$ V)	84 pF dla ($u_{DS} = 0...320$ V)
Efektywna pojemność wyjściowa, czasowa $C_{o(tr)}$	990 pF dla ($u_{DS} = 0...400$ V)	109,4 pF dla ($u_{DS} = 0...320$ V)
Czas narastania t_r	23 ns	8 ns
Czas opadania t_f	6 ns	15 ns
Opóźnienie załączenia $t_{d(on)}$	26 ns	10 ns
Opóźnienie wyłączenia $t_{d(off)}$	99 ns	14 ns

Ze względu na dodatkowe założenie konstrukcyjne dotyczące unifikacji komponentów układu, zarówno dla przekształtnika wykonanego w wersji CoolMOS, jak i CoolGaN, dobrano po jednym typie tranzystorów do zastosowania w obrębie ich obwodów mocy. Uwzględniając to założenie oraz określone w tabeli 2.10 warunki prądowo–napięciowe panujące w miejscu instalacji poszczególnych tranzystorów układu HVGDCC, w roli elementów przełączających w układzie wykonanym w wersji CoolMOS zastosowano tranzystory *Infineon CoolMOS IPW60R070CFD7* [99], a układ HVGDCC-CoolGaN wyposażono w łączniki *Infineon CoolGaN IGT40R070D1* [100]. Ich najistotniejsze parametry zamieszczono w tabeli 2.11.

Wykorzystane do budowy układu HVGDC-CoolMOS tranzystory *Infineon CoolMOS IPW60R070CFD7* [99] charakteryzują się możliwością blokowania napięć o wartościach sięgających 650 V. W drugiej wersji przekształtnika, wyposażonej w łączniki CoolGaN, zastosowano tranzystory *Infineon IGT40R070D1*, mogące pracować z napięciami, których wartości nie przekraczają 400 V. W przypadku obu wytypowanych łączników, dopuszczalne wartości kontrolowanych przez nie prądów, jak również rezystancje ich przewodzących kanałów, były sobie równe i wynosiły odpowiednio 31 A oraz 70 mΩ (w temperaturze 25 °C). Tranzystory te dobrano w ten sposób celowo, aby straty przewodzenia występujące w obu przekształtnikach były do siebie zbliżone, a ewentualne różnice w warunkach pracy obu układów można było łatwo powiązać z różnymi wartościami ich parametrów dynamicznych.

Mając na uwadze fakt, iż projektowane przekształtniki należą do grupy układów rezonansowych o przełączanych kondensatorach, na których sprawność istotny wpływ mają straty związane z rozładowywaniem pojemności wyjściowej tranzystorów (C_{oss}), łączniki dobrano w taki sposób, aby ilość energii traconej w czasie ich załączania, w związku z występowaniem tej pojemności, była jak najmniejsza [113, 114]. W tym celu analizie poddano charakterystyki przedstawiające zmienność pojemności wyjściowych (C_{oss}), wejściowych (C_{iss}) oraz zwrotnych (C_{rss}) obu wytypowanych tranzystorów w zależności od wartości przyłożonego do nich napięcia (rys. 2.21).



Rys. 2.21. Charakterystyki $C_{iss}(U_{DS})$, $C_{oss}(U_{DS})$, $C_{rss}(U_{DS})$ przedstawiające kolejno zależność pojemności wejściowych, wyjściowych oraz zwrotnych wytypowanych tranzystorów od wartości przyłożonego do nich napięcia (U_{DS}): a) zestaw charakterystyk tranzystora Infineon CoolMOS IPW60R070CFD7 [99], b) zestaw charakterystyk tranzystora Infineon CoolGaN IGT40R070D1 [100]

Z przedstawionych wykresów wynika, iż pojemności pasożytnicze wytypowanych tranzystorów osiągają najwyższe wartości i podlegają najgwałtowniejszym zmianom w zakresie napięć nieprzekraczających połowy ich dopuszczalnego zakresu pracy.

W przypadku tranzystorów *Infineon CoolMOS IPW60R070CFD7* [99], najistotniejsze zmiany wspomnianych pojemności obserwuje się w zakresie napięć nieprzekraczających 50 V, kiedy to ich pojemność wyjściowa (C_{oss}) oraz zwrotna (C_{rss}) gwałtownie maleją. W przedziale od 0 V do 50 V pojemność wyjściowa tranzystora maleje z początkowych 40 nF do 150 pF. W tym samym zakresie napięć U_{DS} jego pojemność zwrotna zmniejsza się z 2 nF do 1 pF. W dalszej części charakterystyki, przy napięciu U_{DS} wynoszącym około 400 V, pojemność wyjściowa tego tranzystora spada do około 50 pF i stabilizuje się na tym poziomie. Z kolei pojemność zwrotna w przedziale napięć U_{DS} od 75 V do 600 V narasta wykładniczo od 1 pF do 20 pF. Pojemność wejściowa tranzystora C_{iss} *Infineon CoolMOS IPW60R070CFD7* wykazuje zdecydowanie mniejszą zmienność i w zakresie napięć od 25 V do 600 V utrzymuje stałą wartość wynoszącą około 2,7 nF.

Charakterystyki $C_{iss}(U_{DS})$, $C_{oss}(U_{DS})$ oraz $C_{rss}(U_{DS})$ drugiego z wytypowanych tranzystorów (*Infineon CoolGaN IGT40R070D1*) cechują się znacznie mniejszą zmiennością. Niezależnie od wartości przyłożonego do tranzystora napięcia, żadna z przedstawionych na rys. 2.21b charakterystyk nie przyjmuje wartości większych niż 600 pF. Pojemność wejściowa C_{iss} tranzystora *Infineon CoolGaN IGT40R070D1* w niemal pełnym zakresie jego napięcia pracy utrzymuje stałą wartość wynoszącą około 400 pF. Jedynie w zakresie napięć mniejszych od 25 V można zaobserwować, iż przyjmuje ona nieco wyższe wartości. Z przedstawionych charakterystyk wynika, iż pojemności wyjściowa C_{oss} oraz zwrotna C_{rss} wyraźnie maleją wraz ze wzrostem wartości napięcia U_{DS} tranzystora. Charakterystyka $C_{oss}(U_{DS})$ największą wartość osiąga w zakresie napięć bliskich zeru, a następnie wraz ze wzrostem napięcia U_{DS} maleje z początkowych 500 pF do około 70 pF, osiąganych przy napięciu 200 V. W dalszej części charakterystyki jej wartość nie zmienia się. Z kolei pojemność zwrotna (C_{rss}) tranzystora *Infineon CoolGaN IGT40R070D1*, na tle jego dwóch pozostałych charakterystyk, wyróżnia się największą zmiennością. Podobnie jak pozostałe pojemności, również i ta najwyższą wartość osiąga na samym początku analizowanej charakterystyki. Jej wartość dosyć gwałtownie maleje z początkowych 180 pF do około 0,25 pF, co ma miejsce po przyłożeniu do tranzystora napięcia o wartości 200 V. W dalszej części charakterystyki można dostrzec nieznaczny wzrost pojemności zwrotnej tranzystora *Infineon CoolGaN IGT40R070D1*, jednak już przy napięciu U_{DS} wynoszącym około 350 V jej wartość stabilizuje się na poziomie 0,3 pF.

Ponadto, w ramach procedury doboru tranzystorów do obu wersji przekształtnika HVGDC, analizie poddano także krzywe przedstawiające zależność ilości energii zgromadzonej w pojemnościach wyjściowych wytypowanych łączników od warto-

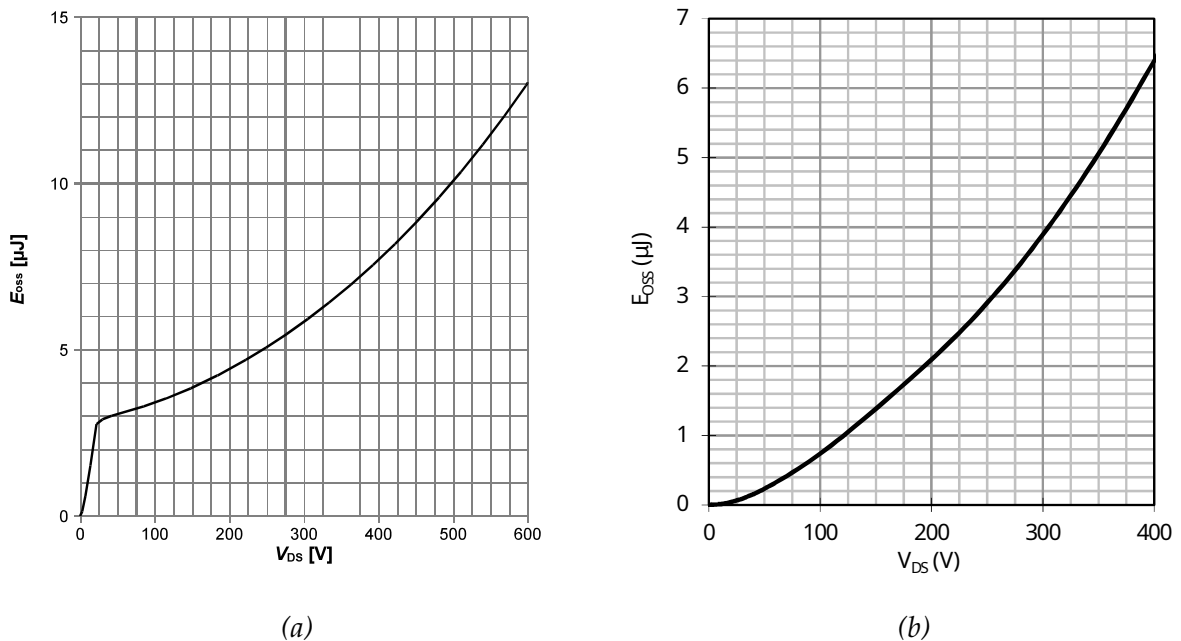
ści przyłożonego do nich napięcia $E_{oss}(U_{DS})$. Ich kształt jest ściśle związany ze zmianami pojemności wyjściowych tranzystorów (C_{oss}), które omówiono w poprzednim akapicie. Dokładny przebieg charakterystyki $E_{oss}(U_{DS})$ wyznacza się na podstawie zależności (2.69) [115].

$$E_{oss} = \int_0^{U_{DS_{max}}} C_{oss}(U_{DS}) U_{DS} dU_{DS} \quad (2.69)$$

gdzie:

- E_{oss} – energia zgromadzona w pojemności wyjściowej tranzystora (C_{oss}),
- U_{DS} – napięcie dren-źródło tranzystora,
- $U_{DS_{max}}$ – maksymalna wartość napięcia U_{DS} , przy jakim pracuje tranzystor,
- $C_{oss}(U_{DS})$ – zależność opisująca zmienność pojemności wyjściowej.

Z uwagi na fakt, iż przebieg charakterystyki $C_{oss}(U_{DS})$ najczęściej jest silnie nieliniowy, w praktyce krzywe obrazujące zależność ilości energii zgromadzonej w pojemnościach wyjściowych tranzystorów $E_{oss}(U_{DS})$ wyznaczane są numerycznie przez producentów poszczególnych łączników i prezentowane w ich dokumentacji technicznej — tak, jak ma to miejsce w przypadku przedstawionych na rys. 2.22 charakterystyk E_{oss} tranzystorów wykorzystanych do budowy obu wersji przekształtnika HVGDCC [99, 100].



Rys. 2.22. Charakterystyki $E_{oss}(U_{DS})$ przedstawiające zależność ilości energii (E_{oss}) zgromadzonej w pojemnościach wyjściowych wytypowanych tranzystorów od wartości przyłożonego do nich napięcia (U_{DS}): a) charakterystyka $E_{oss}(U_{DS})$ tranzystora Infineon CoolMOS IPW60R070CFD7 [99], b) charakterystyka $E_{oss}(U_{DS})$ tranzystora Infineon CoolGaN IGT40R070D1 [100]

Porównując obie charakterystyki, można zauważyć, iż w obszarze niskich napięć U_{DS} ich kształty istotnie się od siebie różnią. W przypadku charakterystyki tranzystora *Infineon CoolMOS IPW60R070CFD7*, już przy napięciu 25 V ilość energii E_{oss} zgromadzonej w jego pojemności wyjściowej sięga 3 μJ , podczas gdy tranzystor *Infineon CoolGaN IGT40R070D1* ten sam poziom energii zgromadzonej w pojemności wyjściowej osiąga dopiero po przyłożeniu do niego napięcia o wartości 250 V. W całym zakresie napięć ilość energii zgromadzonej w pojemności tranzystora CoolGaN jest zdecydowanie mniejsza niż w przypadku tranzystora CoolMOS. W początkowej części charakterystyki różnice w ilości energii zgromadzonej w pojemnościach wyjściowych obu tranzystorów są największe, a dla napięć mniejszych od 100 V ilość energii wyjściowej zgromadzonej w pojemności wyjściowej tranzystora *IPW60R070CFD7* jest od kilku do kilkunastu razy większa niż w pojemności wyjściowej jego odpowiednika (*IGT40R070D1*). W projektowanych układach eksperymentalnych tranzystory te będą pracować przy napięciach U_{DS} wynoszących około 70 V (Q_1, Q_2, Q_3) oraz około 250 V (Q_4, Q_5). Oznacza to, że w układzie HVGDCC-CoolMOS, w pojemnościach wyjściowych łączników stopnia wejściowego, przy każdym ich przełączeniu gromadzić się będzie około 3,5 μJ energii. W przypadku tranzystorów pracujących w stopniu wyjściowym przekształtnika HVGDCC, ilość energii rozpraszanej przy każdym ich załączeniu wyniesie około 4,7 μJ . W drugiej wersji przekształtnika, wykorzystującej tranzystory Infineon CoolGaN IGTIGT40R070D1, będzie to odpowiednio 0,45 μJ (Q_1, Q_2, Q_3) oraz 2,9 μJ (Q_4, Q_5). Jak wynika z wyżej przedstawionych danych, w układzie HVGDCC wykorzystującym tranzystory CoolGaN ilość energii rozpraszanej przy każdym załączeniu jego łączników będzie istotnie mniejsza, co bezpośrednio przełoży się na redukcję ilości strat mocy występujących w badanym układzie, a przez to także na zwiększenie jego sprawności.

3. Analityczny model strat i sprawności przekształtnika HVGDCC

W ramach przeprowadzonych prac badawczych, których wyniki opisano w niniejszym rozdziale, dokonano wstępnej analizy strat występujących w poszczególnych elementach przekształtnika HVGDCC, a także wyznaczono jego wyidealizowaną krzywą sprawności. Obliczenia przeprowadzono zarówno dla przekształtnika wykonanego w wersji z tranzystorami CoolMOS, jak również jego odpowiednika, w którym zastosowano tranzystory CoolGaN.

3.1 Struktura opracowanego modelu przekształtnika

Na potrzeby analizy sprawności przekształtnika HVGDCC i strat występujących w jego poszczególnych komponentach opracowano skrypt w języku Matlab, będący programową implementacją matematycznego modelu przekształtnika HVGDCC, opisanego w rozdziale 2.6 niniejszej pracy. Przygotowany program realizował szereg obliczeń umożliwiających oszacowanie strat mocy występujących w poszczególnych komponentach badanego układu. Skrypt został sparametryzowany w taki sposób, aby umożliwić łatwą modyfikację wszystkich parametrów analizowanego obwodu, w tym także parametrów charakteryzujących poszczególne elementy składowe przekształtnika. Pełen zestaw danych wejściowych, wykorzystywanych w trakcie modelowania układu HVGDCC wykonanego w wersji CoolMOS oraz CoolGaN, przedstawiono w tabeli 3.1.

Obliczenia w opracowanym programie rozpoczęto od inicjalizacji wektora mocy wyjściowych modelowanego przekształtnika, których wartości były generowane z krokiem 1 W, a ich zakres ograniczono do nominalnej mocy wyjściowej badanego układu ($P_{\text{out}} = 700 \text{ W}$). Następnie, dla każdego z elementów składowych przekształtnika, dla zadanej mocy wyjściowej, wykonano szereg obliczeń, pozwalających na oszacowanie strat występujących w jego poszczególnych komponentach, a finalnie również jego sprawności. Dla każdego punktu pracy przekształtnika, na podstawie jego mocy wyjściowej oraz napięcia zasilającego, zgodnie z zależnościami analitycznymi

(2.33) oraz (2.36), skrypt wyznaczał amplitudy pulsów prądu związanych kolejno z rozładowywaniem i ładowaniem jego kondensatorów przełączanych. Następnie, opracowany program, na podstawie zależności zamieszczonych w tabeli 2.5, wyliczał wartości skuteczne prądów przepływających przez poszczególne komponenty składowe przekształtnika HVGDCC. Na potrzeby analizy strat w diodach prostowniczych, korzystając z zależności (2.39) - (2.41), wyznaczono także wartości średnie prądów tych elementów.

Korzystając z wyliczonych wartości skutecznych i średnich prądów przepływających przez poszczególne elementy przekształtnika, zgodnie z metodologią opisaną w rozdziale 2.6, skrypt wyznaczał straty mocy związane z każdym z tych komponentów. Warto również zaznaczyć, że w momencie wyznaczania strat związanych z rozładowywaniem pojemności C_{oss} poszczególnych tranzystorów uwzględniono ich różne częstotliwości pracy wynikające z sekwencyjnego działania badanego układu. Ponadto, opracowany model uwzględniał zróżnicowanie wartości napięć występujących na poszczególnych jego tranzystorach i wiążące się z tym różnice w ilości energii E_{oss} zgromadzonej w ich pojemnościach wyjściowych. Po wyznaczeniu strat mocy występujących we wszystkich elementach składowych przekształtnika oraz w połączeniach obwodu drukowanego, implementując zależność (2.55) wyznaczono sprawność badanego przekształtnika dla danego punktu pracy. Opisany wyżej cykl obliczeń program powtarzał, dla wszystkich elementów, wygenerowanego wektora wartości mocy wyjściowych badanego przekształtnika. Otrzymany w ten sposób zestaw danych obliczeniowych posłużył do wykreślenia szeregu charakterystyk obrazujących teoretyczną zależność sprawności oraz strat mocy występujących w poszczególnych komponentach badanego układu od wartości jego mocy wyjściowej.

Odwołując się do parametrów poszczególnych komponentów, wprowadzonych do opracowanego modelu, należy zaznaczyć, iż przedstawione w tabeli 3.1 wartości energii wyjściowej tranzystorów, odczytano z ich charakterystyk, obrazujących zmienność tego parametru w zależności od wartości napięcia blokowanego przez te tranzystory. W przypadku, gdy badany przekształtnik zasilany jest napięciem o wartości 70 V i pracuje z sześciokrotnym współczynnikiem wzmocnienia napięciowego, napięcia blokowane przez tranzystory znajdujące się w jego stopniu wejściowym (Q_1 - Q_3) osiągają około 70 V. W przypadku łączników znajdujących się w stopniu wyjściowym tego układu (Q_4 , Q_5) wartości napięć przez nie blokowanych nieznacznie przekraczają połowę jego napięcia wyjściowego. Przyjęto więc, że napięcia blokowane przez tranzystory stopnia wejściowego wynoszą 75 V, a te blokowane przez tranzystory znajdujące się w stopniu wyjściowym 250 V. Następnie, dla tych wartości napięć U_{DS} , korzystając z charakterystyk $E_{oss}(U_{DS})$ tranzystorów CoolMOS oraz CoolGaN określono ilość energii, jaka gromadzi się w takich warunkach w ich pojemnościach wyjściowych, a wartości te wprowadzono do tabeli 3.1.

Należy również zaznaczyć, iż wykorzystana do wyznaczenia strat przewodzenia w diodach IDW20G65C5B ich rezystancja dynamiczna została określona na podstawie charakterystyki tej diody dostępnej w jej dokumentacji technicznej [101]. W przypadku diody STTH30L06C, zastosowanej w układzie HVGDCC-CoolGaN, analityczny model występujących w niej strat przewodzenia został określony przez jej producenta w dokumentacji technicznej [102], i w takiej też formie został uwzględniony w opracowanym modelu.

Dodatkowo, uwagę czytelnika analizującego dane zamieszczone w tabeli 3.1 może zwrócić relatywnie wysoka, jak na kondensator ceramiczny, wartość wypadkowej re-

Tabela 3.1. Zestawienie parametrów przekształtników HVGDCC-CoolMOS oraz HVGDCC-CoolGaN, wykorzystanych w czasie analitycznego modelowania ich strat oraz sprawności

Parametry komponentów składowych modelowanego przekształtnika		
Komponent	Model przekształtnika	
	HVGDC-CoolMOS	HVGDC-CoolGaN
	Parametry poszczególnych komponentów:	
$Q_1 - Q_5$	$R_{DSon} = 70 \text{ m}\Omega$	$R_{DSon} = 70 \text{ m}\Omega$
	$E_{oss} = 5,1 \text{ }\mu\text{J @ } 250 \text{ V}$	$E_{oss} = 2,9 \text{ }\mu\text{J @ } 250 \text{ V}$
	$E_{oss} = 3,25 \text{ }\mu\text{J @ } 75 \text{ V}$	$E_{oss} = 0,42 \text{ }\mu\text{J @ } 75 \text{ V}$
$D_1 - D_5$	$V_F = 1,5 \text{ V}$	$V_F = 0,94 \text{ V}$
	$R_D = 50 \text{ m}\Omega$	$R_D = 17 \text{ m}\Omega$
C_1, C_4, C_5	$C = 100 \text{ }\mu\text{F}$	$C = 100 \text{ }\mu\text{F}$
	$ESR = 100 \text{ m}\Omega$	$ESR = 100 \text{ m}\Omega$
C_2, C_3	$C = 3,2 \text{ }\mu\text{F}$	$C = 3,2 \text{ }\mu\text{F}$
	$ESR = 30 \text{ m}\Omega$	$ESR = 30 \text{ m}\Omega$
$L_1 - L_2$	$L = 820 \text{ nH}$	$L = 820 \text{ nH}$
	$R_{DC} = 450 \text{ }\mu\Omega$	$R_{DC} = 450 \text{ }\mu\Omega$
	R_{AC} - brak danych	R_{AC} - brak danych
	ΔP_{core} - brak danych	ΔP_{core} - brak danych
$R_{PCB_1} - R_{PCB_{21}}$	$R_{PCB} = 2 \text{ m}\Omega$	$R_{PCB} = 2 \text{ m}\Omega$
Warunki pracy badanych przekształtników uwzględnione w trakcie modelowania		
Napięcie wejściowe przekształtnika		$U_{in} = 70 \text{ V}$
Moc wyjściowa przekształtnika		$P_{out} = 0 \text{ W} \dots 700 \text{ W}$
Współczynnik wzmocnienia napięciowego przekształtnika		$G_U = 6$
Czas ładowania kondensatorów przełączanych		$t_{char} = 5,09 \text{ }\mu\text{s}$
Czas rozładowywania kondensatorów przełączanych		$t_{dis} = 3,60 \text{ }\mu\text{s}$
Częstotliwość pracy układu		$f_{sw} = 36,28 \text{ kHz}$

zystancji szeregowej (ESR) kondensatorów rezonansowych (C_2, C_3), która w analizowanym przypadku wynosi $30\text{ m}\Omega$. Zastosowane w roli pojemności rezonansowych kondensatory *CERALINK*, charakteryzują się relatywnie dużą wartością tego parametru (ESR) dla częstotliwości, z jakimi pracuje badany przekształtnik. Fakt ten potwierdza zależność prezentowana przez producenta tych komponentów w ich nocie aplikacyjnej [112]. W przypadku dławików rezonansowych, ich producent w dokumentacji technicznej nie udostępnił parametrów materiału magnetycznego, z jakiego wykonano ich rdzenie, a z uwagi na fakt, że w dokumentacji nie podano również nazwy tego materiału, niemożliwym było określenie ich wartości przy pomocy innych źródeł. W dokumentacji wspomnianych dławików zabrakło także charakterystyki określającej rezystancję ich uzwojeń dla przebiegów zmiennych (R_{AC}). Skutkowało to tym, że w przygotowanym modelu przekształtnika uwzględniono jedynie straty związane z rezystancją R_{DC} uzwojeń dławików, pomijając przy tym straty występujące w ich rdzeniach oraz ich rezystancji R_{AC} . Rezystancje ścieżek obwodu drukowanego (R_{PCB}), łączących ze sobą poszczególne komponenty przekształtnika, przyjęto na poziomie $2\text{ m}\Omega$ dla każdego z połączeń występujących w badanym przekształtniku.

3.2 Straty mocy w elementach przekształtnika

Analizę otrzymanych wyników modelowania przekształtnika HVGDCC wykonanego w wersji z tranzystorami CoolMOS oraz CoolGaN rozpoczęto od wykreślenia charakterystyk wizualizujących zależność ilości mocy traconej w poszczególnych grupach komponentów, w zależności od mocy obciążenia dołączonego do wyjścia badanego układu. Zestaw krzywych wykreślonych na potrzeby przeprowadzenia tej analizy w układzie HVGDCC-CoolMOS przedstawiono na rys. 3.1, a grupę analogicznych charakterystyk wyznaczonych dla układu HVGDCC-CoolGaN zamieszczono na rys. 3.2. Jak można zauważyć, w przypadku obu badanych układów większość wykreślonych charakterystyk ma przebieg wykładniczy. Inaczej jest jedynie w przypadku charakterystyk przedstawiających zależność strat powstających w diodach prostowniczych badanych przekształtników (D_1 - D_5). Przebieg wspomnianej charakterystyki jest niemal liniowy, co wskazuje, że składnik strat przewodzenia diody, wynikający z jej napięcia przewodzenia, jest wielokrotnie większy od tego wiążącego się z występowaniem rezystancji dynamicznej tego elementu. W efekcie, straty wynikające z niezerowego napięcia przewodzenia diody prostowniczej dominują w całym zakresie charakterystyki, nadając jej niemal liniowy przebieg.

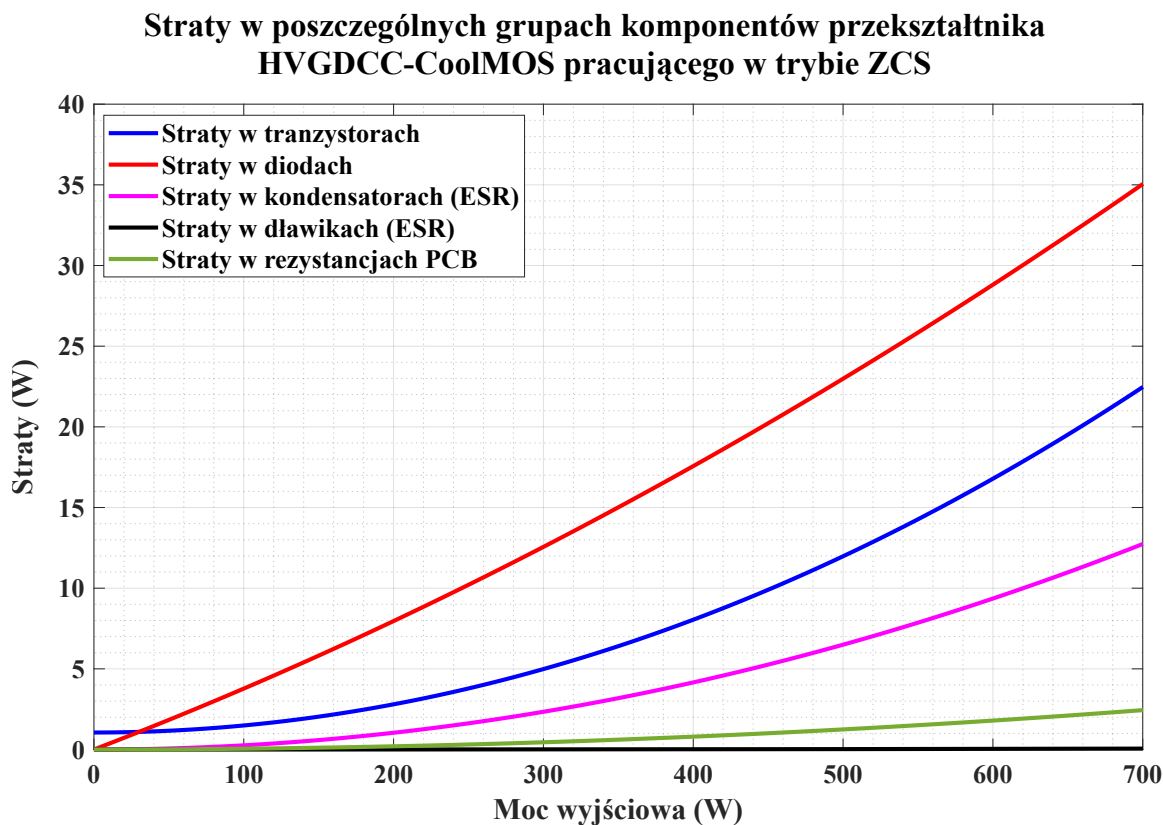
Badane przekształtniki nie powstawały jednocześnie, a spora ilość czasu jaka upłynęła pomiędzy budową układów HVGDCC-CoolMOS oraz HVGDCC-CoolGaN sprawiła iż diody prostownicze zastosowane w pierwszym z nich, w czasie budowy układu z tranzystorami CoolGaN nie były już dostępne w sprzedaży. W związku

z tym, diody prostownicze wykorzystane do budowy badanych przekształtników charakteryzowały się różnymi wartościami napięć przewodzenia (V_F) i różnymi wartościami rezystancji dynamicznej (R_D).

Chcąc zachować spójność pomiędzy pozostałymi parametrami modeli eksperymentalnych, analitycznych oraz symulacyjnych, w danych wejściowych do symulacji oraz w opracowanym skrypcie uwzględniono parametry komponentów wykorzystanych do budowy rzeczywistych modeli eksperymentalnych (tab. 3.1).

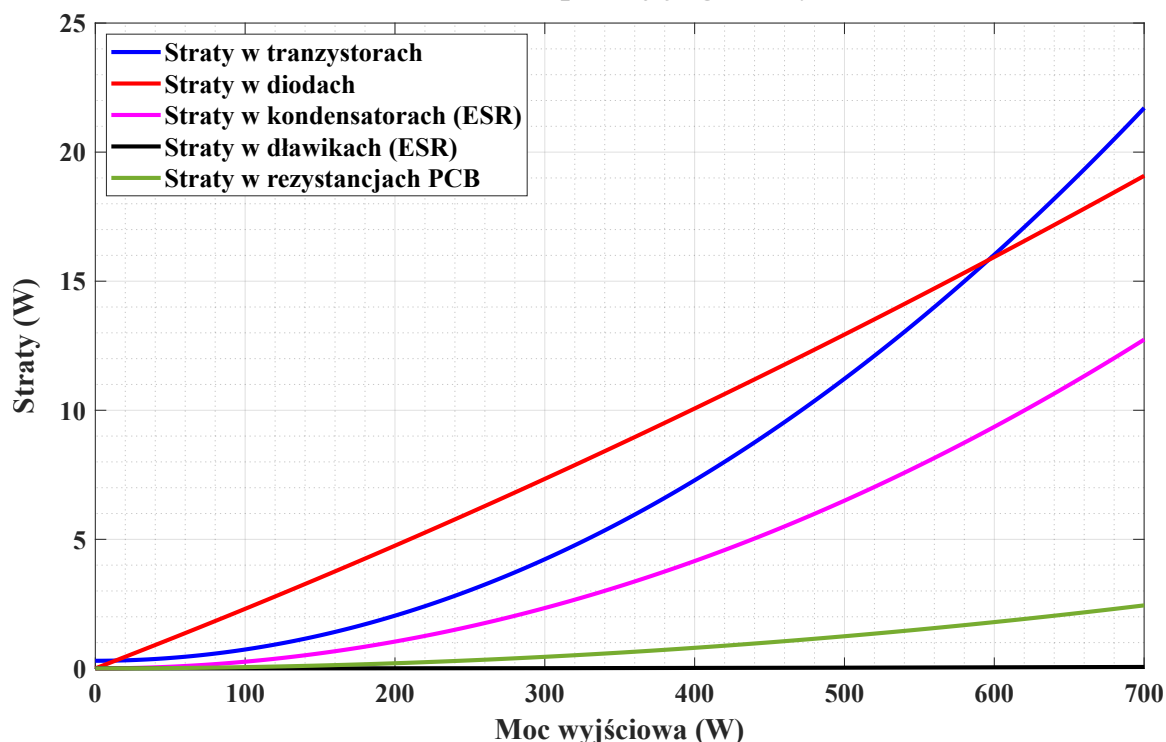
Jak widać, na rys. 3.1 ilość strat powstających w diodach układu HVGDC-CoolMOS sięga 35 W, podczas gdy przy takiej samej mocy wyjściowej przekształtnika HVGDC-CoolGaN straty w diodach charakteryzujących się niższym napięciem przewodzenia i niższą rezystancją dynamiczną sięgają one jedynie 19 W, a w końcowej części charakterystyki (600 W...700 W) są nawet niższe od sumy strat występujących w tranzystorach tego układu (rys. 3.2).

Przechodząc do analizy strat występujących w tranzystorach obu przekształtników, można zauważyć, że ich przebieg jest zbliżony, przy czym w początkowej części charakterystyki można dostrzec, że przy braku obciążenia przekształtnika moc strat występujących w tranzystorach układu HVGDC-CoolMOS sięga poziomu 1 W, co stanowi pięciokrotność strat występujących w tranzystorach przekształtnika wykonanego z wykorzystaniem tranzystorów typu CoolGaN. Przebiegi pozostałych cha-



Rys. 3.1. Charakterystyki przedstawiające analityczną zależność mocy traconej w poszczególnych grupach komponentów przekształtnika HVGDC-CoolMOS pracującego w trybie ZCS

Straty w poszczególnych grupach komponentów przekształtnika HVGDCC-CoolGaN pracującego w trybie ZCS

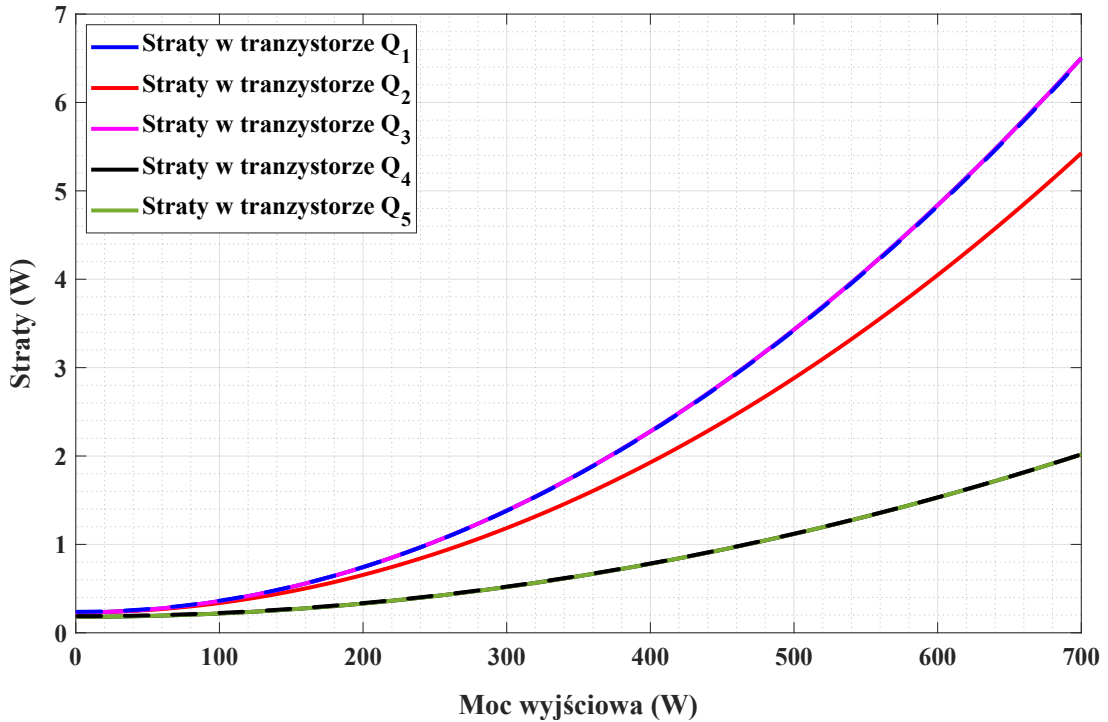


Rys. 3.2. Charakterystyki przedstawiające analityczną zależność mocy traconej w poszczególnych grupach komponentów przekształtnika HVGDCC-CoolGaN pracującego w trybie ZCS

rakterystyk, przedstawiających zależność mocy traconej w dławikach, kondensatorach oraz rezystancjach pasożytniczych obwodu drukowanego, wykreślone dla obu badanych układów, są zbieżne. Ilość mocy traconej na rezystancjach ESR kondensatorów obu układów sięga 13 W przy mocy wyjściowej przekształtników wynoszącej 700 W. W takich samych warunkach, w rezystancjach obwodu drukowanego każdego z przekształtników rozpraszana jest moc sięgająca 2 W. Straty występujące w dławikach, ze względu na ich niezwykle niską rezystancję R_{DC} wynoszącą $450 \mu\Omega$, są pomijalne.

W kolejnym etapie prowadzonych analiz zbadano rozkład strat występujących w poszczególnych tranzystorach przekształtników HVGDCC-CoolMOS oraz HVGDCC-CoolGaN. W tym celu, dla każdego z tych układów, na podstawie przeprowadzonych obliczeń wykreślono zestaw charakterystyk przedstawiających zależność ilości mocy rozpraszanej na ich poszczególnych tranzystorach w zależności od stopnia obciążenia badanych układów. Rodzinę charakterystyk wizualizujących straty w tranzystorach przekształtnika HVGDCC-CoolMOS przedstawiono na rys. 3.3, a krzywe obrazujące relację pomiędzy stratami występującymi w kolejnych tranzystorach układu HVGDCC-CoolGaN i poziomem jego mocy wyjściowej zamieszczono na rys. 3.4. Jak można zauważyć, na każdym z prezentowanych zestawów charakterystyk, krzywe strat w tranzystorach Q_1 oraz Q_3 pokrywają się. Wynika to z faktu, iż opracowana topologia przekształtnika HVGDCC jest częściowo symetryczna, a jedyna

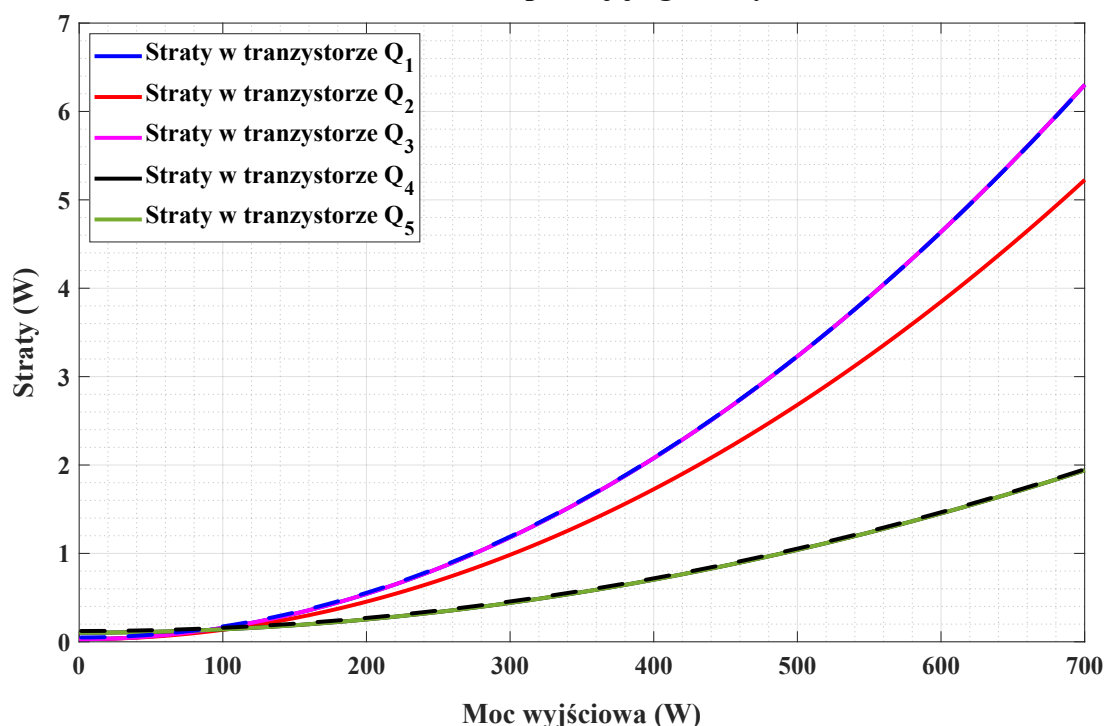
**Straty w tranzystorach przekształtnika
HVGDDC-CoolMOS pracującego w trybie ZCS**



Rys. 3.3. Charakterystyki przedstawiające analityczną zależność mocy traconej w poszczególnych tranzystorach przekształtnika HVGDDC-CoolMOS pracującego w trybie ZCS

różnica występująca w przebiegach prądów tych łączników polega na zmianie kolejności występowania w nich pulsów prądu związanych z ładowaniem i rozładowywaniem kondensatorów przełączanych. W efekcie, wartości skuteczne prądów przepływających przez te tranzystory są takie same. Tłumaczy to taką samą ilość strat występujących w obu tych łącznikach. Podobny efekt można zaobserwować w przypadku tranzystorów Q_4 oraz Q_5 , które także charakteryzuje taki sam poziom rozpraszanej w nich mocy. Dodatkowo, można zaobserwować, że straty występujące w tranzystorach stopnia wejściowego w układzie CoolMOS pracującym z obciążeniem o mocy 700 W sięgają 5,4 W w przypadku tranzystora Q_2 oraz około 6,5 W w przypadku tranzystorów Q_1 oraz Q_3 . W takich samych warunkach straty tranzystorów stopnia wyjściowego (Q_4 , Q_5) wynoszą jedynie 2 W. Dysproporcja ta wynika z różnicy w wartościach skutecznych prądów przepływających przez tranzystory stopnia wejściowego oraz wyjściowego. W przypadku tranzystorów Q_4 oraz Q_5 wartości te są zdecydowanie mniejsze, ze względu na to, że każdy z nich przewodzi jedynie raz w czasie całego okresu impulsowania przekształtnika, w interwale, w którym energia z kondensatorów przełączanych przekazywana jest do jednego z kondensatorów wyjściowych (tryb M3 lub M4). W przedstawionych charakterystykach, w obszarze, gdzie przekształtnik pracuje z niewielkim obciążeniem, bądź jest go całkowicie pozbawiony, można zaobserwować obecność składnika strat związanych z rozładowywaniem po-

Straty w tranzystorach przekształtnika HVGDC-CoolGaN pracującego w trybie ZCS



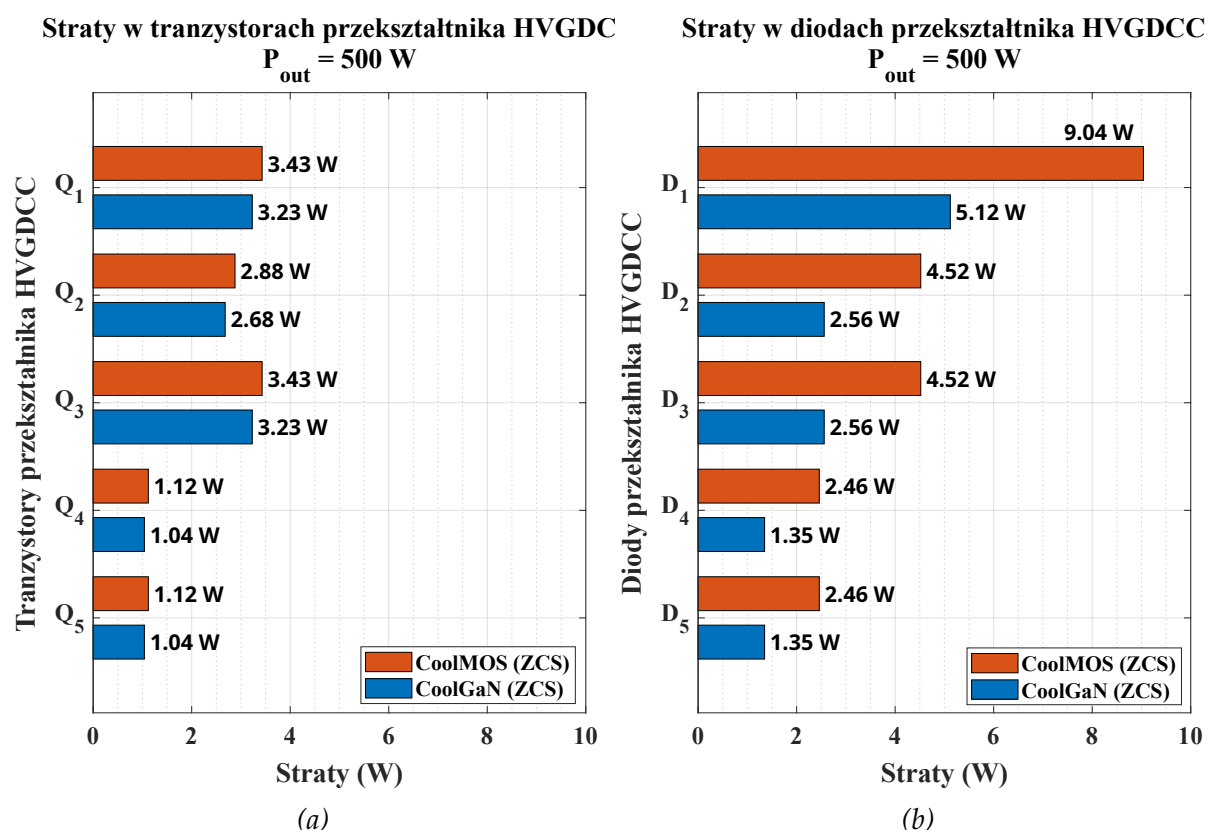
Rys. 3.4. Charakterystyki przedstawiające analityczne zależność mocy traconej w poszczególnych tranzystorach przekształtnika HVGDC-CoolGaN pracującego w trybie ZCS

jemności wyjściowej tranzystorów C_{oss} . Jak widać, na rys. 3.4, ilość strat powstających w tranzystorach Q_4 oraz Q_5 , w momencie, gdy przekształtnik HVGDC-CoolGaN pozostaje nieobciążony, przewyższa ilość strat powstających w innych tranzystorach przekształtnika. Wynika to z różnic dotyczących ilości energii, jaka gromadzi się w pojemności wyjściowej tych łączników. W przypadku tranzystorów CoolGaN pracujących w stopniu wejściowym i blokujących napięcia o wartościach sięgających 75 V, ilość energii, jaka gromadzi się w ich pojemności wyjściowej, to około 0,42 μJ , a w przypadku tranzystorów pracujących w stopniu wyjściowym przekształtnika z napięciami sięgającymi 250 V, ilość energii gromadzonej w ich pojemności wyjściowej przy każdym przejściu do stanu blokowania sięga 2,9 μJ . Energia ta jest rozpraszana w postaci ciepła na rezystancjach kanałów tych tranzystorów, za każdym razem, gdy dochodzi do ich załączenia. Skutkuje to powstawaniem strat widocznych na przedstawionych charakterystykach, nawet w sytuacji, gdy układ pozostaje nieobciążony.

W przypadku przekształtnika HVGDC-CoolMOS mechanizm powstawania strat związanych z ich pojemnością wyjściową jest taki sam, jednak ze względu na technologię wykonania tranzystorów CoolMOS ilość energii, jaka gromadzi się w pojemności wyjściowej tych łączników, jest zdecydowanie większa niż w przypadku tranzystorów CoolGaN. Tranzystory stopnia wejściowego przekształtnika HVGDC wykonane w wersji CoolMOS przy każdym przejściu ze stanu przewodzenia do blo-

kowania, w swojej pojemności wyjściowej gromadzą energię o wartości $3,25 \mu\text{J}$. Jest to ilość niemalże ośmiokrotnie większa od energii, jaką w takich samych warunkach w swojej pojemności wyjściowej gromadzi tranzystor CoolGaN. Ta relatywnie duża ilość energii zgromadzonej w pojemnościach wyjściowych tranzystorów CoolMOS, po uwzględnieniu różnic w częstotliwości przełączeń tranzystorów stopnia wejściowego i wyjściowego badanego przekształtnika, sprawia, że ilość strat generowanych w tranzystorach Q_1 , Q_2 oraz Q_3 przewyższa moc traconą w tranzystorach Q_4 oraz Q_5 , co można zaobserwować na rys. 3.3.

Dla lepszego zobrazowania strat powstających w elementach półprzewodnikowych badanego przekształtnika, wyniki przeprowadzonych obliczeń przedstawiono także w formie wykresów słupkowych (rys. 3.5), wizualizujących straty występujące w łącznikach przekształtników HVGDCC-CoolMOS oraz HVGDCC-CoolGaN, pracujących z obciążeniem 500 W. Z wykresów przedstawionych na rys. 3.5 wynika, że za straty powstające w obu przekształtnikach w największym stopniu odpowiedzialne są diody prostownicze. Szczególnie widoczne jest to w przypadku układu HVGDCC-CoolMOS, w którego strukturze zastosowano diody SiC, charakteryzujące się relatywnie wysokim napięciem przewodzenia ($V_F = 1,5 \text{ V}$). Na rys. 3.5b widać,

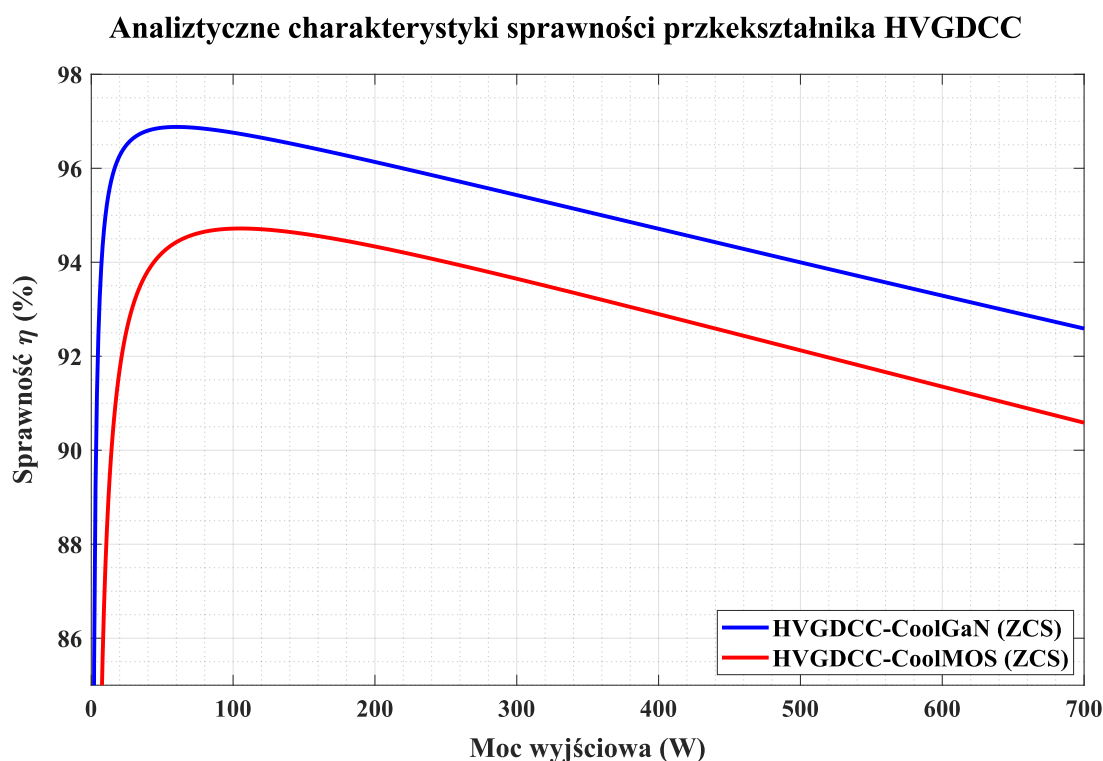


Rys. 3.5. Wykresy słupkowe przedstawiające rezultaty modelowania strat występujących w tranzystorach i diodach prostowniczych przekształtnika HVGDCC pracującego w trybie ZCS: a) straty w tranzystorach przekształtnika HVGDCC przy $P_{\text{out}} = 500 \text{ W}$, b) straty w diodach przekształtnika HVGDCC przy $P_{\text{out}} = 500 \text{ W}$

że przy mocy wyjściowej przekształtnika wynoszącej 500 W, ilość strat występujących w diodach przekształtnika HVGDCC-CoolGaN, w którym zastosowano diody krzemowe o napięciu przewodzenia V_F wynoszącym 0,94 V, jest mniejsza o około 45% w porównaniu do tych wykazywanych w diodach przekształtnika HVGDCC-CoolMOS pracującego w tych samych warunkach. W przypadku tranzystorów także można zaobserwować niewielką różnicę w ilości strat generowanych przez poszczególne łączniki obu przekształtników. Zastosowanie tranzystorów typu CoolGaN pozwala zaoszczędzić jedynie około 5% energii, która byłaby rozproszona w postaci ciepła w tranzystorach stopnia wejściowego przekształtnika HVGDCC-CoolMOS. Wynika to z faktu, iż do przełączeń tranzystorów w badanym układzie dochodzi z relatywnie niewielką częstotliwością, nieprzekraczającą 100 kHz, co jednocześnie sprawia, że ilość energii traconej w związku z twardym rozładowywaniem pojemności wyjściowych tranzystorów również jest niewielka.

3.3 Charakterystyka sprawności przekształtnika

Ostatnim etapem analizy danych uzyskanych w wyniku matematycznego modelowania przekształtników HVGDCC-CoolMOS oraz HVGDCC-CoolGaN było wykreślenie charakterystyk sprawności obu tych układów. Wspomniane krzywe przedstawiono na rys. 3.6. Z ich analizy wynika, że sprawność przekształtnika



Rys. 3.6. Analizyczne charakterystyki sprawności przekształtników HVGDCC-CoolMOS oraz HVGDCC-CoolGaN pracujących w trybie ZCS

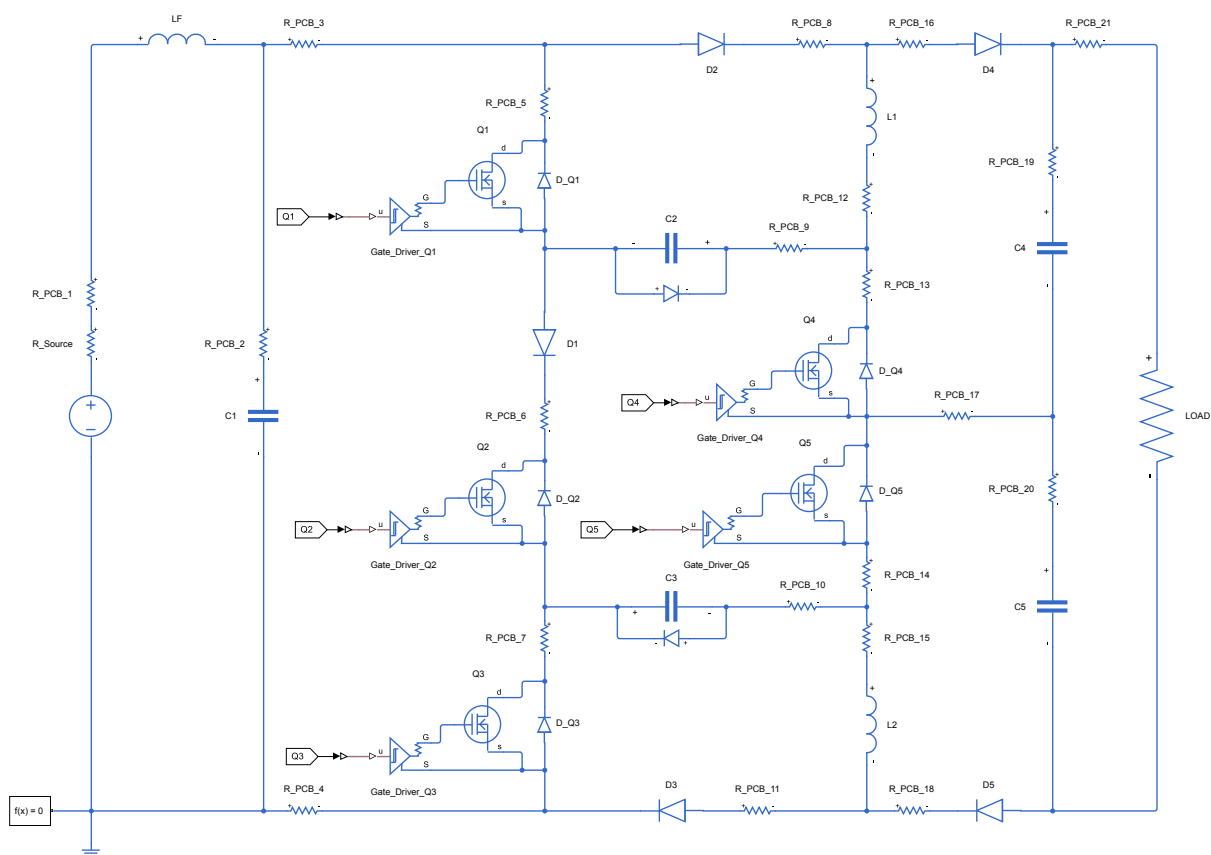
HVGDCC-CoolGaN, w całym zakresie mocy wyjściowych, jest o około 2% wyższa od tej uzyskiwanej przez przekształtnik wykonany w wersji z tranzystorami CoolMOS. W zakresie małych obciążeń ($P_{\text{out}} < 100 \text{ W}$) sprawność obu układów gwałtownie narasta, co świadczy o relatywnie niewielkiej ilości strat łączeniowych występujących w tych układach. Krzywa sprawności układu HVGDCC-CoolGaN swoje maksimum osiąga przy mocy wyjściowej układu sięgającej 50 W uzyskując w tym punkcie pracy sprawność na poziomie około 97 %. Maksymalna sprawność, drugiego z modelowanych przekształtników wynosi 94,75 % i jest osiągana przy mocy wyjściowej układu sięgającej 100 W. Oba modelowane przekształtniki w zakresie mocy większych od 100 W charakteryzują się liniowym spadkiem ich sprawności, a przy mocy wyjściowej wynoszącej 700 W osiągają kolejno 90,5 % w przypadku przekształtnika HVGDCC-CoolMOS oraz 92,5 % w przypadku przekształtnika HVGDCC-CoolGaN.

4. Badania symulacyjne

W tym rozdziale opisano przebieg oraz wyniki badań symulacyjnych prowadzonych nad topologią przekształtnika HVGDCC w ramach prac związanych z przygotowaniem niniejszej rozprawy doktorskiej. Strukturalnie został on podzielony na pięć głównych części. W pierwszej z nich zaprezentowano opis przygotowanego modelu symulacyjnego. W sekcji drugiej autor przedstawił sposób, w jaki odwzorowano właściwości fizyczne tranzystorów CoolMOS oraz CoolGaN w środowisku symulacyjnym Matlab–Simulink. W podrozdziałach trzecim oraz czwartym przedstawiono oraz przeanalizowano wyniki badań symulacyjnych przekształtnika HVGDCC, ukierunkowanych na weryfikację jego koncepcji działania zarówno w trybie ZCS, jak również ZVS. W sekcji piątej zbadano rozkład strat mocy w poszczególnych elementach modelowanych przekształtników, ze szczególnym uwzględnieniem różnic w otrzymywanych wynikach, związanych z typem zastosowanych łączników. Dodatkowo w tej części pracy przedstawiono oraz omówiono wyniki symulacyjnych badań sprawności przekształtników o topologii HVGDCC z tranzystorami CoolMOS oraz CoolGaN, koncentrując się w szczególności na różnicach występujących pomiędzy zarejestrowanymi krzywymi sprawności.

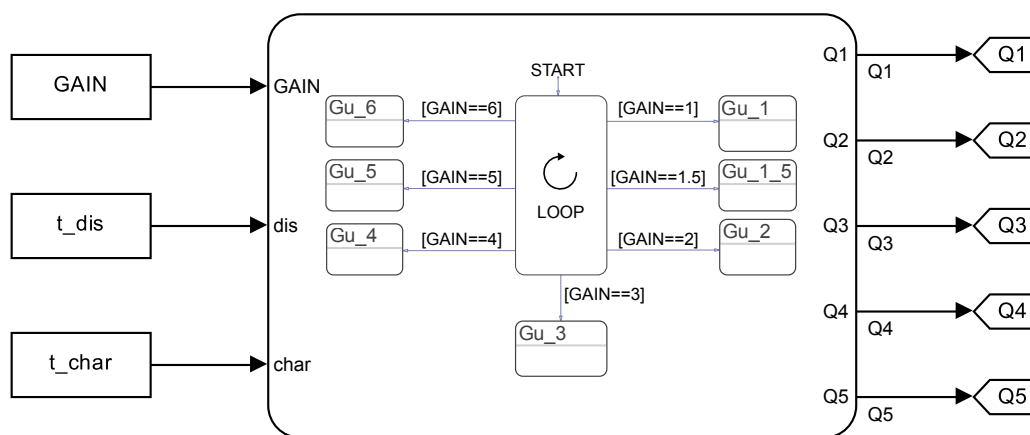
4.1 Model symulacyjny przekształtnika HVGDCC

Badania symulacyjne przekształtnika HVGDCC przeprowadzono w środowisku Matlab–Simulink, korzystając przy tym z biblioteki Simscape Electrical Blocks, która w przeciwieństwie do popularnej biblioteki Simscape Specialized Power Systems pozwala zamodelować badany układ w sposób wiernie odzwierciedlający jego rzeczywistą strukturę oraz uwzględnić przy tym zdecydowaną większość zjawisk występujących w rzeczywistym przekształtniku. Opracowany model symulacyjny przekształtnika HVGDCC, wykonany w środowisku Simulink, przedstawiono na rys. 4.1. Aby przygotowany model przekształtnika HVGDCC mógł poprawnie pracować, należało w środowisku symulacyjnym także zaimplementować kontroler generujący odpowiednią sekwencję sterującą dla poszczególnych tranzystorów badanego układu. Formułując wymagania dla wspomnianego sterownika, przyjęto, że powinien on umożli-



Rys. 4.1. Model obwodu mocy przekształtnika HVGDCC wykonany w środowisku Matlab–Simulink z wykorzystaniem biblioteki Simscape Electrical Blocks. Widoczne dodatkowe rezystory symulujące rezystancję poszczególnych ścieżek obwodu drukowanego

liwiać pracę układu z każdym współczynnikiem wzmocnienia napięciowego możliwym do zrealizowania w badanym przekształtniku, a jego zmiana powinna się odbywać poprzez modyfikację wartości odpowiedniej zmiennej w przestrzeni roboczej środowiska Matlab. Dla zwiększenia wygody prowadzenia badań symulacyjnych, podobne wymaganie sformułowano także względem możliwości zmiany czasu trwania interwałów ładowania (t_{char}) oraz rozładowania (t_{dis}) kondensatorów przełączanych. Biorąc pod uwagę wspomniane wymagania oraz fakt, że badany przekształtnik pracuje bez sprzężenia zwrotnego, uznano, że najefektywniejszą metodą symulacyjnej realizacji jego sterownika będzie zastosowanie kilku hierarchicznie zagnieżdżonych i powiązanych ze sobą poprzez odpowiednie warunki logiczne maszyn stanów. Sposób implementacji kontrolera w środowisku Matlab–Simulink przedstawiono na rys. 4.2. W strukturze tego sterownika można wyróżnić jedną nadrzędną maszynę sekwencyjną oraz siedem zależnych od niej sekwencjonerów. Układy podrzędne, na podstawie zmiennych t_{char} oraz t_{dis} , generują sekwencje sterujące pracą tranzystorów przekształtnika, umożliwiające jego pracę z każdym z siedmiu możliwych do osiągnięcia w tym układzie współczynników wzmocnienia napięciowego. Nadrzędna maszyna sekwencyjna na podstawie zmiennej GAIN, uruchamia jeden z siedmiu se-



Rys. 4.2. Kontroler generujący sekwencje sygnałów sterujących pracą tranzystorów w modelu przekształtnika HVGDC (fragment opracowanego modelu symulacyjnego)

kwencjonerów i ostatecznie decyduje o tym, który zestaw sygnałów sterujących trafi do tranzystorów przekształtnika.

Aby nie dopuścić do powstania zwarcień gałęziowych w badanych układach, a w szczególności w bezindukcyjnej gałęzi, złożonej z tranzystorów Q_1 – Q_3 oraz diody D_1 , konieczne było wprowadzenie do sygnałów sterujących pracą poszczególnych tranzystorów czasu martwego. W modelu badanego przekształtnika funkcjonalność tę zrealizowano przy pomocy dostępnego w bibliotece *Simscape Electrical Blocks* sterownika bramkowego, który pozwalał regulować czas propagacji zbocza narastającego i opadającego pomiędzy jego wejściem i wyjściem. Praktycznej implementacji dokonano, definiując w przestrzeni roboczej środowiska Matlab zmienną dedykowaną do przechowywania informacji o wymaganej długości czasu martwego, niezbędnego do prawidłowej i bezpiecznej pracy układu. Jej wartość, po rozpoczęciu symulacji, była przekazywana do sterowników bramkowych, gdzie za jej pomocą definiowano czas propagacji zbocza narastającego z wejścia tego układu do jego wyjścia. Opóźniając zbocze narastające we wszystkich wykorzystanych sterownikach bramkowych oraz jednocześnie redukując czas propagacji zbocza opadającego do najmniejszej możliwej wartości, doprowadzono do sytuacji, w której pomiędzy wyłączeniem jednego tranzystora a załączeniem drugiego wprowadza się bardzo krótki okres, w którym oba te tranzystory pozostają wyłączone, zapobiegając wystąpieniu zwarcia gałęziowych w modelowanym przekształtniku.

Z uwagi na wysoki poziom złożoności przygotowanego modelu symulacyjnego, został on sparametryzowany. W tym celu, dla każdej z zaplanowanych symulacji przygotowano oddzielny skrypt napisany w języku Matlab, zawierający zestaw wszystkich parametrów niezbędnych do uruchomienia i przeprowadzenia symulacji zgodnie z przyjętymi założeniami. Przygotowane skrypty inicjalizacyjne definiowały zarówno parametry fizyczne badanego przekształtnika, jak również te określające warunki pracy samego symulatora. Parametry poszczególnych komponentów opraco-

wanego modelu przyjęto na podstawie dokumentacji technicznej ich rzeczywistych odpowiedników, wykorzystanych na późniejszym etapie badań do budowy eksperymentalnych przekształtników HVGDCC–CoolGaN oraz HVGDCC–CoolMOS. Zestawienie tych elementów zamieszczono w tabeli 2.7, dołączonej do rozdziału, w którym opisano procedurę ich doboru (rozdz. 2.10). Parametry związane z konfiguracją samego symulatora oraz te określające warunki pracy modelowanego przekształtnika zamieszczono w tabeli 4.1.

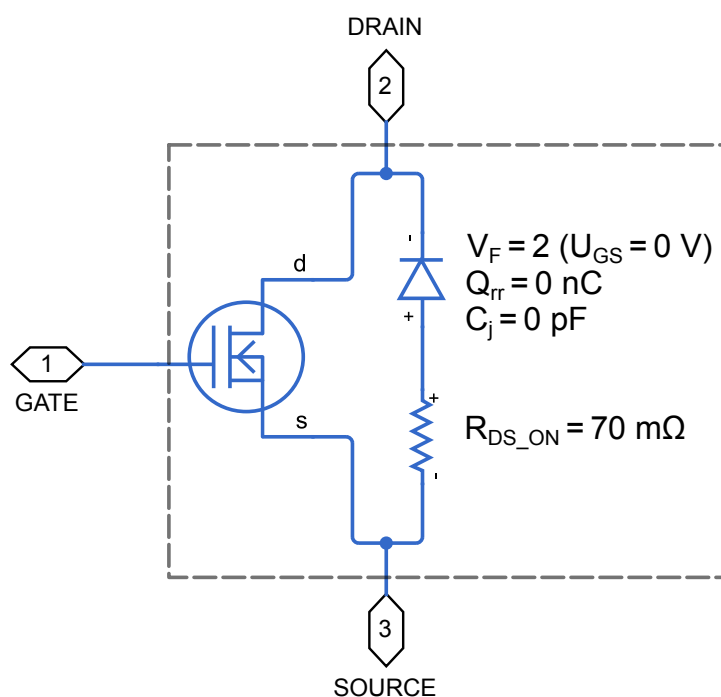
Tabela 4.1. Zestawienie najważniejszych parametrów wejściowych do symulacji przekształtników HVGDCC-CoolGaN oraz HVGDCC-CoolMOS

Parametr	Symbol	Wartość
Napięcie zasilające	U_{in}	70 V
Moc wyjściowa	P_{out}	700 W
Współczynnik wzmocnienia napięciowego	G_U	6
Czas trwania taktu ładowania w trybie ZCS	$t_{charZCS}$	5,27 μ s
Czas trwania taktu rozładowania w trybie ZCS	t_{disZCS}	3,69 μ s
Częstotliwość pracy układu w trybie ZCS	f_{swZCS}	35,14 kHz
Czas trwania taktu ładowania w trybie ZVS	$t_{charZVS}$	4,20 μ s
Czas trwania taktu rozładowania w trybie ZVS	t_{disZVS}	3,68 μ s
Częstotliwość pracy układu w trybie ZVS	f_{swZVS}	41,39 kHz
Czas trwania symulacji	T_{sim}	30 ms
Czas martwy	t_{dead}	60 ns
Maksymalny krok całkowania	$t_{stepmax}$	100 ns (symulacje podstawowe) 200 ps ... 1 ns (symulacje sprawności)

4.2 Modelowanie tranzystorów CoolMOS oraz CoolGaN

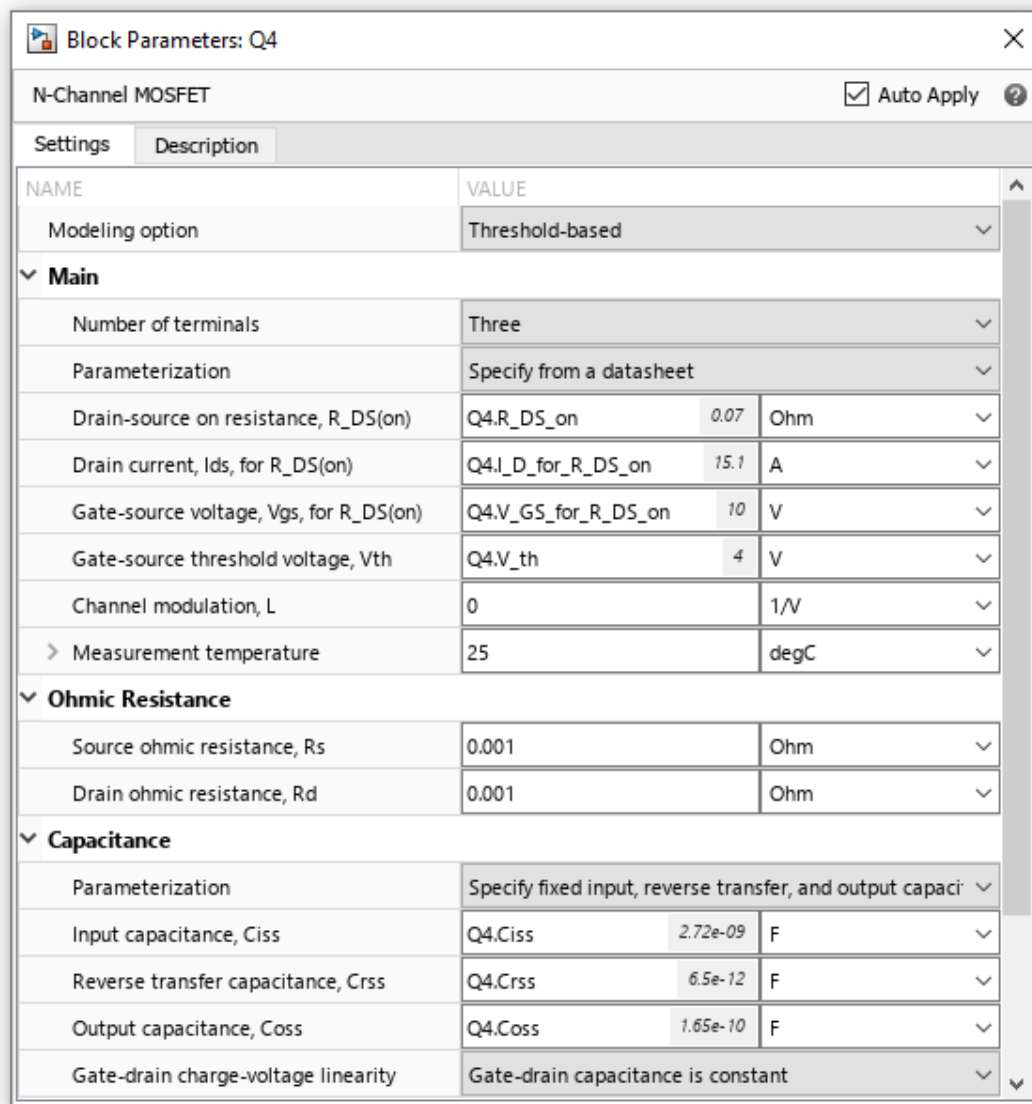
W czasie prowadzonych badań symulacyjnych korzystano z modeli tranzystorów uwzględniających parametry charakteryzujące rzeczywiste łączniki zastosowane w przygotowanych później układach eksperymentalnych. W przypadku tranzystorów typu CoolMOS nie nastroczało to większych trudności, z uwagi na fakt, iż ogólne modele tego typu tranzystorów są wbudowane w bibliotekę *Simscape Electrical*, a możliwości ich parametryzacji pozwalają na dostosowanie ich parametrów statycznych i dynamicznych do tych deklarowanych w dokumentacji technicznej rzeczywistych łączników. W przypadku tranzystorów CoolGaN, ich zamodelowanie okazało się

niedużo trudniejsze, ze względu na to, że w bibliotece *Simscape Electrical* nie występował predefiniowany model łącznika tego typu. W związku z tym opracowano autorski model symulacyjny tranzystora GaN, który przedstawiono na rys. 4.3. Do jego budowy wykorzystano istniejące już w bibliotece *Simscape Electrical* modele tranzystora N-MOSFET oraz diody prostowniczej. Aby odzwierciedlić właściwości tranzystora CoolGaN, w pobranym z biblioteki modelu tranzystora N-MOSFET wyłączono całkowicie funkcję modelowania diody antyrównoległej, a jego pozostałe parametry statyczne i dynamiczne ustawiono zgodnie z ich wartościami deklarowanymi przez producenta tranzystora GaN IGT40R070D1 w jego dokumentacji technicznej. Specyficzny dla tranzystorów GaN mechanizm przewodzenia wstecznego w opracowanym modelu zrealizowano przy pomocy zewnętrznej diody prostowniczej oraz połączonego z nią szeregowo rezystora, które następnie dołączono pomiędzy dren i źródło tranzystora N-MOSFET. Z uwagi na fakt, że w rzeczywistym tranzystorze GaN dioda zwrotna nie występuje, możliwość modelowania parametrów dynamicznych diody wprowadzonej do omawianego modelu tranzystora GaN została wyłączona. Jej napięcie przewodzenia przyjęto na podstawie dokumentacji technicznej tranzystora IGT40R070D1, w której producent deklaruje, że spadek napięcia występujący na tym łączniku w czasie, gdy znajduje się on w stanie przewodzenia wstecznego, wynosi 2 V. Wartość ta może być bezpośrednio uwzględniona w opracowanym modelu tranzystora, ponieważ sterownik bramkowy zastosowany w rzeczywistym układzie przekształtnika HVGDCC po wyłączeniu tranzystora utrzymuje jego napięcie bram-



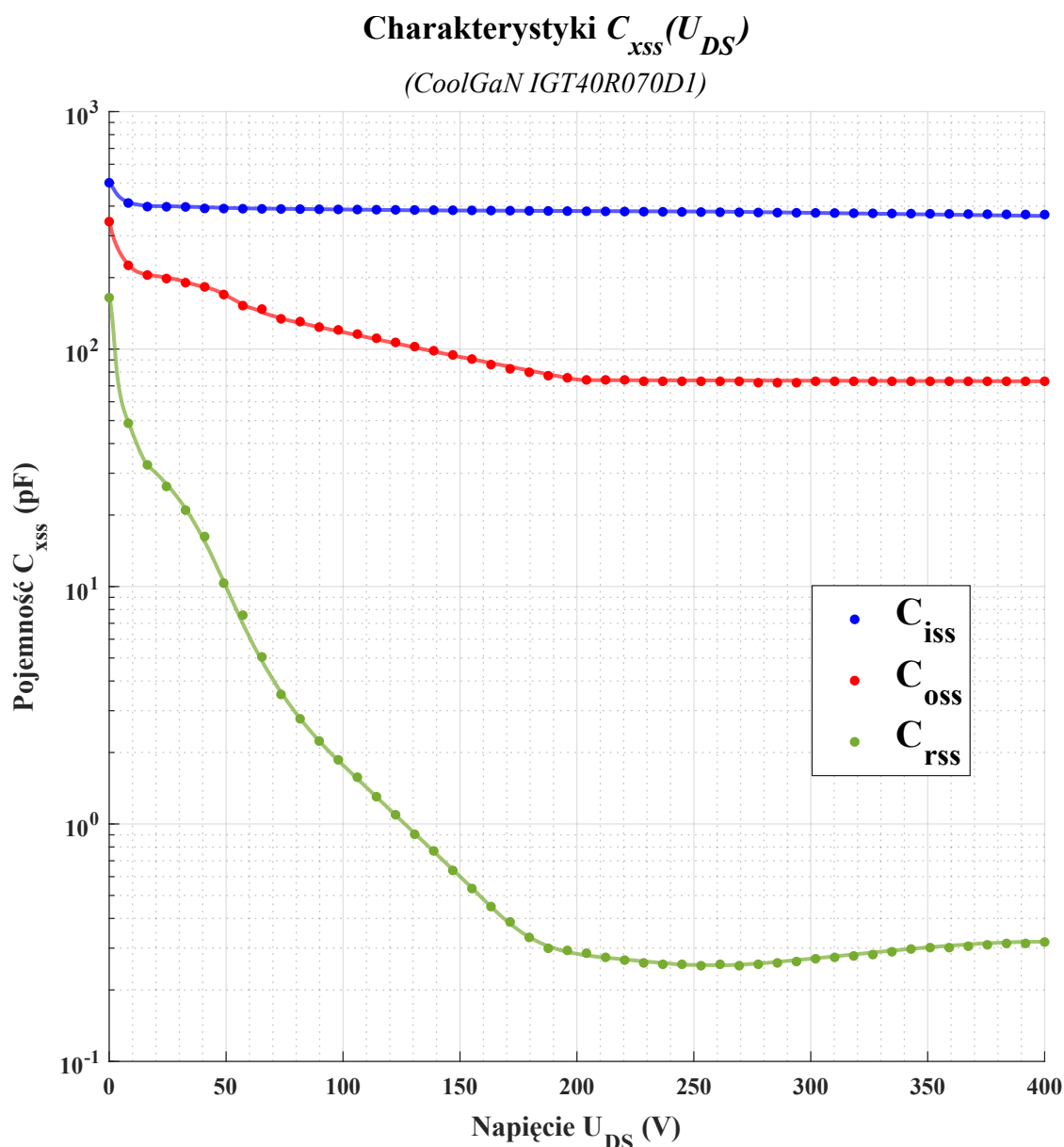
Rys. 4.3. Model tranzystora CoolGaN IGT40R070D1 opracowany w środowisku Matlab–Simulink z wykorzystaniem elementów dostępnych w bibliotece *Simscape Electrical*

kowe u_{GS} na poziomie 0 V. Zadaniem rezystora połączonego szeregowo z diodą jest z kolei odzwierciedlenie strat powstających w kanale rzeczywistego tranzystora GaN, który znajduje się w stanie przewodzenia wstecznego. W zależności od celu prowadzonych badań symulacyjnych, parametry tranzystorów były wprowadzane do odpowiadających im modeli w formie dyskretnej lub także jako kompletne charakterystyki, obrazujące zmiany poszczególnych parametrów tranzystora z uwzględnieniem jego różnych punktów pracy. W przypadku wstępnych badań symulacyjnych, których celem była weryfikacja koncepcji działania przekształtnika o topologii HVGDCC, stosowano modele bazujące na parametrach dyskretnych. Pozwoliło to ograniczyć czas trwania symulacji i zwiększyć czytelność uzyskiwanych wyników, które zamieszczono w rozdziałach 4.3 oraz 4.4. Na rys. 4.4 przedstawiono okno konfiguracyjne mo-



Rys. 4.4. Zrzut ekranu wykonany w środowisku Matlab–Simulink, przedstawiający okno konfiguracyjne modelu tranzystora N-MOS wraz z wprowadzonymi parametrami, których wartości zaczerpnięto z dokumentacji technicznej tranzystora CoolMOS IPW60R070CFD7

delu tranzystora N-MOS, wraz z wprowadzonymi parametrami dyskretnymi, których wartości odpowiadają tym określonym w dokumentacji technicznej tranzystora CoolMOS IPW60R070CFD7. Modele o większym stopniu złożoności wykorzystano w czasie badań symulacyjnych mających na celu wyznaczenie charakterystyk sprawności oraz rozkładu strat w poszczególnych elementach przekształtników HVGDC zbudowanych z wykorzystaniem tranzystorów typu CoolMOS, a następnie także CoolGaN. Przykładowy zestaw charakterystyk, za pomocą których parametryzowano modele tranzystorów typu CoolGaN IGT40R070D1, na potrzeby tego typu badań, przedstawiono na rys. 4.5.



Rys. 4.5. Zestaw charakterystyk przeznaczonych do parametryzacji modelu symulacyjnego tranzystora CoolGaN IGT40R070D1. Widoczne charakterystyki przedstawiają zależność pojemności wejściowej (C_{iss}), wyjściowej (C_{oss}) oraz zwrotnej (C_{rss}) tranzystora CoolGaN IGT40R070D1 od jego napięcia U_{DS}

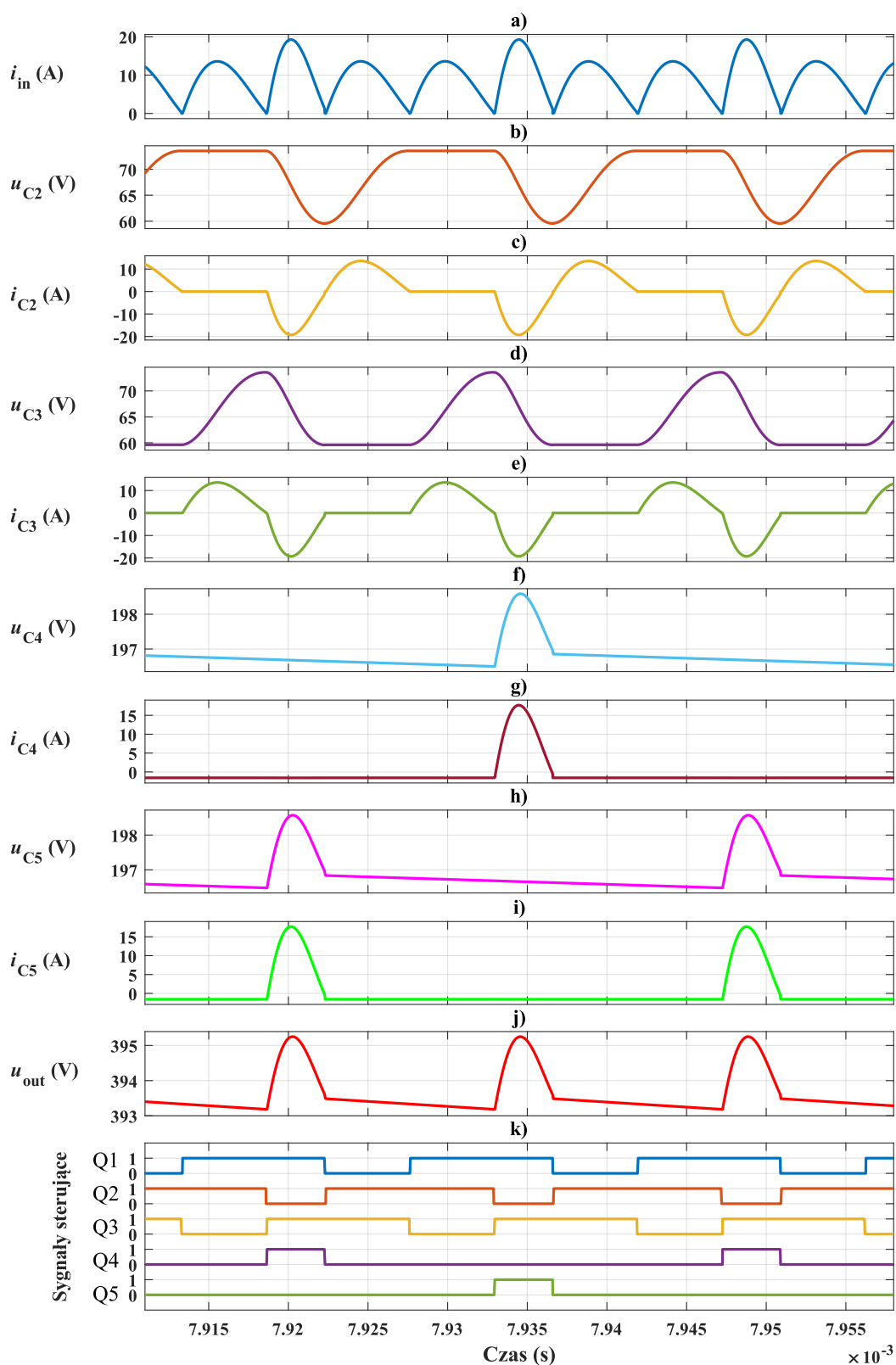
4.3 Badania symulacyjne przekształtnika HVGDCC pracującego w trybie ZCS

Wyniki badań symulacyjnych opisane w tym podrozdziale zostały zarejestrowane w modelu przekształtnika HVGDCC zbudowanym w środowisku Matlab–Simulink. W czasie prowadzonych badań czasy trwania interwałów ładowania (t_{char}) oraz rozładowania (t_{dis}) kondensatorów przełączanych badanego układu dobrano w taki sposób, aby pracował on w trybie ZCS.

Pierwsza część przeprowadzonych badań symulacyjnych miała na celu weryfikację zasady działania zaproponowanego przekształtnika oraz identyfikację ewentualnych błędów koncepcyjnych przed rozpoczęciem prac nad projektami rzeczywistych układów HVGDCC–CoolMOS oraz HVGDCC–CoolGaN. Rezultatem pierwszej serii symulacji jest zbiór przebiegów przedstawionych na rys. 4.6, który posłużył do weryfikacji koncepcji działania zaproponowanej topologii przekształtnika HVGDCC.

Widoczny na rys. 4.6(a) przebieg prądu wejściowego badanego przekształtnika składa się z impulsów, których kształt zbliżony jest do jednego okresu wyprostowanego sygnału sinusoidalnego. Okres prezentowanego przebiegu tworzą trzy tego typu pulsy, przy czym wartość szczytowa dwóch pierwszych jest o około 1/3 niższa od wartości maksymalnej osiągananej przez prąd wejściowy przekształtnika w ostatnim z interwałów składających się na jego okres. Z kształtu tego przebiegu wynika również, że w symulowanym przekształtniku wszystkie przełączenia realizowane były w chwili, gdy prąd płynący w obwodzie osiągał wartość równą zero (tryb pracy ZCS). Analizując przebiegi przedstawione na płaszczyznach (b) oraz (d), można zauważyć, że pojawiające się w przebiegu prądu wejściowego badanego przekształtnika pulsy o niższej wartości maksymalnej powodują ładowanie kondensatorów przełączanych C_2 oraz C_3 , a impuls prądu wejściowego o najwyższej amplitudzie odpowiada za ładowanie jednego z kondensatorów wyjściowych układu C_4 lub C_5 , co można zaobserwować na podwykresach (f) oraz (h). Jak łatwo zaobserwować, kondensatory te doładowywane są naprzemiennie, a to w połączeniu z ich szczególnym umiejscowieniem w obwodzie (pojemnościowy dzielnik wyjściowy) sprawia, że częstotliwość tętnień napięcia wyjściowego przekształtnika (rys. 4.6(j)) jest dwukrotnie wyższa od częstotliwości, z jaką każdy z tych kondensatorów jest doładowywany.

Ponadto, analizując symulowany przebieg napięcia wyjściowego przekształtnika (j), można zauważyć, że wartość średnia tego napięcia wynosi około 394 V. To z kolei, po uwzględnieniu napięcia źródła zasilającego badany przekształtnik (70 V), pozwala wyliczyć jego symulowany współczynnik wzmocnienia napięciowego G_U , który w tym przypadku wynosi około 5,6. Otrzymana wartość jest nieco niższa od tej wyznaczonej analitycznie (6), jednak biorąc pod uwagę fakt, że w symulacji uwzględ-



Rys. 4.6. Przebiegi symulacyjne zarejestrowane dla układu HVGDCC pracującego w trybie ZCS: a) prąd wejściowy przekształtnika, b) napięcie kondensatora przełączanego C_2 , c) prąd kondensatora przełączanego C_2 , d) napięcie kondensatora przełączanego C_3 , e) prąd kondensatora przełączanego C_3 , f) napięcie kondensatora wyjściowego C_4 , g) prąd kondensatora wyjściowego C_4 , h) napięcie kondensatora wyjściowego C_5 , i) prąd kondensatora wyjściowego C_5 , j) napięcie wyjściowe przekształtnika U_{out} , k) przebiegi sterujące tranzystorów Q_1 – Q_5

niono liczne rezystancje pasożytnicze poszczególnych elementów oraz obwodu drukowanego, a także napięcia przewodzenia diod prostowniczych, należy stwierdzić, że wynik ten jest poprawny, a poziom napięcia wyjściowego symulowanego przekształtnika jest zgodny z przyjętymi założeniami i oczekiwaniami.

Dla pełnego przeanalizowania koncepcji działania modelowanego przekształtnika należy także zwrócić uwagę na pozostałe przebiegi prądów i napięć występujących w badanym układzie. Płaszczyzny (c) oraz (e) przedstawiają przebiegi prądów kondensatorów przełączanych. Zmiany ich wartości chwilowych wskazują na to, że kondensatory te ładowane są pojedynczo. Jako pierwszy ładowany jest kondensator przełączany C_2 , a następnie C_3 . Po naładowaniu obu kondensatorów przełączanych, w wyniku rekonfiguracji struktury wewnętrznej przekształtnika dochodzi do ich jednoczesnego rozładowania, a część zgromadzonej w nich energii przekazywana jest do jednego z kondensatorów wyjściowych przekształtnika (C_4 lub C_5). Efektem tego przeładowania jest częściowe rozładowanie kondensatorów przełączanych, widoczne w przebiegach zamieszczonych na płaszczyznach (b) oraz (d). Skutkuje to również doładowaniem jednego z kondensatorów wyjściowych, co można zaobserwować na przebiegach (f) oraz (h). Jak wynika z przebiegów przedstawionych na rys. 4.6, proces ten powtarza się cyklicznie, a zmianie ulega jedynie to, który z dwóch kondensatorów wyjściowych jest ładowany w danym cyklu. Za odpowiednią realizację przełączeń w badanym układzie odpowiada kontroler, generujący sekwencję sygnałów sterujących przedstawioną na płaszczyźnie (k). Sygnały te kontrolują pracę tranzystorów, bezpośrednio odpowiedzialnych za rekonfigurację struktury wewnętrznej badanego przekształtnika, a tym samym realizację opisanych wyżej procesów ładowania i rozładowania poszczególnych kondensatorów, stanowiących podstawę działania opisywanej topologii przekształtnika HVGDC.

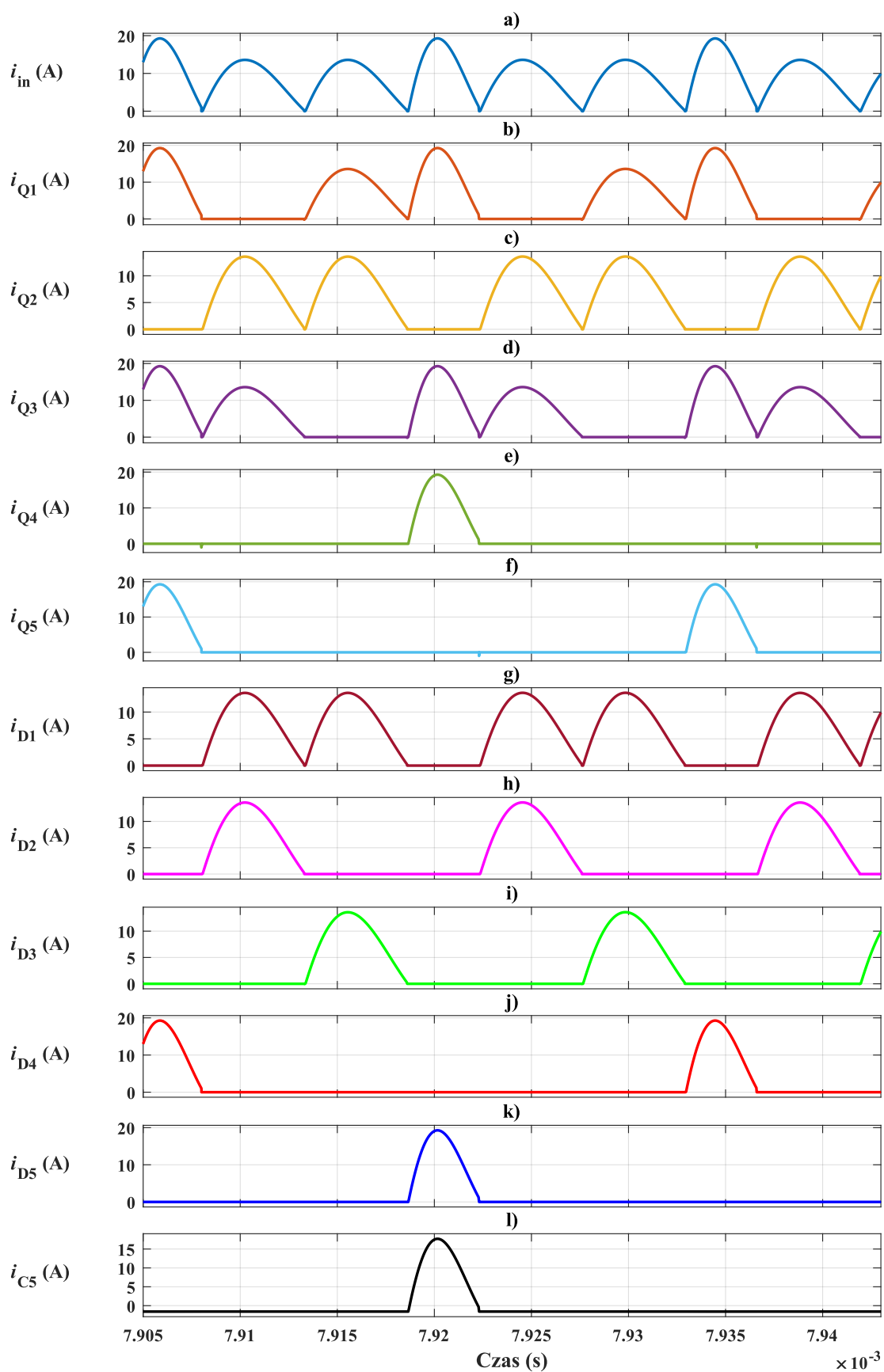
W przebiegach prądów kondensatorów C_4 oraz C_5 , zamieszczonych na podwykresach (g) oraz (j), można także dostrzec ujemną składową stałą, której wartość odpowiada wartości prądu, jaki jest pobierany przez obciążenie z wyjścia badanego przekształtnika. Ponadto, stały pobór prądu z wyjścia układu skutkuje nieznacznym rozładowywaniem jego kondensatorów wyjściowych, do którego dochodzi pomiędzy ich kolejnymi doładowaniami. Zjawisko to wynika z zasady działania przekształtnika HVGDC i można je zaobserwować w przebiegach napięć kondensatorów C_4 (f) i C_5 (h), a także w przebiegu napięcia wyjściowego przekształtnika (j). Porównując przebiegi zarejestrowane w czasie prowadzonych badań symulacyjnych (rys. 4.6) z ich teoretycznymi odpowiednikami, wyznaczonymi podczas prac koncepcyjnych i badań analitycznych (rys. 2.4), można stwierdzić, że są one ze sobą zbieżne. Oznacza to, że poczynione na wczesnym etapie projektu założenia dotyczące przewidywanego sposobu działania zaproponowanej topologii przekształtnika HVGDC były poprawne. W związku z tym zdecydowano o kontynuacji badań symulacyjnych opracowanej to-

pologii bez wprowadzania żadnych zmian koncepcyjnych.

W kolejnym etapie prowadzonych badań symulacyjnych dokonano licznych rejestracji przebiegów napięć i prądów występujących na tranzystorach oraz diodach wchodzących w skład obwodu mocy badanego przekształtnika HVGDCC. Celem tych obserwacji było zweryfikowanie wartości napięć blokowanych przez poszczególne łączniki, szczególnie te znajdujące się w stopniu wyjściowym badanego przekształtnika (Q_4 , Q_5 , D_4 , D_5). Ponadto, w dalszym ciągu wnikliwie analizowano uzyskane przebiegi, poszukując w nich anomalii mogących świadczyć o konieczności wprowadzenia zmian w sposobie sterowania badanego przekształtnika lub modyfikacji jego struktury połączeń.

Na rys. 4.7 zamieszczono zestaw przebiegów prądów przepływających przez poszczególne tranzystory oraz diody symulowanego przekształtnika. Dla zachowania spójności z innymi przedstawionymi w tej części pracy rejestracjami, a także dla ułatwienia ich zbiorczej analizy, zaprezentowano je wraz z przebiegami prądu wejściowego i_{in} oraz prądu jednego z kondensatorów wyjściowych (C_5). Z przedstawionych przebiegów wynika, że do przełączeń tranzystorów dochodzi, gdy prąd płynący w obwodach przekształtnika osiąga wartość równą zero, co potwierdza, że badany przekształtnik pracuje w trybie ZCS. Ponadto, na podstawie rys. 4.7 można stwierdzić, że w symulowanym układzie jednocześnie przewodzą maksymalnie trzy tranzystory, do czego dochodzi w momencie ładowania jego kondensatorów wyjściowych. W przypadku ładowania kondensatora wyjściowego C_4 przewodzą tranzystory Q_1 , Q_3 i Q_5 oraz dioda D_4 . Gdy ładowany jest drugi z kondensatorów wyjściowych przekształtnika (C_5), prąd przepływa przez tranzystory Q_1 , Q_3 , Q_4 , a także przez diodę D_5 . Z kolei w procesie ładowania kondensatorów przełączanych biorą udział jedynie dwa tranzystory i dwie diody. W momencie ładowania kondensatora przełączanego C_2 , ładujący go prąd przepływa przez tranzystory Q_2 oraz Q_3 , a także przez diody D_1 i D_2 . Po rozpoczęciu procesu ładowania drugiego z kondensatorów przełączanych przekształtnika (C_3), ścieżka przepływu prądu nieco się zmienia i przepływa on przez tranzystory Q_1 oraz Q_2 , a także przez diody D_2 i D_3 .

Ponadto, na podstawie przebiegów przedstawionych na rys. 4.7 oraz rys. 4.6 można stwierdzić, że badany układ działa w sposób cykliczny, według ściśle określonego algorytmu, który zakłada, że jeden pełny cykl pracy przekształtnika składa się z czterech interwałów, w czasie których doładowywane są jego kondensatory przełączane (C_2 , C_3) oraz dwóch, w których doładowywane są jego kondensatory wyjściowe (C_4 , C_5). Przy czym takt pracy układu, w którym dochodzi do doładowania jego kondensatorów wyjściowych, zawsze poprzedzony jest dwoma interwałami, w czasie których kolejno ładowane są jego kondensatory przełączane. Na podstawie tej obserwacji można stwierdzić, iż badany przekształtnik działa zgodnie z przyjętymi założeniami, realizując przy tym przełączenia w obrębie jego struktury zgodnie ze schema-



Rys. 4.7. Symulowane przebiegi prądów elementów półprzewodnikowych obwodu mocy przekształtnika HVGDC pracującego w trybie ZCS: a) przebieg prądu wejściowego przekształtnika i_{in} , b)–f) przebiegi prądów tranzystorów $Q_1 \dots Q_5$, h)–k) przebiegi prądów diod $D_1 \dots D_5$, l) przebieg prądu kondensatora wyjściowego C_5

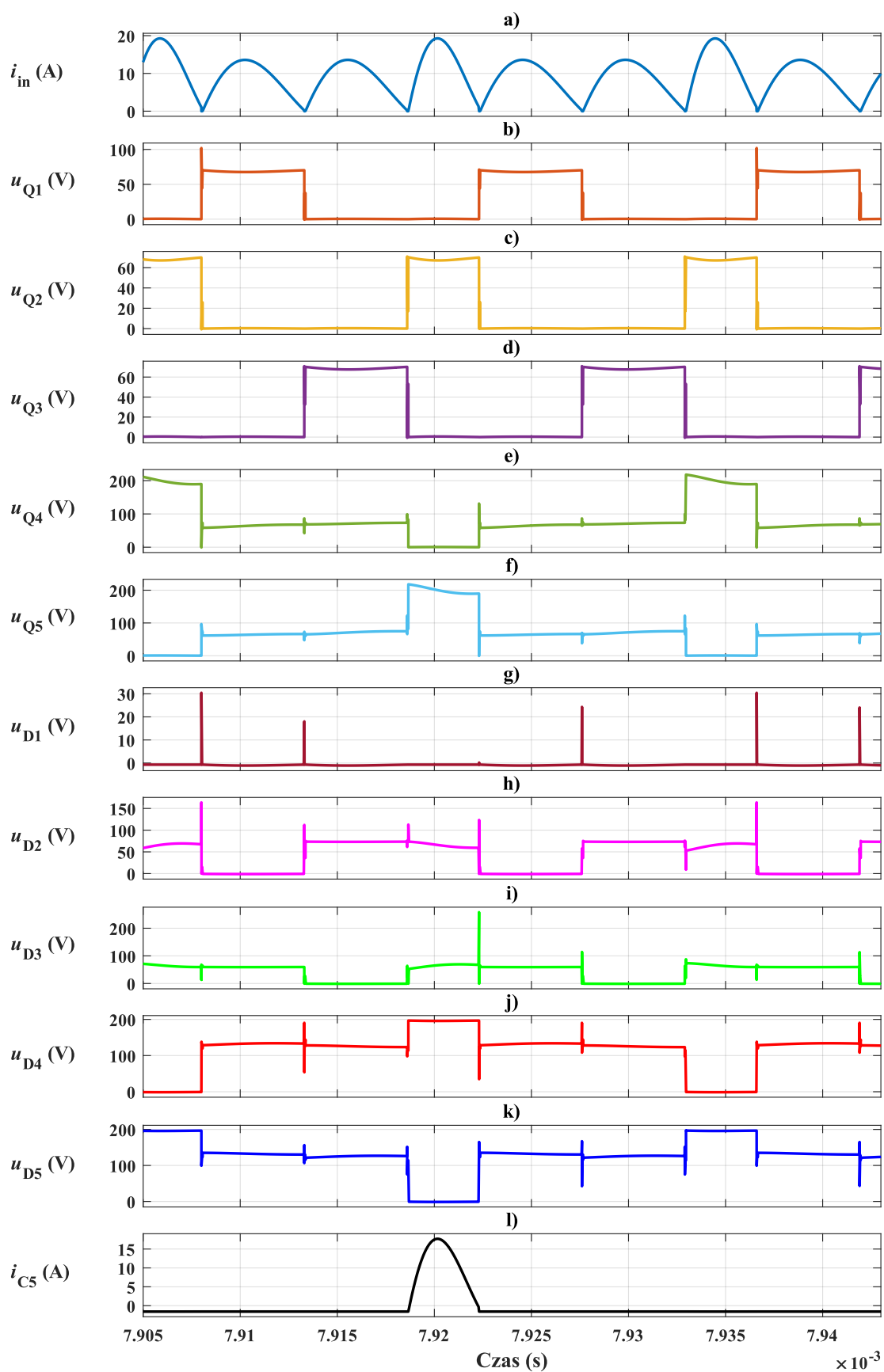
tem (rys. 2.2, rys. 2.3), umożliwiającym mu osiągnięcie sześciokrotnego wzmocnienia napięciowego.

Zarejestrowany na dalszym etapie prowadzonych badań symulacyjnych zestaw przebiegów napięć na poszczególnych tranzystorach i diodach badanego przekształtnika przedstawiono na rys. 4.8. Analizując zamieszczone tam przebiegi, można zauważyć, iż wartości napięć blokowanych przez poszczególne łączniki są zróżnicowane, jednak w przypadku żadnego z tych przebiegów zarejestrowana wartość maksymalna nie przekracza 260 V. Ze względu na wartości napięć blokowanych przez poszczególne łączniki, można je podzielić na dwie grupy.

Do pierwszej grupy zaliczają się łączniki położone w sekcji wejściowej przekształtnika, czyli tranzystory Q_1 – Q_3 oraz diody D_1 – D_3 , a ich cechą wspólną jest to, że długotrwale blokowane przez nie napięcia są w przybliżeniu równe napięciu źródła zasilającego przekształtnik. Wyjątek stanowi dioda D_1 , której napięcie przybiera kształt krótkich impulsów o wartości nieprzekraczającej 30 V. Wspomniane impulsy pojawiają się jedynie w czasie martwym, gdy układ sterowania zmienia strukturę połączeń obwodu mocy przekształtnika z konfiguracji $M3$ na konfigurację $M1$, a następnie przy przełączeniu pomiędzy konfiguracją $M1$ a $M2$. Pomiedzy tymi impulsami napięcie diody D_1 utrzymuje wartość zbliżoną do zera. Ponadto należy zauważyć, iż w przebiegach napięć blokowanych przez diody D_2 oraz D_3 w czasie komutacji pojawiają się impulsy, których wartość maksymalna sięga 160 V. Ze względu na to, że wspomniane impulsy występują jedynie w czasie komutacji, ich wpływ na wartość średnią i skuteczną obserwowanego przebiegu jest znikomy, jednak fakt ich występowania powinien być uwzględniony poprzez dobór łączników o odpowiednio wyższym napięciu blokowania, a samo zjawisko zbadane eksperymentalnie.

Drugą grupę łączników, jaką można wyróżnić w badanym przekształtniku, stanowią elementy zaliczane do jego stopnia wyjściowego, czyli tranzystory Q_4 i Q_5 oraz diody D_4 i D_5 . Wartości maksymalne napięć długotrwale blokowanych przez te łączniki sięgają 220 V w przypadku tranzystorów oraz 200 V w przypadku diod. W ich przebiegach również można zaobserwować krótkie impulsy napięcia związane z poszczególnymi przełączeniami struktury układu, jednak osiągane przez nie wartości maksymalne są niższe niż wartości napięć długotrwale blokowanych przez łączniki należące do tej grupy.

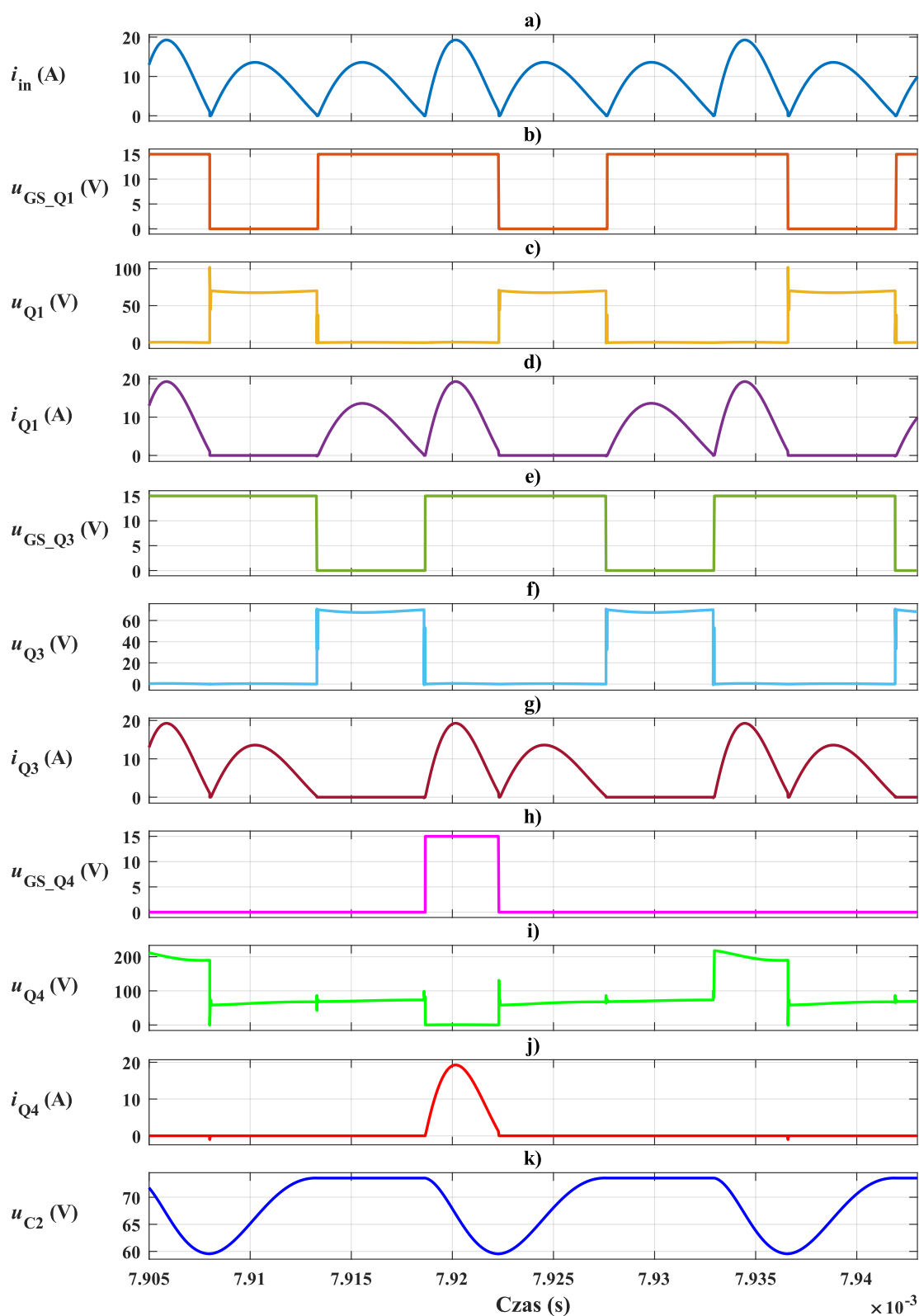
Na podstawie zarejestrowanych przebiegów i przeprowadzonych analiz symulacyjnych można więc stwierdzić, że opracowana topologia, zgodnie z poczynionymi wcześniej założeniami, charakteryzuje się korzystną relacją pomiędzy wartością napięcia wyjściowego badanego przekształtnika, pracującego z najwyższym możliwym współczynnikiem wzmocnienia napięciowego ($G_U = 6$), a wartościami napięć blokowanych przez poszczególne łączniki, które nie przekraczają 60 % napięcia wyjściowego układu w przypadku tranzystorów oraz 65 % tego napięcia w przypadku diod.



Rys. 4.8. Symulowane przebiegi napięć elementów półprzewodnikowych obwodu mocy przekształtnika HVGDC pracującego w trybie ZCS: a) przebieg prądu wejściowego przekształtnika i_{in} , b)–f) napięcia u_{DS} tranzystorów $Q_1 \dots Q_5$, h)–k) napięcia diod $D_1 \dots D_5$, l) przebieg prądu kondensatora wyjściowego C_5

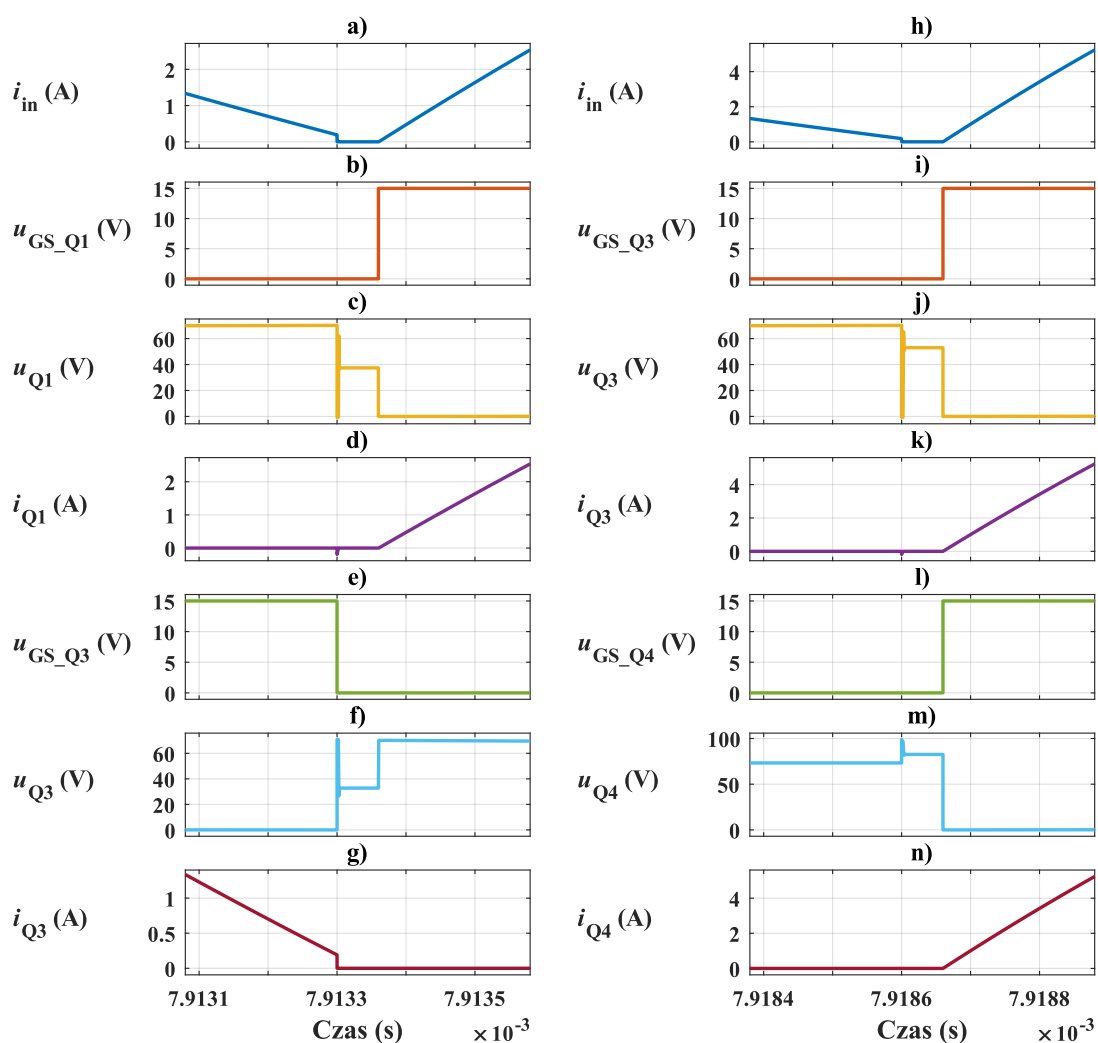
Nadmienić należy również, że na wartości maksymalne napięć blokowanych przez łączniki układu HVGDCC wpływ ma poziom rozładowania kondensatorów przełączanych, a w efekcie także poziom jego obciążenia, którego wzrost skutkuje zwiększeniem wartości napięć blokowanych przez tranzystory i diody tego przekształtnika. Analizowane w tym przypadku symulacje przeprowadzono przy mocy obciążenia P_{out} układu wynoszącej 600 W. Wartość tę wybrano, kierując się możliwościami technicznymi zasilacza użytego w czasie badań eksperymentalnych, którego prąd wyjściowy przy napięciu 70 V (napięcie zasilania przekształtnika w czasie testów) konstrukcyjnie był ograniczony do 10 A.

Po zakończeniu badań symulacyjnych mających na celu weryfikację wartości napięć, jakie muszą być w stanie długotrwale blokować łączniki pracujące w przekształtniku o topologii HVGDCC, przeanalizowano także warunki prądowo-napięciowe, w jakich dochodzi do przełączeń poszczególnych tranzystorów. Analizie poddano przebiegi prądów i napięć tranzystorów Q_1 , Q_3 oraz Q_4 , a także przebiegi ich napięć bramkowych. Dla ułatwienia analizy dodatkowo zarejestrowano także przebieg napięcia kondensatora przełączanego C_2 oraz prądu wejściowego układu i_{in} . Pełen zestaw zarejestrowanych przebiegów symulacyjnych przedstawiono na rys. 4.9. Z wstępnej analizy zarejestrowanych przebiegów prądów i napięć tranzystorów Q_1 , Q_3 oraz Q_4 wynika, że zarówno proces ich załączania, jak i wyłączania odbywa się przy zerowej wartości prądu płynącego w obwodzie. Niemniej jednak, z tych samych przebiegów wynika również, że w momencie załączenia tranzystorów, wartości napięć występujące pomiędzy ich drenem a źródłem wynoszą około 70 V w przypadku tranzystorów Q_1 i Q_3 oraz niemalże 100 V w przypadku tranzystora Q_4 . Na tej podstawie można przyjąć, że do takich właśnie napięć zostały naładowane ich pojemności wyjściowe C_{oss} . Zjawisko to jest o tyle niekorzystne, że w momencie podania sygnału sterującego cała zgromadzona w tych pojemnościach (C_{oss}) energia zostanie rozproszona w postaci ciepła na rezystancjach przewodzących kanałów poszczególnych tranzystorów, generując przy tym dodatkowe straty i obniżając sprawność przekształtnika. Aby dokładniej przeanalizować zjawiska łączeniowe zachodzące w układzie HVGDCC pracującym w trybie ZCS, wykonano dodatkowe symulacje, których rezultaty zamieszczono na rys. 4.10. Przedstawione na nim przebiegi zostały zarejestrowane w momencie zmiany konfiguracji przekształtnika z $M1$ na $M2$ (a–g) oraz z $M2$ na $M4$ (h–n). Z przebiegu napięcia dren–źródło tranzystora Q_1 wynika, że przed zmianą konfiguracji z $M1$ na $M2$, jego napięcie utrzymywało się na poziomie zbliżonym do wartości napięcia źródła zasilającego przekształtnik (70 V). Dopiero po wejściu układu w czas martwy wartość tego napięcia skokowo spadła do około 40 V i pozostała na tym poziomie do czasu jego załączenia, wywołanego zmianą stanu sygnału kontrolującego pracę tego tranzystora (b). W podobny sposób zmienia się także przebieg napięcia u_{DS} tranzystora Q_3 w momencie przełączenia układu z konfiguracji $M2$ do $M4$. Na rys. 4.10(j)



Rys. 4.9. Symulowane przebiegi napięć i prądów tranzystorów Q_1 , Q_3 oraz Q_4 przekształtnika HVGDCC pracującego w trybie ZCS: a) prąd wejściowy przekształtnika, b) napięcie u_{GS} tranzystora Q_1 , c) napięcie u_{DS} tranzystora Q_1 , d) prąd drenu i_D tranzystora Q_1 , e) napięcie u_{GS} tranzystora Q_3 , f) napięcie u_{DS} tranzystora Q_3 , g) prąd drenu i_D tranzystora Q_3 , h) napięcie u_{GS} tranzystora Q_4 , i) napięcie u_{DS} tranzystora Q_4 , j) prąd drenu i_D tranzystora Q_4 , k) napięcie kondensatora przełączanego C_2 , l) napięcie kondensatora wyjściowego C_5

można zaobserwować, że w czasie, gdy układ znajdował się w konfiguracji $M2$, napięcie tego tranzystora również utrzymywało się na poziomie około 70 V. Dopiero po zaniku prądu płynącego w układzie, co jest w tym przypadku jednoznaczne z jego wejściem w czas martwy, można zaobserwować skokowy spadek napięcia tranzystora Q_3 do poziomu 55 V. Nieco mniej korzystnie sytuacja wygląda w przypadku tranzystora Q_4 , pracującego w stopniu wyjściowym badanego przekształtnika. Z przebiegu przedstawionego na rys. 4.10(m) wynika, że jego napięcie w czasie martwym nie zmniejsza się, a nawet nieznacznie wzrasta, zwiększając poziom strat związanych



Rys. 4.10. Przebiegi symulacyjne przedstawiające zjawiska łączeniowe występujące w czasie martwym układu HVGDCC pracującego w trybie ZCS. Przebiegi a–g zarejestrowano przy zmianie konfiguracji przekształtnika z $M1$ na $M2$, a przebiegi h–m przy zmianie konfiguracji z $M2$ na $M4$: a, h) prąd wejściowy przekształtnika, b) napięcie bramka–źródło tranzystora Q_1 (u_{GS}), c) napięcie dren–źródło tranzystora Q_1 (u_{DS}), d) prąd drenu tranzystora Q_1 (i_D), e, i) napięcie bramka–źródło tranzystora Q_3 (u_{GS}), f, j) napięcie dren–źródło tranzystora Q_3 (u_{DS}), g, k) prąd drenu tranzystora Q_3 (i_D), l) napięcie bramka–źródło tranzystora Q_4 (u_{GS}), m) napięcie dren–źródło tranzystora Q_4 (u_{DS}), n) prąd drenu tranzystora Q_4 (i_D)

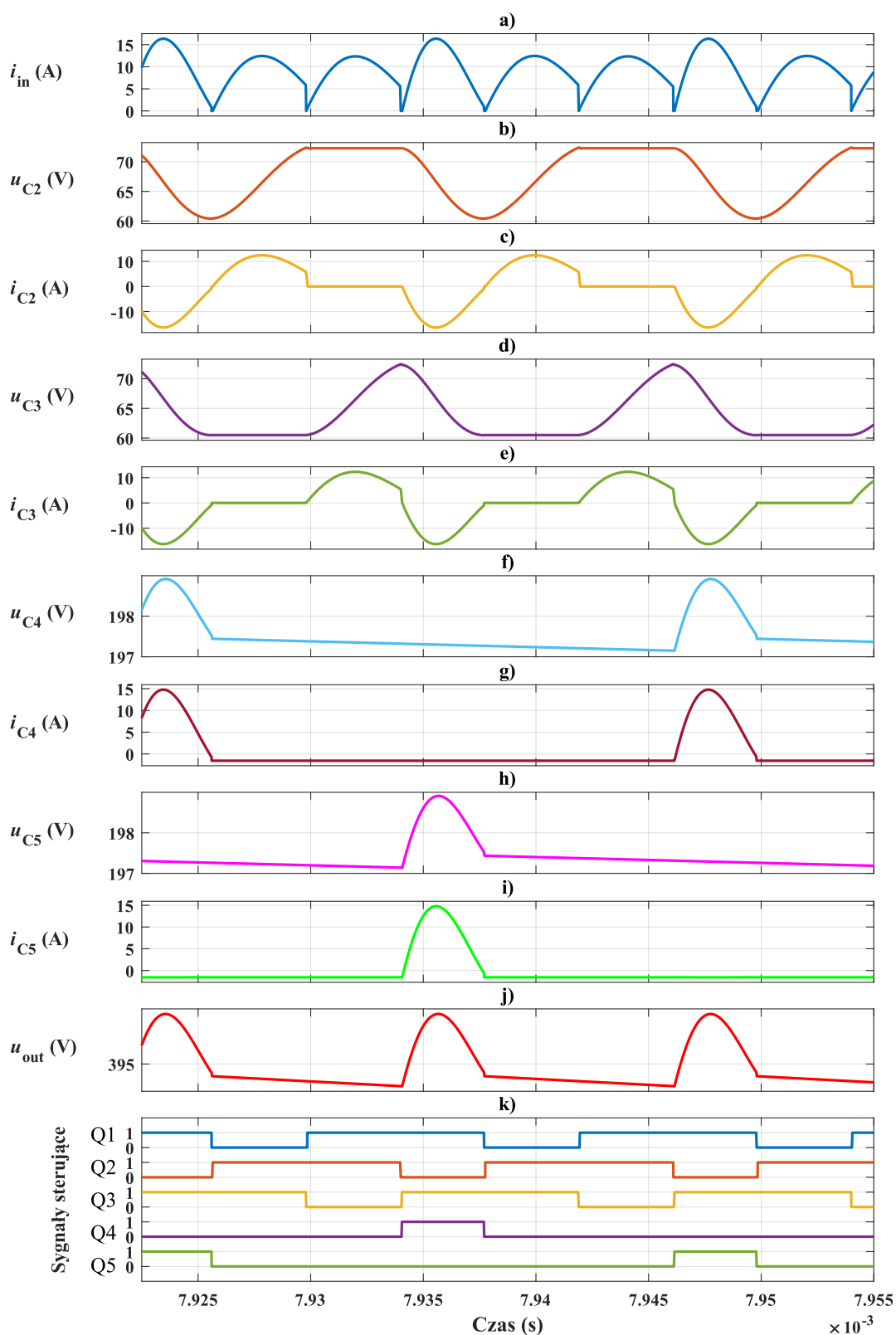
z rozładowywaniem jego pojemności wyjściowej C_{oss} .

Jak wynika z przeprowadzonej analizy zarejestrowanych przebiegów symulacyjnych, tranzystory układu HVGDCC pracującego w trybie ZCS generują dodatkowe straty przy ich załączaniu, związane z rozładowywaniem swoich pojemności wyjściowych C_{oss} . Negatywne skutki tego zjawiska można jednak ograniczyć, wprowadzając układ HVGDCC w tryb pracy, w którym część jego tranzystorów będzie załączana przy zerowym napięciu dren-źródło, czemu poświęcono dalszą część badań symulacyjnych prowadzonych nad układem HVGDCC, a ich rezultaty opisano w kolejnym podrozdziale.

4.4 Badania symulacyjne przekształtnika HVGDCC pracującego w trybie ZVS

W czasie badań symulacyjnych, których wyniki opisano w tym rozdziale, czasy trwania interwałów ładowania ($t_{char_{ZVS}}$) oraz rozładowania ($t_{dis_{ZVS}}$) kondensatorów przełączanych badanego przekształtnika dobrano w taki sposób, aby pracował on w trybie ZVS. Oznacza to, że czas trwania interwałów $M1$ oraz $M2$ ($t_{char_{ZVS}}$) skrócono do $2,8 \mu s$, natomiast ze względu na to, że w interwałach $M3$ oraz $M4$ załączanie tranzystorów przy zerowym napięciu (ZVS), z przyczyn układowych, nie jest możliwe do zrealizowania, ich czas trwania ($t_{dis_{ZVS}}$) pozostał taki sam, jak w przypadku układu pracującego w trybie ZCS ($2,5 \mu s$).

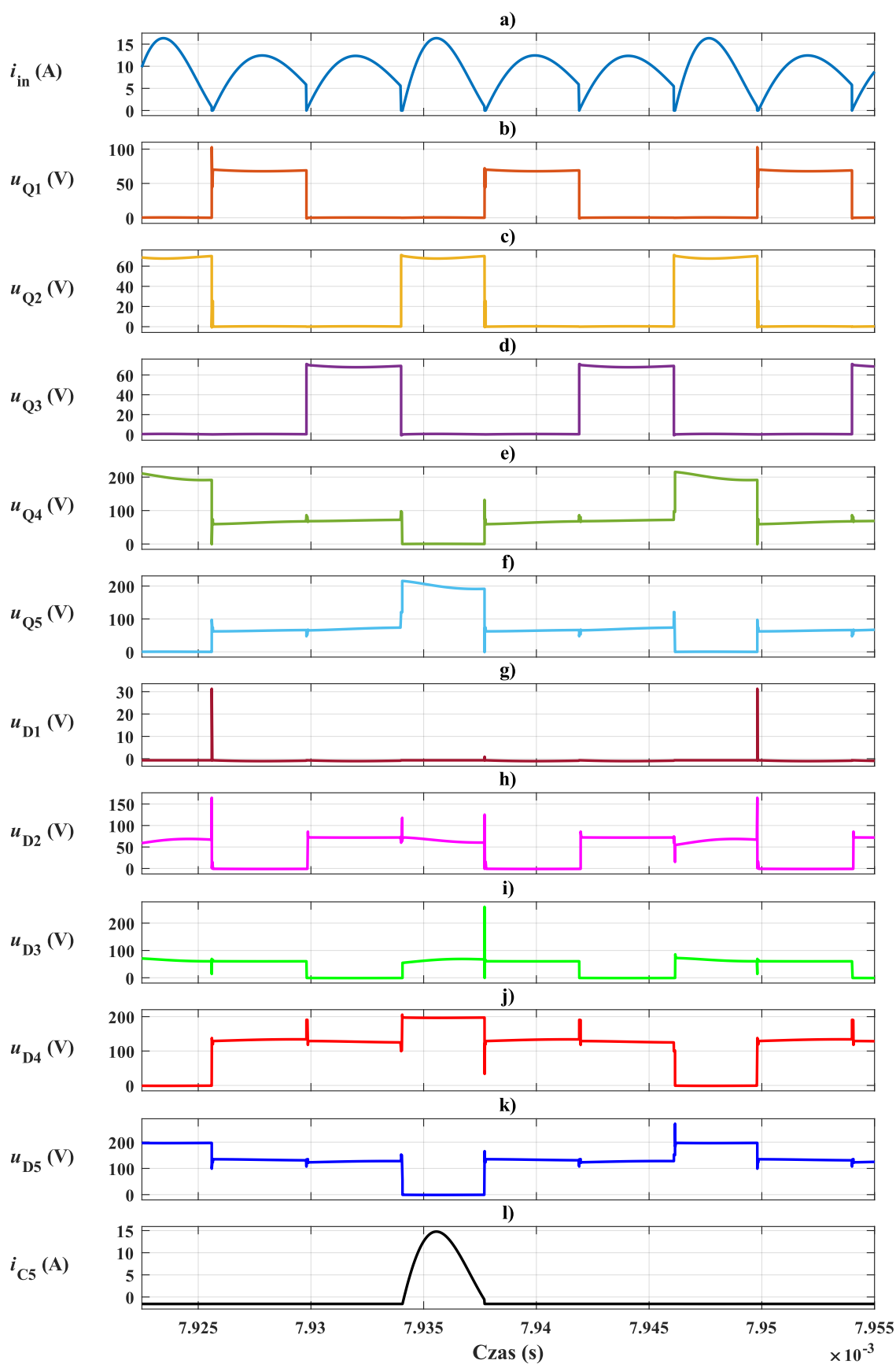
Zestaw przebiegów przedstawionych na rys. 4.11 został zarejestrowany w pierwszym etapie badań symulacyjnych układu HVGDCC pracującego w trybie ZVS. Ich celem była weryfikacja koncepcji działania badanego układu oraz identyfikacja ewentualnych błędów związanych z samym układem lub kontrolującym jego pracę algorytmem sterowania. Widoczny na rys. 4.11(a) przebieg prądu wejściowego badanego przekształtnika składa się z impulsów, których kształt zbliżony jest do jednego okresu wyprostowanego sygnału sinusoidalnego. W tym miejscu należy zaznaczyć, że o ile taki opis poprawnie oddaje kształt pulsów ładujących kondensatory wyjściowe układu (C_4, C_5), to w przypadku impulsów ładujących kondensatory przełączane (C_2, C_3) dochodzi do ich wyraźnego odkształcenia, będącego efektem sztucznego skrócenia czasu ich trwania poniżej wartości wymaganej do naturalnego osiągnięcia przez prąd płynący w obwodzie rezonansowym zerowej wartości. W układzie pracującym w trybie ZVS przeładowanie to jest o około 20% krótsze od odpowiadającego mu przeładowania występującego w przekształtniku HVGDCC, w którym komutacje realizowane są po naturalnym osiągnięciu przez prąd rezonansowy zerowej wartości (ZCS). W układzie pracującym w trybie ZVS prąd obwodu rezonansowego przerywany jest sztucznie za pomocą tranzystora, w wyniku czego w prze-



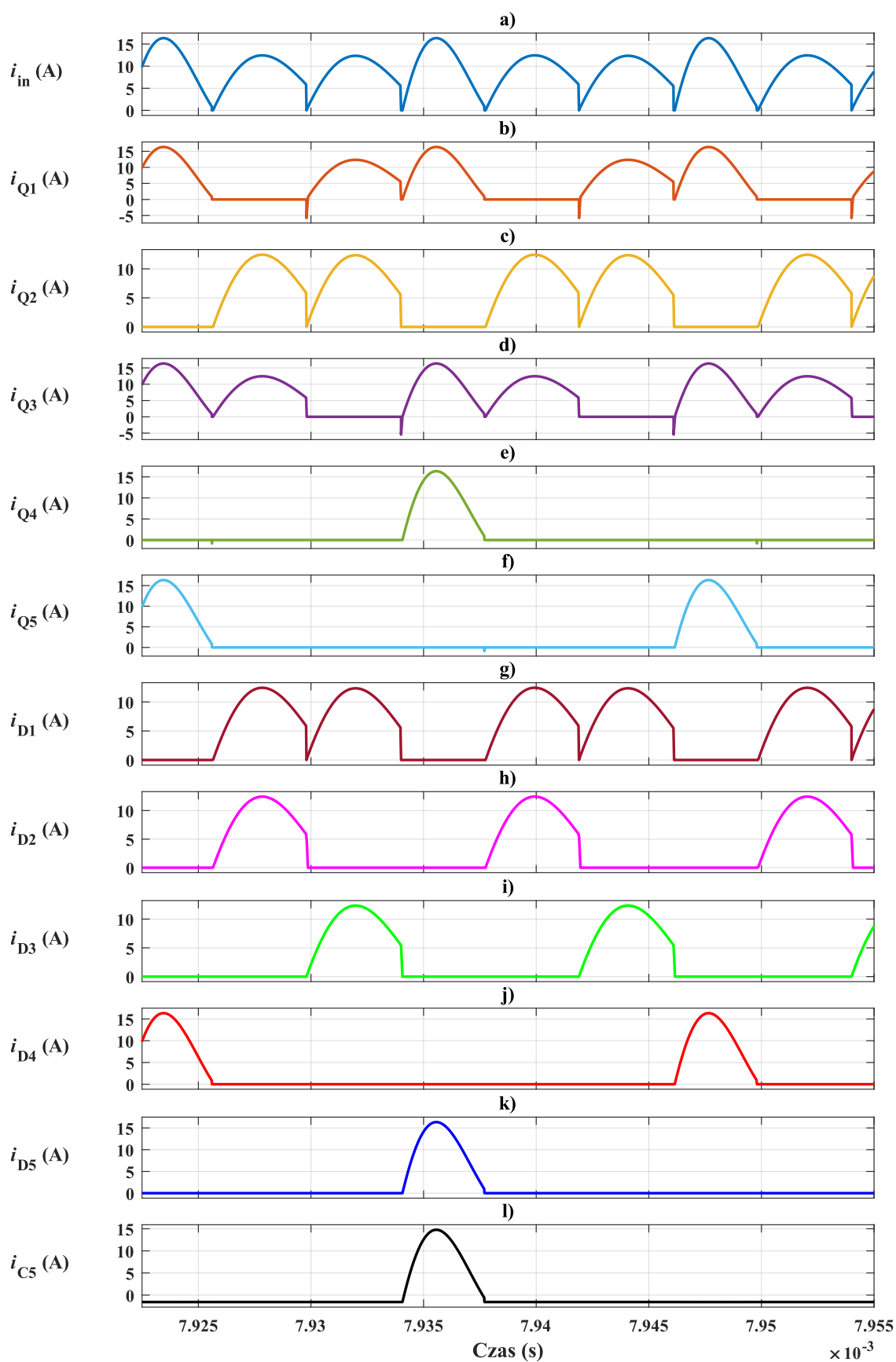
Rys. 4.11. Przebiegi symulacyjne zarejestrowane dla układu HVGDCC pracującego w trybie ZVS: a) prąd wejściowy przekształtnika, b) napięcie kondensatora przełączanego C_2 , c) prąd kondensatora przełączanego C_2 , d) napięcie kondensatora przełączanego C_3 , e) prąd kondensatora przełączanego C_3 , f) napięcie kondensatora wyjściowego C_4 , g) prąd kondensatora wyjściowego C_4 , h) napięcie kondensatora wyjściowego C_5 , i) prąd kondensatora wyjściowego C_5 , j) napięcie wyjściowe przekształtnika U_{out} , k) przebiegi sterujące tranzystorów Q_1 – Q_5

biegach prądu wejściowego przekształtnika (a) oraz prądów kondensatorów przełączanych (c, e), tuż przed zakończeniem oscylacji w konfiguracji $M1$ oraz $M2$, można obserwować ich skokowy zanik, po którym rozpoczyna się kolejne przeładowanie, poprzedzone niewidocznym w tej skali czasem martwym. Dodatkowym efektem wprowadzenia układu HVGDCC w tryb pracy ZVS jest nieznaczne odkształcenie przebiegów napięć kondensatorów przełączanych (b, d), do którego dochodzi w wyniku przedwczesnego przerywania procesu ich ładowania, będącego efektem skrócenia czasu trwania interwałów $M1$ oraz $M2$. W pozostałych przebiegach prezentowanych na rys. 4.11 nie zaobserwowano wpływu wprowadzenia układu HVGDCC w tryb pracy ZVS innego niż zwiększenie ich częstotliwości, wynikające ze skrócenia czasu trwania interwałów związanych z ładowaniem kondensatorów przełączanych. Poza tym przebiegi te pozostają zbieżne z tymi zarejestrowanymi w czasie badań symulacyjnych układu pracującego w trybie podstawowym (ZCS) i omówionymi w rozdziale 4.3. Kończąc analizę przebiegów przedstawionych na rys. 4.11, należy zwrócić uwagę na przebieg napięcia wyjściowego badanego przekształtnika (j), którego wartość średnia wynosi około 395 V. Oznacza to, że osiągnięty przez niego współczynnik wzmocnienia napięciowego G_U , po przełączeniu w tryb pracy ZVS, nadal utrzymuje się na poziomie 5,6, a tym samym praca w tym trybie nie wpływa negatywnie na jego funkcjonalność.

Podobnie jak miało to miejsce w przypadku badań układu pracującego w trybie ZCS, również i tym razem analizie poddano przebiegi napięć elementów półprzewodnikowych wchodzących w skład obwodu mocy badanego przekształtnika. Analiza przebiegów zamieszczonych na rys. 4.12 wskazuje, iż poziomy napięć blokowanych długotrwale przez poszczególne łączniki nie uległy zmianie w stosunku do tych obserwowanych w układzie pracującym w trybie ZCS. W czasie prowadzonych analiz zweryfikowano także krótkotrwale impulsy napięciowe obserwowane w przebiegach poszczególnych komponentów, w czasie gdy realizowane są modyfikacje struktury połączeń wewnętrznych badanego układu. Również w tym przypadku nie zaobserwowano negatywnego wpływu przełączenia przekształtnika w tryb pracy ZVS. W większości przypadków wartości maksymalne wspomnianych impulsów napięciowych odpowiadają tym występującym w układzie pracującym w trybie ZCS. Jedyna różnica dotyczy przebiegu napięcia diody D_1 , z którego, po przełączeniu układu w tryb pracy ZVS, zostały wyeliminowane krótkotrwale impulsy napięciowe związane ze zmianą konfiguracji przekształtnika z $M1$ na $M2$. Przełączenie układu HVGDCC w tryb pracy ZVS wiąże się z pojawieniem odkształceń w przebiegach prądów jego poszczególnych komponentów, które można zaobserwować na rys. 4.13. Obserwowane zniekształcenia analizowanych przebiegów prądów stanowią cechę charakterystyczną rezonansowych układów energoelektronicznych, w których minimalizuje się ilość strat związanych z rozładowywaniem pojemności



Rys. 4.12. Symulowane przebiegi napięć elementów półprzewodnikowych obwodu mocy przekształtnika HVGDCC pracującego w trybie ZVS: a) przebieg prądu wejściowego przekształtnika i_{in} , b)–f) napięcia u_{DS} tranzystorów $Q_1 \dots Q_5$, h)–k) napięcia diod $D_1 \dots D_5$, l) przebieg prądu kondensatora wyjściowego C_5



Rys. 4.13. Symulowane przebiegi prądów elementów półprzewodnikowych obwodu mocy przekształtnika HVGDC pracującego w trybie ZVS: a) przebieg prądu wejściowego przekształtnika i_{in} , b)–f) prądy tranzystorów $Q_1 \dots Q_5$, h)–k) prądy diod $D_1 \dots D_5$, l) przebieg prądu kondensatora wyjściowego C_5

wyjściowych tranzystorów (C_{oss}) poprzez wprowadzenie przekształtnika w tryb pracy, w którym — poprzez odpowiednią zmianę jego sposobu sterowania — wymusza się załączanie tranzystorów przy zerowym napięciu (ZVS). Wspomniane zniekształcenia powstają w wyniku przerywania ścieżki przepływu prądu płynącego w obwodzie rezonansowym jeszcze przed zakończeniem przeładowania, czyli zanim prąd ten w naturalny sposób osiągnie wartość równą zero. Skutkuje to jego skokowym zanikiem, co można zaobserwować w przedstawionych na rys. 4.13 przebiegach prądów diod (g–i), tranzystorów (b–d), a także w przebiegu prądu wejściowego przekształtnika, w momencie zmiany konfiguracji przekształtnika HVGDCC z $M1$ na $M2$, a także przy przełączeniu ze stanu pracy $M2$ na $M3$ lub $M4$. W przypadku pozostałych diod (D_4 , D_5) oraz tranzystorów (Q_4 , Q_5), odkształcenia te nie występują ze względu na brak technicznej możliwości utworzenia ścieżki przepływu prądu przez diody antyrównoległe tranzystorów Q_4 , Q_5 po wymuszonym przerywaniu prądu któregoś z obwodów rezonansowych przekształtnika.

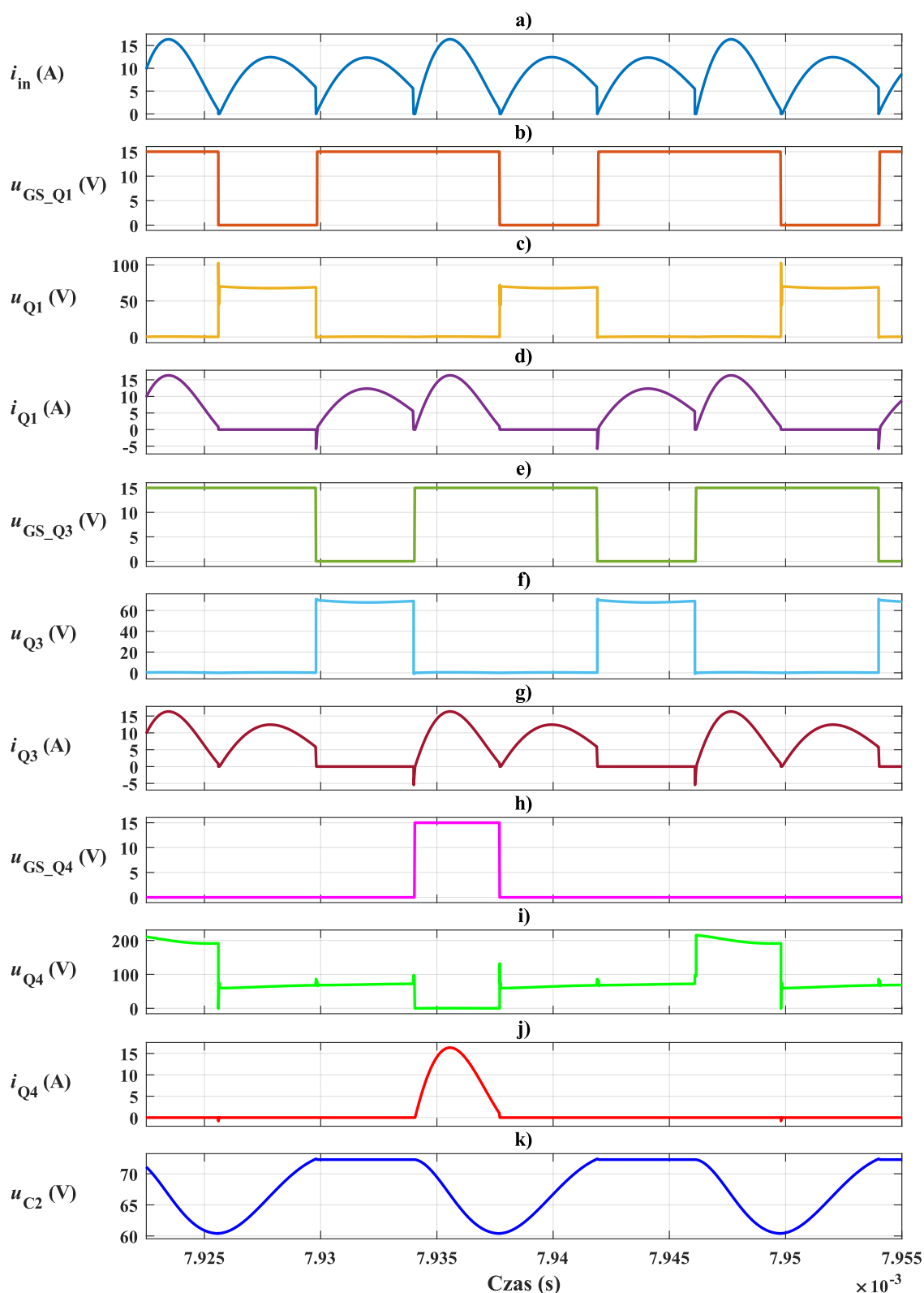
Dodatkowo, w przebiegach prądów tranzystorów zlokalizowanych w części obwodu umożliwiającej realizację procedury ZVS (Q_1 , Q_3), można zaobserwować krótkie impulsy prądu o ujemnej wartości, której moduł odpowiada wartości chwilowej prądu, przy którym doszło do wyłączenia dotychczas przewodzącego tranzystora. Tranzystor Q_2 , ze względu na swoje położenie w obwodzie, nie ma technicznej możliwości realizacji załączania w trybie ZVS, a jego odkształcony przebieg prądu wynika jedynie z faktu, iż w czasie ładowania kondensatorów przełączanych (stan pracy $M1$ oraz $M2$), jest on szeregowo połączony z tranzystorami Q_1 lub Q_3 , które są wzajemnie odpowiedzialne za realizację łagodnego rozładowania swoich pojemności wyjściowych poprzez przerywanie ścieżki przepływu prądu obwodu rezonansowego, zanim w naturalny sposób jego wartość spadnie do zera.

W kolejnym etapie badań symulacyjnych zarejestrowano przebiegi napięć i prądów tranzystorów Q_1 , Q_3 oraz Q_4 , a także przebiegi ich sygnałów sterujących u_{GS} , które wspólnie przedstawiono na rys. 4.14. Dla lepszej orientacji w poszczególnych przeładowaniach i komutacjach do wspomnianego zestawu zarejestrowanych sygnałów dodano także przebieg prądu wejściowego przekształtnika oraz napięcia jednego z jego kondensatorów przełączanych (C_2). Celem prowadzonych badań, których rezultaty opisano w niniejszym rozdziale, było zaobserwowanie i przeanalizowanie mechanizmu realizacji załączania tranzystorów w stanie beznapięciowym (ZVS) na przykładzie opracowanej topologii przekształtnika HVGDCC.

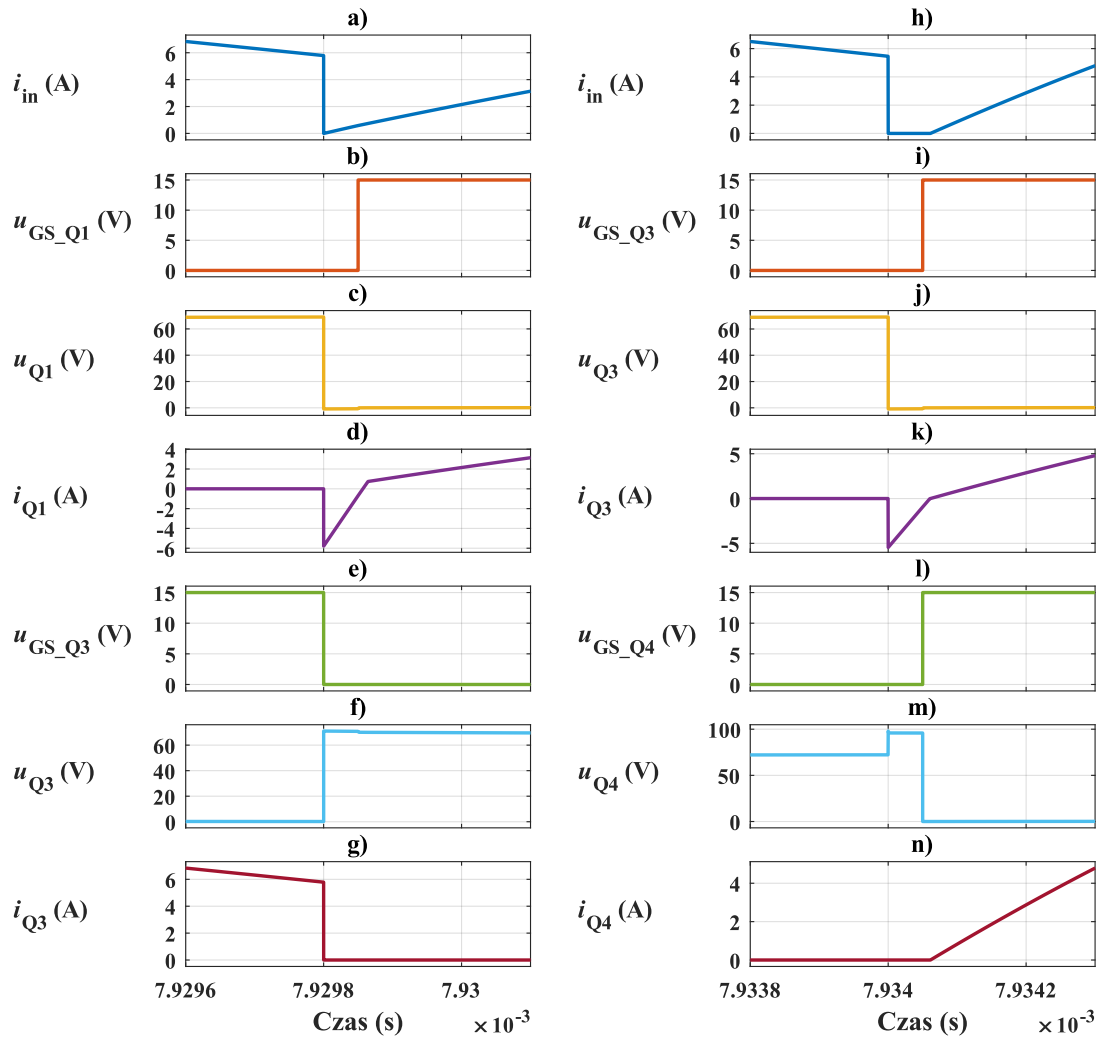
Struktura połączeń wewnętrznych przekształtnika HVGDCC umożliwia realizację załączania tranzystorów przy zerowym napięciu u_{DS} jedynie w przypadku łączników Q_1 oraz Q_3 . Niemniej jednak, łączniki te biorą udział w zdecydowanej większości przeładowań realizowanych w czasie pracy tego układu, co czyni to zagadnienie istotnym z perspektywy ograniczenia strat związanych z rozładowywaniem pojemności

wyjściowej tranzystorów (c_{oss}) i poprawy sprawności całego przekształtnika. Z uwagi na okresową naturę pracy badanego układu i kilkukrotnie powtarzające się w czasie jego jednego cyklu impulsowania te same konfiguracje, do pełnego przeanalizowania zagadnienia wystarczającym było zbadanie dwóch komutacji, z których pierwsza zachodzi przy przełączeniu pomiędzy konfiguracjami $M1$ oraz $M2$, a druga przy przełączeniu pomiędzy konfiguracjami $M2$ oraz $M3$. Na potrzeby prowadzonych analiz zarejestrowano dwa zestawy przebiegów symulacyjnych, przedstawiających przebiegi napięć i prądów poszczególnych tranzystorów oraz ich sygnałów sterujących. Pierwszy z nich (rys. 4.14) zarejestrowano w skali umożliwiającej analizę wspomnianych przebiegów w pełnym okresie impulsowania badanego układu. Drugi zestaw zarejestrowanych sygnałów (rys. 4.15) obrazował jedynie moment przełączeń realizowanych w chwili komutacji przekształtnika pomiędzy stanami $M1$ i $M2$, a także $M2$ i $M3$. Widoczne na nim przebiegi przedstawiono w skali umożliwiającej dokładną obserwację zjawisk zachodzących w czasie badanych przełączeń.

W stanie pracy, w którym ładowany jest kondensator przełączany C_2 ($M1$), załączone pozostają tranzystory Q_2 oraz Q_3 , a prąd ładujący ten kondensator przepływa ze źródła, przez wspomniane tranzystory, diody D_1 i D_2 , a także dławik rezonansowy L_1 . Jak wynika z rys. 4.14, napięcie na tranzystorze Q_1 (rys. 4.14c) utrzymuje się w tym takcie pracy układu na poziomie około 70 V, co jest jednoznaczne z naładowaniem jego pojemności wyjściowej C_{oss} do takiego właśnie napięcia. W tym samym interwale, przebieg prądu tranzystora Q_3 ma kształt typowy dla prądu przeładowania rezonansowego (rys. 4.14g), jednak na krótko przed naturalnym spadkiem jego wartości do zera, tranzystor Q_3 , wskutek zmiany stanu jego sygnału sterującego u_{GS} (rys. 4.14e), zostaje wyłączony. Dochodzi wtedy do skokowego zaniku jego prądu i rozpoczęcia komutacji ze stanu $M1$ do $M2$. Po wyłączeniu tranzystora Q_3 , jego napięcie u_{DS} narasta do wartości zbliżonej do napięcia źródła zasilającego przekształtnik, a energia zgromadzona w indukcyjności dławika rezonansowego L_1 rozładowuje się dzięki pojemności wyjściowej C_{oss} tranzystora Q_1 , a następnie także jego diodzie antyrównoległej. Skutkuje to pojawieniem się w przebiegu jego prądu (rys. 4.15d) impulsu o ujemnej wartości, której moduł odpowiada wartości prądu tranzystora Q_3 , przy której doszło do jego wyłączenia (rys. 4.15g). Wymuszony za sprawą dławika L_1 przepływ prądu przez pojemność wyjściową tranzystora Q_1 powoduje jej rozładowanie oraz spolaryzowanie jego diody podłożowej w kierunku przewodzenia. W tak skonfigurowanym obwodzie przepływ prądu utrzymuje się do całkowitego rozładowania energii zgromadzonej w polu magnetycznym dławika rezonansowego lub przejścia przewodzenia przez załączony po upływie czasu martwego kanał tranzystora Q_1 . Jak można zaobserwować na rys. 4.15c, napięcie u_{DS} tranzystora Q_1 skokowo zmniejsza swoją wartość z około 70 V do zera. Dochodzi do tego w momencie, gdy w przebiegu jego prądu pojawia się impuls o ujemnej wartości. Należy zauważyć, że dzieje się to



Rys. 4.14. Symulowane przebiegi napięć i prądów tranzystorów Q_1 , Q_3 oraz Q_4 przekształtnika HVGDCC pracującego w trybie ZVS: a) prąd wejściowy przekształtnika, b) napięcie u_{GS} tranzystora Q_1 , c) napięcie u_{DS} tranzystora Q_1 , d) prąd drenu i_D tranzystora Q_1 , e) napięcie u_{GS} tranzystora Q_3 , f) napięcie u_{DS} tranzystora Q_3 , g) prąd drenu i_D tranzystora Q_3 , h) napięcie u_{GS} tranzystora Q_4 , i) napięcie u_{DS} tranzystora Q_4 , j) prąd drenu i_D tranzystora Q_4 , k) napięcie kondensatora przełączanego C_2 , l) napięcie kondensatora wyjściowego C_5



Rys. 4.15. Przebiegi symulacyjne przedstawiające zjawiska łączeniowe występujące w czasie martwym układu HVGDCC pracującego w trybie ZVS. Przebiegi a–g zarejestrowano przy zmianie konfiguracji przekształtnika z $M1$ na $M2$, a przebiegi h–m przy zmianie konfiguracji przekształtnika z $M2$ na $M4$. a, h) prąd wejściowy przekształtnika, b) napięcie bramka–źródło tranzystora Q_1 , c) napięcie dren–źródło tranzystora Q_1 , d) prąd drenu tranzystora Q_1 , e, i) napięcie bramka–źródło tranzystora Q_3 , f, j) napięcie dren–źródło tranzystora Q_3 , g, k) prąd drenu tranzystora Q_3 , l) napięcie bramka–źródło tranzystora Q_4 , m) napięcie dren–źródło tranzystora Q_4 , n) prąd drenu tranzystora Q_4

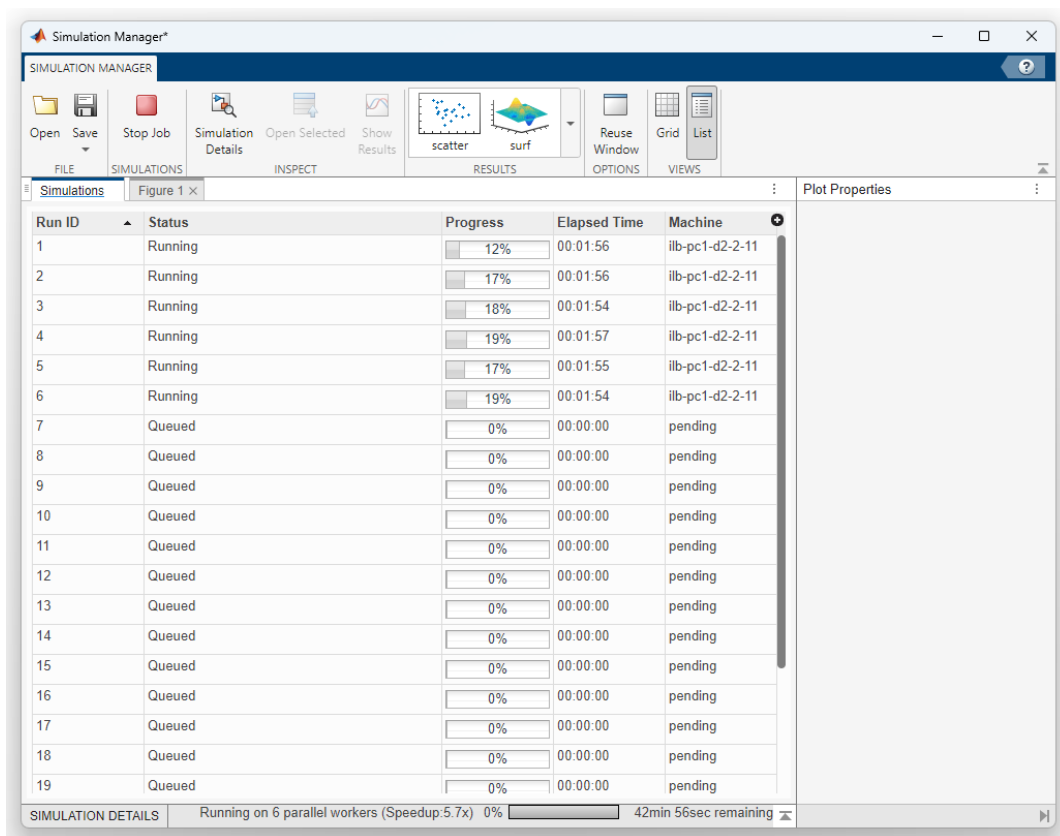
jeszcze przed pojawieniem się sygnału załączającego tranzystor Q_1 na jego bramce (rys. 4.15b). Na tej podstawie można stwierdzić, że załączenie tranzystora nastąpiło po całkowitym rozładowaniu jego pojemności wyjściowej. Oznacza to, że procedura załączenia przy zerowym napięciu (ZVS) u_{DS} tranzystora Q_1 została przeprowadzona poprawnie i skutecznie. Po zakończeniu komutacji układ znajduje się w konfiguracji $M2$ i rozpoczyna się proces ładowania kondensatora przełączanego C_3 w obwodzie złożonym z tranzystorów Q_1 , Q_2 , diod D_1 , D_3 , a także dławika rezonansowego L_2 .

Druga z analizowanych w tym podrozdziale komutacji przekształtnika HVGDCC, umożliwiających realizację procedury załączania tranzystorów przy zerowym napięciu u_{DS} (ZVS), rozpoczyna się tuż przed zakończeniem interwału ładowania kondensatora przełączanego C_3 ($M2$). W tej konfiguracji układu, tranzystor Q_3 utrzymywany jest w stanie blokowania, a jego pojemność wyjściowa pozostaje naładowana do napięcia źródła zasilającego przekształtnik (rys. 4.14f). Podobnie, jak miało to miejsce w przypadku komutacji pomiędzy stanem pracy $M1$ oraz $M2$, również i tym razem komutacja ZVS rozpoczyna się w momencie przerwania przez jeden z dotychczas przewodzących tranzystorów (w tym wypadku Q_2) ścieżki przepływu prądu rezonansowego ładującego kondensator przełączany C_3 . Do wyłączenia wspomnianego tranzystora dochodzi jeszcze zanim płynący w obwodzie rezonansowym prąd zdąży w naturalny sposób zaniknąć, co sprawia, że pod wpływem energii zgromadzonej w polu magnetycznym dławika L_2 , w układzie zaczyna płynąć prąd rozładowujący pojemność wyjściową tranzystora Q_3 , który można zaobserwować w jego przebiegu prądu (rys. 4.15b) w postaci krótkiego impulsu o ujemnej wartości. Prąd ten polaryzuje również diodę podłożową tranzystora Q_3 w kierunku przewodzenia i przepływa przez nią, utrzymując na pojemności wyjściowej tranzystora napięcie w przybliżeniu równe napięciu przewodzenia tej diody (rys. 4.15j). Układ pozostaje w takim stanie do momentu zakończenia czasu martwego i pojawienia się impulsu załączającego tranzystor Q_3 na jego bramce (rys. 4.15i), a w efekcie przejścia przewodzenia prądu płynącego w obwodzie przez jego kanał. Załączenie tranzystora Q_3 przy jego niemal zerowym napięciu u_{DS} eliminuje straty związane z rozładowywaniem jego pojemności wyjściowej, a układ przechodzi do konfiguracji $M4$, w której realizowany jest proces ładowania kondensatora wyjściowego C_5 .

4.5 Symulacje strat występujących w przekształtniku HVGDCC

W czasie trwania badań symulacyjnych, mających na celu analizę strat występujących w przekształtniku HVGDCC, korzystano z dwóch rodzajów modeli symulacyjnych tego układu. Pierwszy z nich symulował układ zbudowany z wykorzystaniem tranzystorów CoolMOS, a drugi w swojej strukturze zawierał modele tranzystorów typu CoolGaN. Podstawowym założeniem prowadzonych symulacji było jak najwierniejsze odwzorowanie rzeczywistych parametrów zbudowanych układów eksperymentalnych. W związku z tym parametry ich poszczególnych komponentów składowych dobrano zgodnie z dokumentacją techniczną elementów wykorzystanych do budowy rzeczywistych przekształtników (tabela 2.7). W czasie symulacji wykorzystywano modele tranzystorów, w których ich parametry dynamiczne (pojemność

wejściowa, wyjściowa oraz zwrotna) były zdefiniowane za pomocą kompletnych charakterystyk zaczerpniętych z ich dokumentacji technicznej. Wspomniane charakterystyki spróbkowano, a następnie, w formie tabelarycznej, wprowadzono do modeli wszystkich tranzystorów wchodzących w skład przygotowanych modeli komputerowych przekształtnika HVGDCC. Metodologia prowadzonych badań symulacyjnych była zbliżona do tej realizowanej w rzeczywistych układach eksperymentalnych i zakładała przeprowadzenie wielokrotnych symulacji badanych modeli przy równomiernie zwiększającej się wartości ich obciążenia w zakresie od 5 W do 700 W. W czasie prowadzonych prac badania wykonano na czterech modelach symulacyjnych przekształtnika HVGDCC. Dwa z nich w swojej strukturze zawierały modele tranzystorów CoolMOS i symulowały pracę układu HVGDCC–CoolMOS kolejno w trybie ZCS oraz ZVS. W dwóch pozostałych modelach zastosowano symulacyjne odpowiedniki tranzystorów typu CoolGaN, konfigurując przy tym parametry układu sterowania w taki sposób, aby jeden z nich symulował pracę układu HVGDCC–CoolGaN w trybie ZCS, a drugi w trybie ZVS. Z uwagi na dużą liczbę koniecznych do przeprowadzenia symulacji, znaczny czas trwania każdej z nich (kilka godzin) oraz konieczność przeprowadzenia obliczeń po zakończeniu każdej symulacji, proces ich uruchamiania i obsługi został zautomatyzowany. W tym celu wykorzystano narzędzie *Parallel Computing Toolbox*, dostępne w pakiecie Matlab–Simulink, które w połączeniu ze specjalnie przygotowanym skrypcem umożliwiło równoległe prowadzenie sześciu symulacji (ograniczenie wynikające z ilości dostępnej pamięci operacyjnej), automatyczną zmianę obciążenia badanych modeli symulacyjnych oraz wartości maksymalnego dopuszczalnego kroku całkowania. Na rys. 4.16 zamieszczono zrzut ekranu przedstawiający okno menadżera symulacji równoległych w czasie trwania obliczeń. Maksymalny dopuszczalny krok obliczeniowy zmieniał się w zależności od stopnia obciążenia badanego układu i przyjmował on wartość 200 ps dla mocy obciążenia mniejszych od 200 W oraz 1 ns dla pozostałych punktów pracy badanych układów. Uzależnienie wartości tego parametru od mocy obciążenia symulowanego układu pozwoliło w istotny sposób skrócić czas trwania poszczególnych symulacji. Zbieżność otrzymywanych wyników z symulacji prowadzonych z krokiem całkowania ograniczonym do 1 ns z tymi przeprowadzonymi przy ograniczeniu tego parametru do 200 ps potwierdzono doświadczalnie. Przeprowadzono dwie symulacje w pełnym zakresie obciążeń przekształtnika, przy czym w przypadku jednej z nich maksymalny dopuszczalny krok całkowania wynosił 200 ps, a w przypadku drugiej 1 ns. Po przeanalizowaniu wyników sprawności zwróconych przez oba modele zaobserwowano, iż dla mocy większych od 200 W wyniki otrzymywane z obu modeli są ze sobą zbieżne. Dodatkowo, zadaniem opracowanego skryptu inicjalizacyjnego było także pobranie danych wyjściowych z każdej zakończonej symulacji do przetrzeźni roboczej programu Matlab oraz przeprowadzenie na nich obliczeń przy po-



Rys. 4.16. Zrzut ekranu wykonany w środowisku Matlab–Simulink przedstawiający okno menadżera symulacji równoległych w czasie modelowania układu HVGDCC

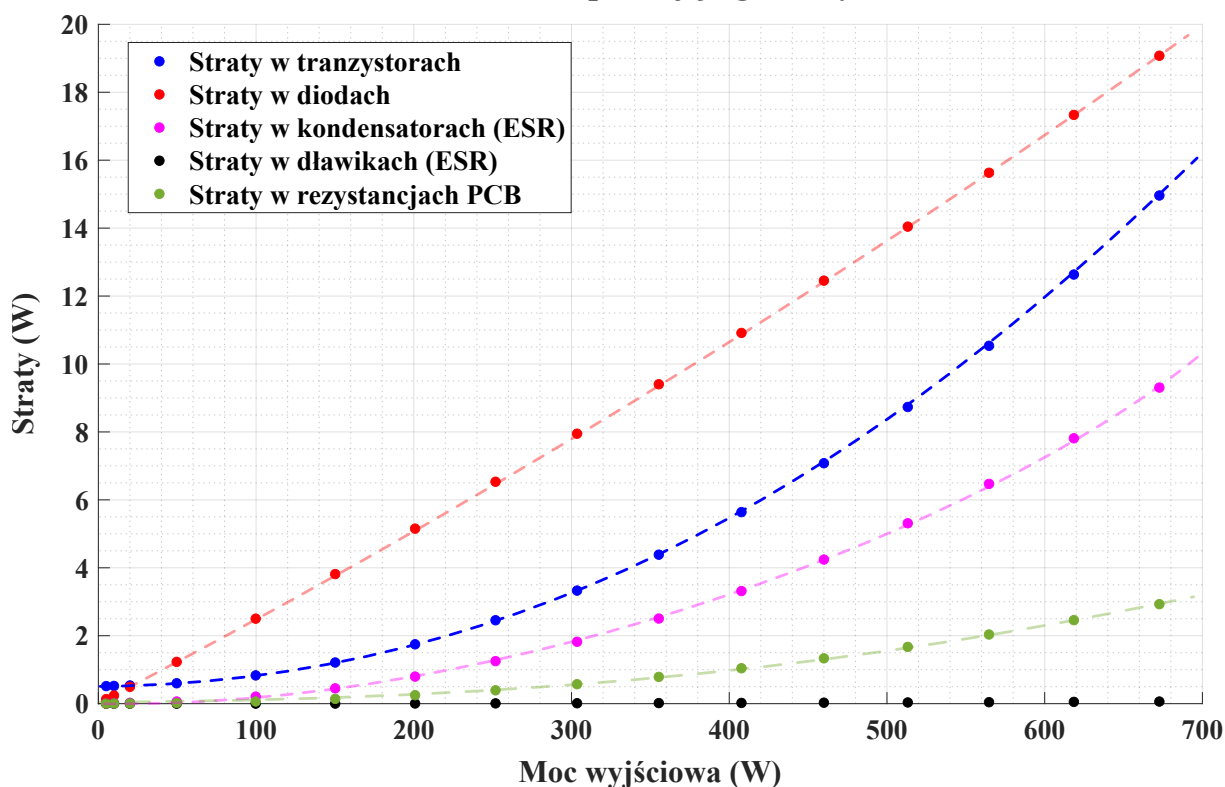
mocy funkcji `ee_getPowerLossSummary()` oraz `ee_getEfficiency()`, których rezultatem było zapisanie do oddzielnego pliku informacji o stratach występujących w jego poszczególnych elementach i całkowitej sprawności układu przy zadanej mocy obciążenia. Na podstawie zebranych danych wykreślono charakterystyki sprawności badanych układów oraz przeanalizowano rozkład strat w badanym przekształtniku. Wyniki przeprowadzonych badań symulacyjnych oraz ich analizę przedstawiono w dalszej części tego rozdziału.

4.5.1 Symulowane straty mocy w przekształtniku HVGDCC

Analizę danych pozyskanych z symulacji rozpoczęto od zaimportowania plików wygenerowanych przez skrypt symulacyjny do przestrzeni roboczej programu Matlab i wykreślenia charakterystyk obrazujących ilość strat występujących w poszczególnych komponentach. Na rys. 4.17 zamieszczono zestaw charakterystyk przedstawiających zależność ilości mocy rozpraszanej w poszczególnych komponentach od mocy obciążenia symulowanego układu. W tym przypadku komponenty zostały pogrupowane według ich rodzaju, a prezentowana charakterystyka została wykreślona na podstawie danych zarejestrowanych w czasie symulacji układu HVGDCC–CoolGaN pracującego w trybie ZCS.

Z przedstawionych krzywych wynika, iż ilość mocy traconej w poszczególnych komponentach układu jest zależna od poziomu jego obciążenia. Największy udział w bilansie mocy traconej w przekształtniku HVGDCC–CoolGaN pracującym w trybie ZCS przypada diodom prostowniczym (D_1 – D_5), a ilość rozpraszanej w nich mocy narasta niemal liniowo (dla $P_{out} < 700$ W) wraz ze wzrostem obciążenia symulowanego układu. Według symulacji, ilość mocy rozpraszanej w tych elementach wynosi około 19 W, przy mocy obciążenia przekształtnika utrzymującej się na poziomie 675 W. Drugie miejsce w tym zestawieniu przypada tranzystorom, które przy tym samym obciążeniu do otoczenia wypromieniowują około 16 W. Zgodnie z przedstawioną charakterystyką można także stwierdzić, że ilość mocy traconej w tranzystorach przekształtnika wykładniczo narasta wraz ze wzrostem mocy odbiornika zasilanego z symulowanego przekształtnika. Jak wynika z rys. 4.17, ilości mocy traconej na rezystancjach połączeń obwodu drukowanego oraz na wypadkowej rezystancji szeregowej kondensatorów znajdujących się w przekształtniku HVGDCC również zależy od poziomu obciążenia badanego układu. W przypadku obu tych charakterystyk, można stwierdzić, iż opisana przy ich pomocy ilość strat powstających na pasożytniczych elementach rezystancyjnych narasta potęgowo wraz ze wzrostem obciążenia symulowanego układu. Dzieje się to jednak zdecydowanie wolniej niż

Straty w poszczególnych grupach komponentów przekształtnika HVGDCC–CoolGaN pracującego w trybie ZCS



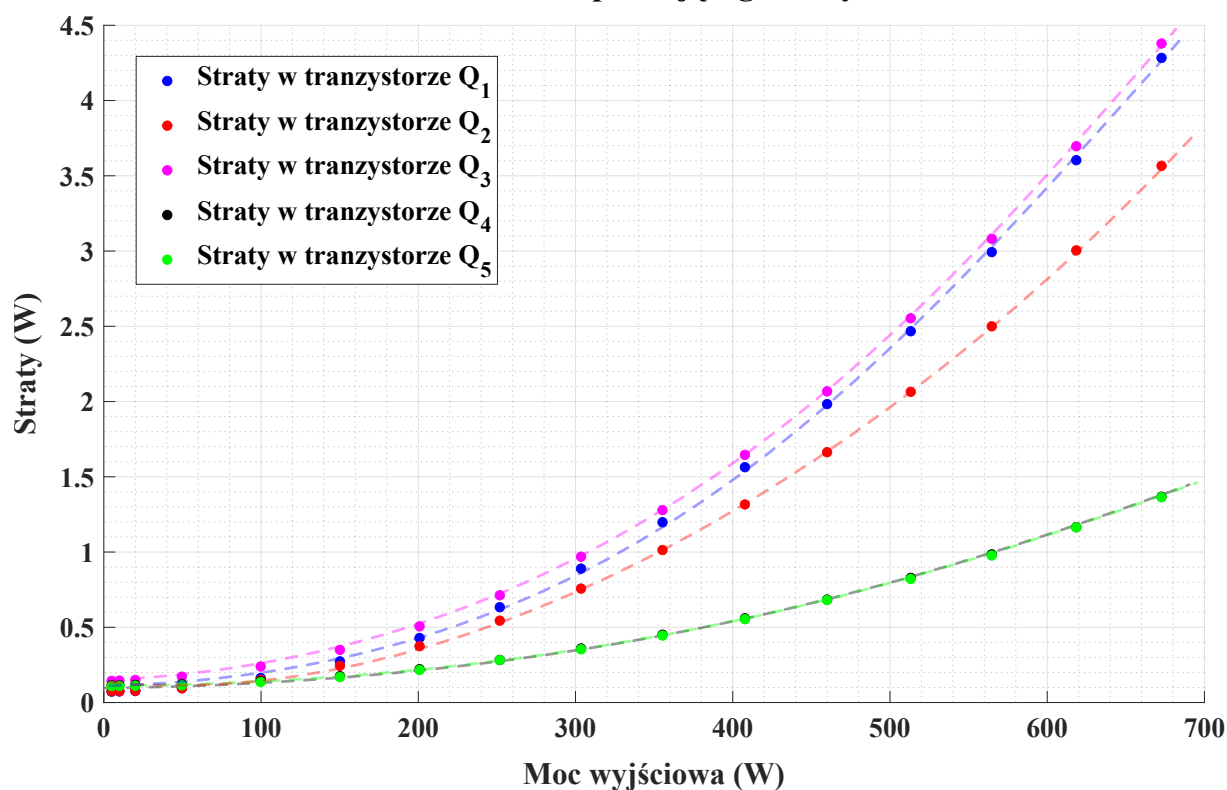
Rys. 4.17. Charakterystyki przedstawiające zależność mocy traconej w poszczególnych grupach komponentów przekształtnika HVGDCC–CoolGaN pracującego w trybie ZCS

miało to miejsce w przypadku mocy traconej na tranzystorach. Przy mocy obciążenia przekształtnika wynoszącej około 675 W, na rezystancjach obwodu drukowanego tracone są 3 W, zaś na kondensatorach w ich wypadkowej rezystancji szeregowej (ESR) rozpraszana jest moc o wartości 9,5 W. W przypadku dławików, w których straty powstające w ich rdzeniach nie były symulowane, można przyjąć, że udział tych elementów, za sprawą ich niezwykle niskiej rezystancji (R_{DC}) uzwojeń sięgającej jedynie $450\ \mu\Omega$, jest pomijalny w ogólnym bilansie energetycznym badanego układu. W krzywej obrazującej straty mocy w tranzystorach można również zaobserwować trend prowadzący do przecięcia z krzywą strat diod prostowniczych. Oznacza to, że po zwiększeniu mocy badanego przekształtnika, poza zakres obserwowany na prezentowanej charakterystyce, elementem dominującym w kwestii ilości generowanych strat mocy staną się tranzystory. W głównej mierze, będzie za to odpowiedzialna rezystancja R_{DSon} kanału tych tranzystorów, która wynosi aż 70 m Ω .

Warto również zwrócić uwagę na początkowy fragment przedstawionej charakterystyki, w którym to obszarze, ze względu na niskie wartości prądów płynących w układzie, kluczową rolę odgrywają straty łączeniowe. W prezentowanym przypadku, dla mocy obciążenia wynoszącej 50 W, poziom sumarycznych strat generowanych przez wszystkie tranzystory układu osiąga jedynie 0,25 W. Podkreślić należy więc to, że symulowany układ cechuje się niskim poziomem strat łączeniowych, a straty przewodzenia, za które w sporej części odpowiedzialne są diody prostownicze i tranzystory, mogą zostać zredukowane przez wprowadzenie modyfikacji układowych polegających na zmianie obecnie stosowanych tranzystorów, na ich odpowiedniki charakteryzujące się mniejszą rezystancją kanału R_{DSon} . Druga z potencjalnych modyfikacji, mogących istotnie zmniejszyć straty przewodzenia w badanym układzie, mogłaby polegać na zastąpieniu diod prostowniczych tranzystorami.

Kontynuując analizę strat mocy występujących w poszczególnych komponentach przekształtnika, wykreślono zestaw charakterystyk przedstawiających zależność mocy traconej na poszczególnych tranzystorach układu HVGDCC-CoolGaN od poziomu jego obciążenia. Wspomniany zestaw charakterystyk zamieszczono na rys. 4.18. Z analizy przedstawionych krzywych wynika, że ilość mocy rozpraszanej w każdym z tranzystorów badanego przekształtnika rośnie potęgowo wraz ze wzrostem obciążenia układu. Ponadto, w wykreślonych charakterystykach można zaobserwować, iż najwięcej mocy wydziela się na łącznikach stopnia wejściowego badanego przekształtnika (Q_1 , Q_2 , Q_3), co ma bezpośredni związek z wartościami skutecznymi prądów przepływających przez te tranzystory, które są nieco wyższe, niż w przypadku obwodów stopnia wyjściowego. Odnosząc się do wartości liczbowych, można stwierdzić, że ilość mocy traconej na poszczególnych tranzystorach przekształtnika wykonanego na bazie tranzystorów CoolGaN, pracującego w trybie ZCS oraz zasilającego obciążenie o mocy 675 W, w przypadku tranzystorów Q_1 i Q_3 nie przekracza 4,5 W.

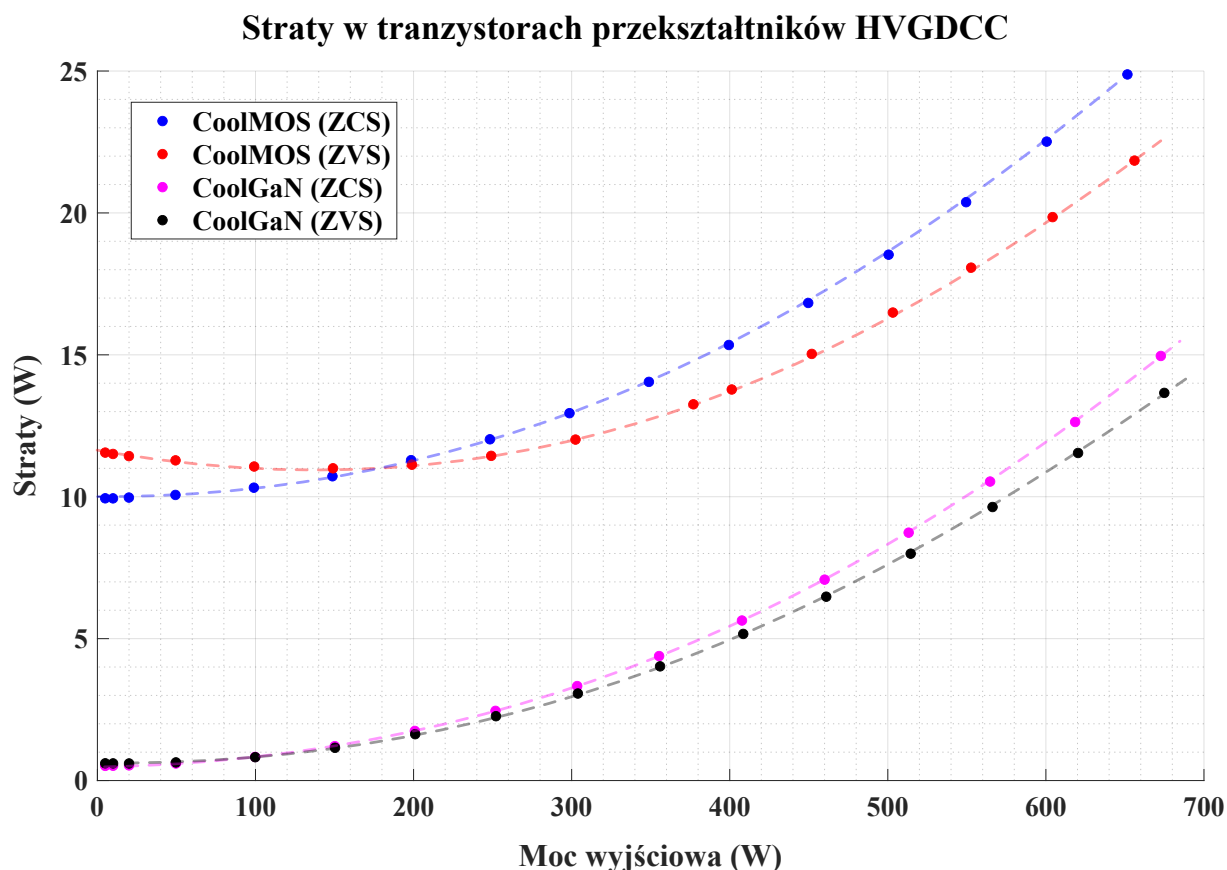
Straty w tranzystorach przekształtnika HVGDC-CoolGaN pracującego w trybie ZCS



Rys. 4.18. Symulowane charakterystyki przedstawiające zależność mocy traconej w poszczególnych tranzystorach przekształtnika HVGDC-CoolGaN pracującego w trybie ZCS

W tych samych warunkach tranzystor Q_2 w postaci ciepła rozprasza 3,6 W, a w każdym z tranzystorów stopnia wyjściowego tego przekształtnika (Q_4 , Q_5) powstaje około 1,5 W strat. Analizując przedstawione charakterystyki, można także dostrzec wpływ symetrycznej struktury przekształtnika o topologii HVGDC na rozkład strat mocy w jego poszczególnych tranzystorach. W tym przypadku objawia się to bardzo zbliżoną ilością mocy traconej w tranzystorach Q_1 i Q_3 , co wynika z tego, że wartości skuteczne prądów przez nie przepływających są takie same. W sposób analogiczny wytłumaczyć można zbieżność krzywych określających zależność pomiędzy stratami mocy w tranzystorach Q_4 i Q_5 , a poziomem mocy wyjściowej badanego układu.

W trakcie dalszych badań symulacyjnych zarejestrowano charakterystyki ilustrujące zależność pomiędzy sumaryczną ilością strat powstających we wszystkich tranzystorach (Q_1 – Q_5) opracowanego przekształtnika HVGDC a poziomem jego mocy wyjściowej. Rejestracji dokonano w czterech modelach symulacyjnych, co umożliwiło przeprowadzenie analizy strat mocy występujących w tranzystorach układów HVGDC-CoolMOS oraz HVGDC-CoolGaN w czasie symulowanej pracy przekształtników w trybie ZCS oraz ZVS. Rezultaty wykonanych symulacji przedstawiono w formie zestawu charakterystyk zamieszczonych na rys. 4.19. Analizując wykreślone krzywe, można zaobserwować, iż każda z nich ma przebieg



Rys. 4.19. Charakterystyki przedstawiające zależność sumarycznej mocy traconej we wszystkich tranzystorach przekształtnika HVGDCC, w zależności od rodzaju tranzystorów zastosowanych do budowy oraz jego trybu pracy (ZCS lub ZVS)

potęgowej, a ilość mocy rozpraszanej w tranzystorach poszczególnych przekształtników zwiększa się wraz ze wzrostem mocy wyjściowej symulowanych układów. Charakterystyki zarejestrowane dla układu HVGDCC-CoolMOS wyraźnie pokazują efekt wprowadzenia go w tryb pracy ZVS. W pierwszej części charakterystyki można zauważyć, że straty generowane przez przekształtnik, w którym część tranzystorów załącza się przy zerowym napięciu, są wyraźnie wyższe (o około 1 W) niż w przypadku układu pracującego w trybie ZCS. Relacja ta utrzymuje się do momentu przecięcia krzywych wykreślonych dla obu tych trybów pracy (ZCS oraz ZVS) układu HVGDCC-CoolMOS, do czego dochodzi, gdy moc obciążenia układu osiąga wartość 180 W. Dodatkowe straty obserwowane w tej części charakterystyki układu pracującego w trybie ZVS są efektem ubocznym wprowadzenia go w ten tryb pracy. Straty te powstają w wyniku twardego wyłączania tranzystorów przerywających prądy obwodów rezonansowych przy ich niezerowej wartości, co umożliwia zmianę ścieżki przepływu prądu w układzie i w założeniu także rozładowanie pojemności wyjściowej tranzystora, który załączy się w następnym takcie pracy przekształtnika. Jednak, jeśli przekształtnik pracuje z niewielką mocą wyjściową, to także prądy płynące w jego poszczególnych obwodach mają znikome wartości, a tym samym

ilość energii gromadzącej się w indukcyjnościach rezonansowych jest zbyt mała, aby utrzymać zerowe napięcie na tranzystorze przez cały czas martwy. W efekcie tranzystor nie załączy się przy zerowej wartości napięcia u_{DS} , wskutek czego w obwodzie pojawiają się straty związane z rozładowaniem jego pojemności wyjściowej (C_{oss}). Dla większych obciążeń problem ten nie występuje, a układ pracujący w trybie ZVS charakteryzuje się mniejszą wartością strat powstających w tranzystorach niż w przypadku jego pracy w trybie ZCS. Różnica w mocy traconej na tranzystorach układu pracującego w trybie ZCS oraz ZVS stopniowo narasta wraz ze wzrostem jego obciążenia. Przy mocy wyjściowej układu wynoszącej 675 W ilość mocy rozpraszanej na tranzystorach przekształtnika pracującego w trybie ZVS jest o 3 W niższa niż w przypadku układu, w którym przełączenia realizuje się przy zerowym prądzie tranzystorów (ZCS).

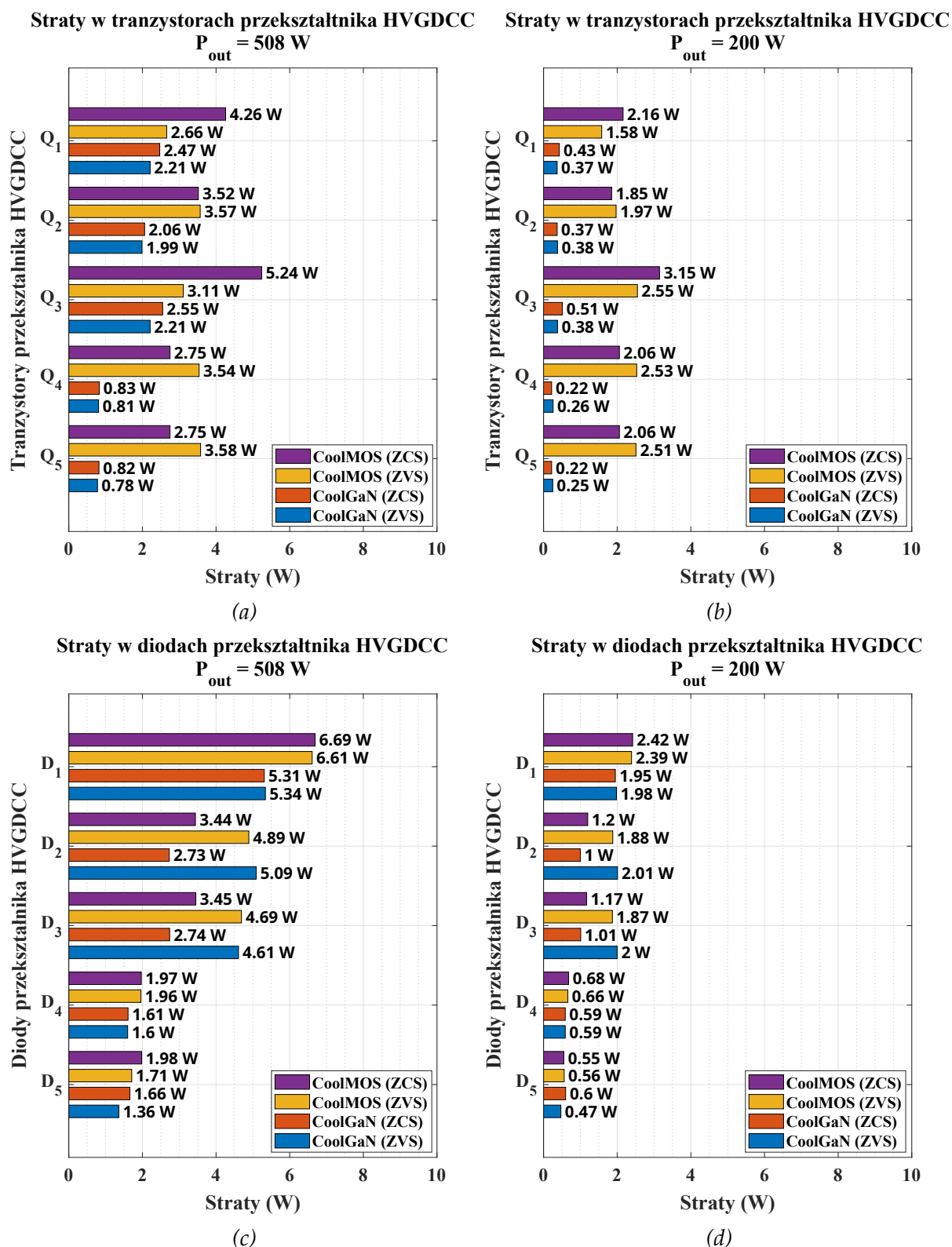
Przechodząc do analizy charakterystyk wykreślonych dla przekształtnika HVGDCC-CoolGaN, należy zauważyć, że różnica w ilości strat powstających w tranzystorach tego układu, w czasie jego pracy w trybie ZCS oraz ZVS, zwiększa się wraz ze wzrostem jego obciążenia, osiągając około 1,2 W przy mocy wyjściowej przekształtnika wynoszącej 675 W. Ponadto, obie charakterystyki w przedziale mocy wyjściowych od 0 W do 200 W niemalże się pokrywają. Sugeruje to, że ilość mocy rozpraszanej przez tranzystory przekształtnika HVGDCC-CoolGaN w związku z rozłączaniem prądu rezonansowego płynącego w poszczególnych obwodach układu jest zdecydowanie mniejsza niż w przypadku tranzystorów CoolMOS. Ostatecznie należy również zauważyć, iż niezależnie od trybu pracy układu, ilość strat powstających w tranzystorach układu HVGDCC-CoolGaN jest zdecydowanie mniejsza niż w przypadku układu HVGDCC-CoolMOS. Różnica ta pozostaje wyraźnie widoczna w całym zakresie obciążeń stosowanych w czasie prowadzonych badań symulacyjnych i nieznacznie maleje w końcowej fazie prezentowanych charakterystyk.

Na podstawie danych zebranych w czasie prowadzonych symulacji przygotowano zestaw wykresów słupkowych (rys. 4.20), na których prezentowane są różnice w stratach powstających w tranzystorach oraz diodach przekształtników HVGDCC-CoolMOS oraz HVGDCC-CoolGaN, których rejestracji dokonano w czasie ich pracy zarówno w trybie ZCS, jak i ZVS. Z prezentowanych wykresów wynika, że wprowadzenie układu w tryb pracy ZVS, poza zmniejszeniem strat związanych z rozładowywaniem pojemności wyjściowej układu, prowadzi do istotnego zwiększenia strat występujących w diodach D_2 oraz D_3 . Zjawisko to można zaobserwować zarówno w układzie wykonanym na bazie tranzystorów CoolMOS, jak i tym, do którego budowy zastosowano tranzystory CoolGaN. Ilość mocy traconej we wspomnianych diodach wzrasta w trybie ZVS ze względu na zwiększenie wartości skutecznych prądów płynących w obwodach przekształtnika, będącego skutkiem zwiększenia ich częstotliwości w wyniku skrócenia czasu trwania interwałów łado-

wania kondensatorów przełączanych. Zwiększona ilość strat powstających w diodach negatywnie wpływa na sprawność całego przekształtnika i sprawia, iż wprowadzenie układu w tryb pracy ZVS nie zawsze będzie jednoznaczne ze zwiększeniem jego sprawności. Rysunek 4.20 przedstawia zestaw wykresów słupkowych ilustrujących straty powstające w diodach i tranzystorach przekształtników typu HVGDCC. Przedstawione na nich dane pomiarowe zarejestrowano w modelach układów zbudowanych z wykorzystaniem tranzystorów typu CoolMOS oraz CoolGaN, pracujących w trybie ZCS oraz ZVS. Dodatkowo, aby zweryfikować wpływ mocy wyjściowej przekształtnika na poziom strat występujących w jego diodach i tranzystorach, symulacje te przeprowadzono dla mocy wyjściowych wynoszących kolejno 200 W oraz 508 W. Z analizy zebranych danych wynika, iż niezależnie od technologii wykonania przekształtnika, wprowadzenie go w tryb pracy ZVS skutkuje redukcją mocy strat wydzielających się na tranzystorach (Q_1 , Q_3), mających możliwość realizacji procesu załączania przy zerowym napięciu u_{DS} . Zjawisko to najlepiej obrazuje wykres 4.20(a), na którym można zaobserwować, że przełączenie układu HVGDCC-CoolMOS w tryb pracy ZVS zaowocowało zmniejszeniem ilości strat powstających na tranzystorach Q_1 oraz Q_3 o około 2 W na każdym z nich. Efekt ten można również zaobserwować w układzie HVGDCC-CoolGaN, jednak w tym przypadku generowane straty maleją jedynie o około 0,2 W. Wprowadzenie badanego przekształtnika w tryb pracy ZVS, poza zmniejszeniem ilości mocy traconej w niektórych tranzystorach, skutkuje zwiększeniem strat w innych jego łącznikach. Efekt ten można zaobserwować w przypadku tranzystorów Q_4 i Q_5 oraz diod D_2 i D_3 przekształtnika HVGDCC-CoolMOS, których moc strat zwiększa się kolejno o około 0,8 W w przypadku wspomnianych tranzystorów oraz o około 1,3 W w przypadku diod. Dodatkowo, na podstawie analizy przedstawionych wykresów można stwierdzić, iż poziom strat występujących w łącznikach przekształtnika HVGDCC-CoolGaN jest zdecydowanie niższy niż w przypadku jego odpowiednika wykonanego z wykorzystaniem tranzystorów CoolMOS. Ponadto, należy również zaznaczyć, iż z rezultatów przeprowadzonych symulacji wynika, że poziom mocy traconej w poszczególnych łącznikach obu przekształtników silnie zależy od stopnia ich obciążenia.

4.5.2 Symulowane charakterystyki sprawności przekształtnika HVGDCC

Ostatni etap prowadzonych badań symulacyjnych poświęcono analizie i porównaniu charakterystyk sprawności wszystkich badanych modeli przekształtnika HVGDCC. W toku prowadzonych prac symulacyjnych dokonano rejestracji charakterystyk sprawności układów HVGDCC-CoolMOS oraz HVGDCC-CoolGaN, pracujących zarówno w trybie ZCS, jak i ZVS. W czasie prowadzonych prac badaw-



Rys. 4.20. Wykresy słupkowe przedstawiające rezultaty symulacji strat występujących w tranzystorach i diodach prostowniczych przekształtnika HVGDC, w zależności od typu tranzystorów wykorzystanych do jego budowy i wybranego trybu pracy (ZCS lub ZVS): a) straty w tranzystorach przekształtnika HVGDC obciążonego mocą $P_{out} = 508 \text{ W}$, b) straty w diodach przekształtnika HVGDC obciążonego mocą $P_{out} = 200 \text{ W}$, c) straty w tranzystorach przekształtnika HVGDC obciążonego mocą $P_{out} = 508 \text{ W}$, d) straty w diodach przekształtnika HVGDC obciążonego mocą $P_{out} = 200 \text{ W}$

czych przyjęto, że maksymalna wartość mocy wyjściowej symulowanego układu powinna odpowiadać mocy możliwej do uzyskania w czasie testów eksperymentalnych. W związku z tym maksymalna moc, przy której prowadzono badania symulacyjne sprawności, została ograniczona do 700 W. Biorąc pod uwagę to, że sprzęt komputerowy, na którym prowadzono badania symulacyjne, umożliwiał jednocześnie prowadzenie sześciu symulacji w trybie obliczeń równoległych, przyjęto, że każda seria pomiarowa składać się będzie z 24 indywidualnych symulacji. Taka ilość symulacji pozwalała wyznaczyć charakterystykę sprawności z wystarczającą do tego celu dokładnością, w czasie nieprzekraczającym jednej doby. Każdą z otrzymanych charakterystyk wykreślono na podstawie 24 punktów pomiarowych, określonych poprzez moc wyjściową symulowanego układu oraz sprawność wyznaczoną przy pomocy funkcji *ee_getEfficiency*, na podstawie danych wyjściowych symulacji przeprowadzonej przy symulowanej mocy obciążenia odpowiedniej dla danego punktu pomiarowego. Rezultaty prowadzonych badań symulacyjnych przedstawiono w dalszej części tego rozdziału w formie czterech charakterystyk sprawności, które następnie przeanalizowano i ze sobą porównano.

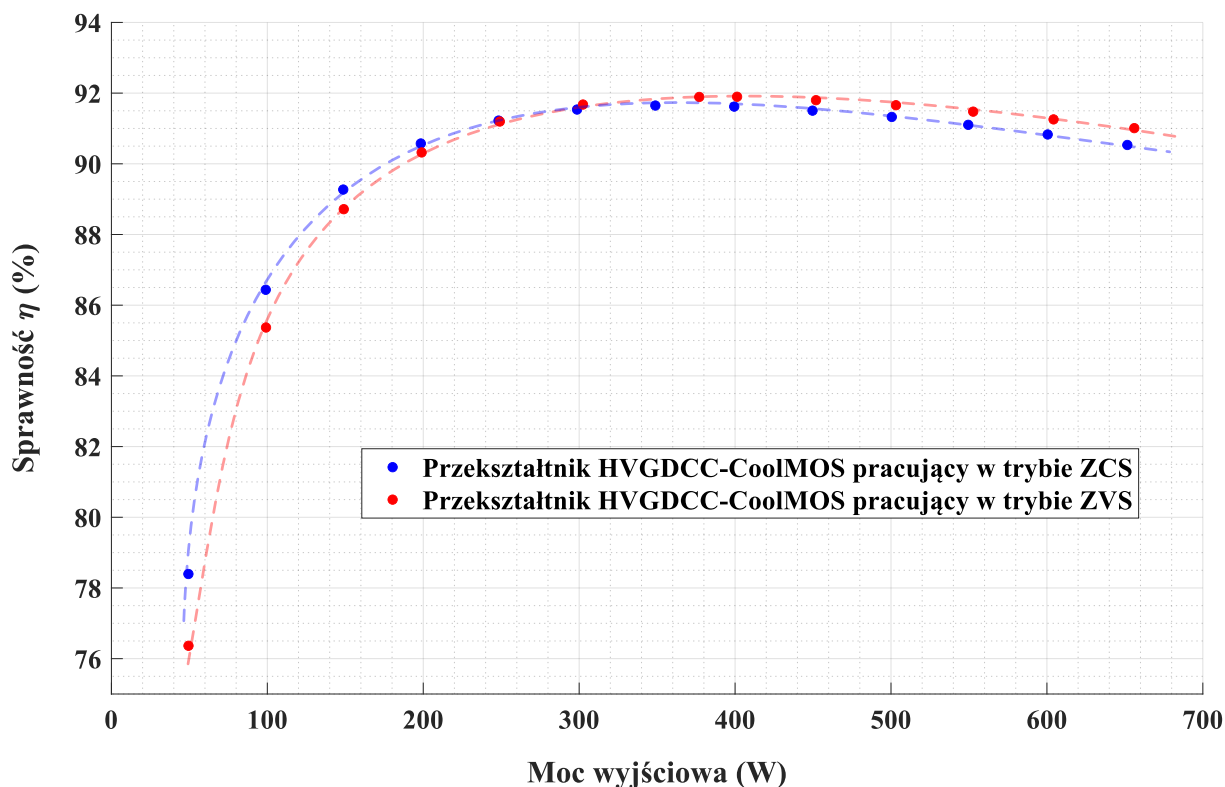
Pierwszy zestaw zarejestrowanych charakterystyk zamieszczono na rys. 4.21. Przedstawione na nim krzywe wizualizują zależność sprawności osiąganą przez przekształtnik HVGDCC-CoolMOS, pracujący w trybie ZCS oraz ZVS, od jego mocy wyjściowej. Z przedstawionych charakterystyk wynika, że w przypadku pracy w trybie ZCS, symulowany układ osiąga maksimum sprawności przy mocy obciążenia wynoszącej 360 W, a uzyskiwana przez niego w tym punkcie sprawność sięga 92 %. Ten sam przekształtnik pracujący w trybie ZVS, swoje maksimum sprawności, które również wynosi 92 %, osiąga przy mocy wyjściowej wynoszącej 400 W. Obie prezentowane charakterystyki przecinają się przy mocy obciążenia wynoszącej 300 W, uzyskując w tym punkcie sprawność na poziomie 91,5 %. W obszarze mocy mniejszych, niż ta przy której dochodzi do przecięcia obu krzywych ($P_{out} < 300$ W), wyższe sprawności uzyskuje przekształtnik pracujący w trybie ZCS. Maksymalna różnica, obserwowana w tej części charakterystyki pomiędzy obiema krzywymi wynosi 2,5 % i można ją zaobserwować, gdy przekształtniki pracują z mocą wyjściową wynoszącą 60 W. Oznacza to więc, że w zakresie mocy mniejszych od 300 W, przekształtnik HVGDCC-CoolMOS pracujący w trybie ZVS generuje więcej strat, niż w przypadku gdyby pracował w trybie klasycznym (ZCS).

Źródłem dodatkowych strat powstających w czasie, gdy układ pracuje w trybie ZVS z niewielkim obciążeniem, są straty łączeniowe związane z realizacją przełączeń wymaganych do wprowadzenia układu w tryb załączania tranzystorów przy zerowym napięciu, oraz wzrost strat przewodzenia niektórych diod prostowniczych, będący efektem wzrostu wartości przepływającego przez nie prądu, co z kolei jest bezpośrednim skutkiem skrócenia czasu trwania interwałów ładowania kondensatorów

przełączanych. Mechanizm powstawania dodatkowych strat, związanych z wprowadzeniem układu w tryb pracy ZVS szerzej opisano w poprzednim rozdziale. W części charakterystyki wykreślonej dla mocy większych od 300 W, w kwestii osiągniętej sprawności dominuje układ pracujący w trybie ZVS. Tym razem, różnica pomiędzy obiema charakterystykami, począwszy od punktu ich przecięcia, stopniowo się zwiększa i pod koniec obserwowanego zakresu osiąga 0,5 %. Warto również zauważyć, że po przekroczeniu maksimum każdej z prezentowanych charakterystyk, w obszarze większych mocy istotną rolę zaczynają odgrywać straty przewodzenia związane z występowaniem w symulowanym przekształtniku licznych rezystancji pasożytniczych, a także kilku diod prostowniczych. Efektem ich obecności jest wyraźnie widoczny spadek sprawności obu układów, występujący w końcowej części analizowanych charakterystyk.

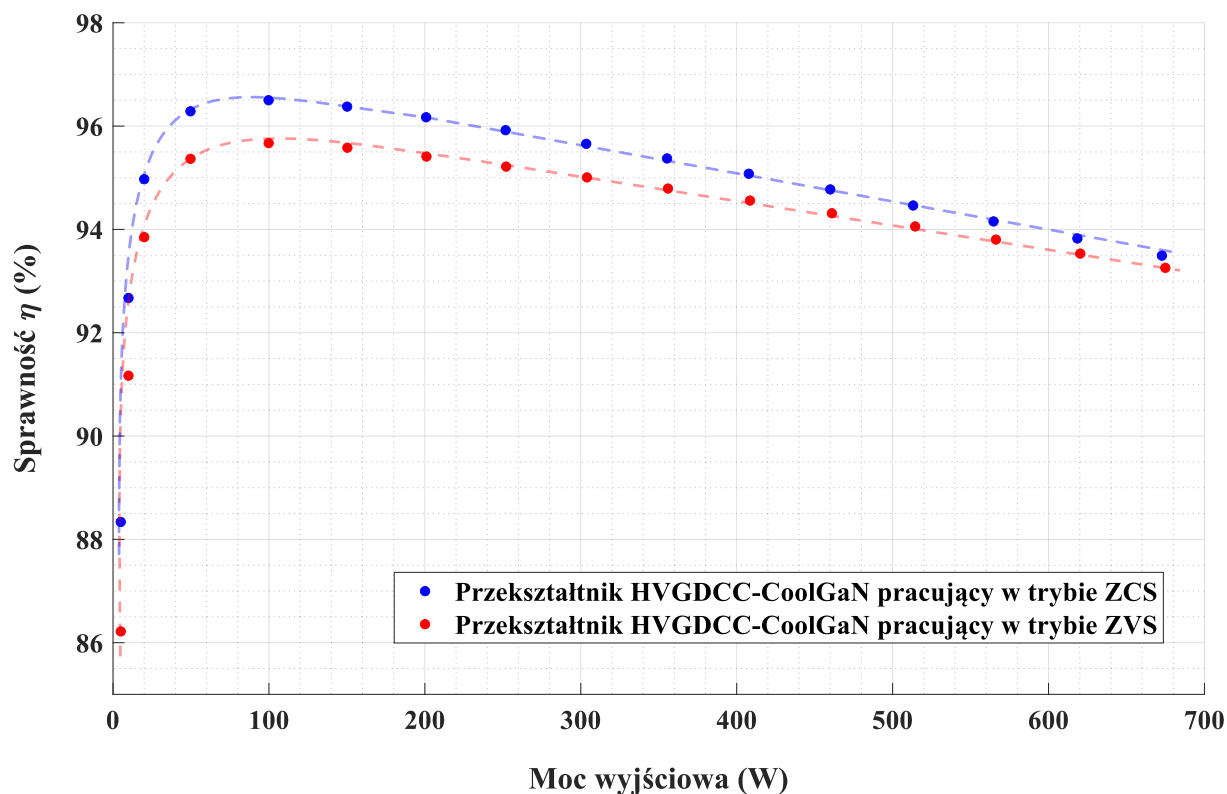
Na podstawie danych zarejestrowanych w czasie badań symulacyjnych, wykreślono także zestaw charakterystyk sprawności dla układu HVGDCC-CoolGaN pracującego zarówno w trybie ZCS, jak i ZVS. Obie charakterystyki przedstawiono na rys. 4.22, a na podstawie ich przebiegu można stwierdzić, iż w całym analizowanym zakresie mocy wyjściowych tych przekształtników, wyższą sprawnością charakteryzuje się układ pracujący w trybie ZCS. Maksymalna różnica w sprawności obu

Symulowane charakterystyki sprawności przekształtnika HVGDCC-CoolMOS



Rys. 4.21. Symulowane charakterystyki sprawności przekształtnika HVGDCC-CoolMOS pracującego w trybie ZCS oraz ZVS

Symulowane charakterystyki sprawności przekształtnika HVGDCC-CoolGaN



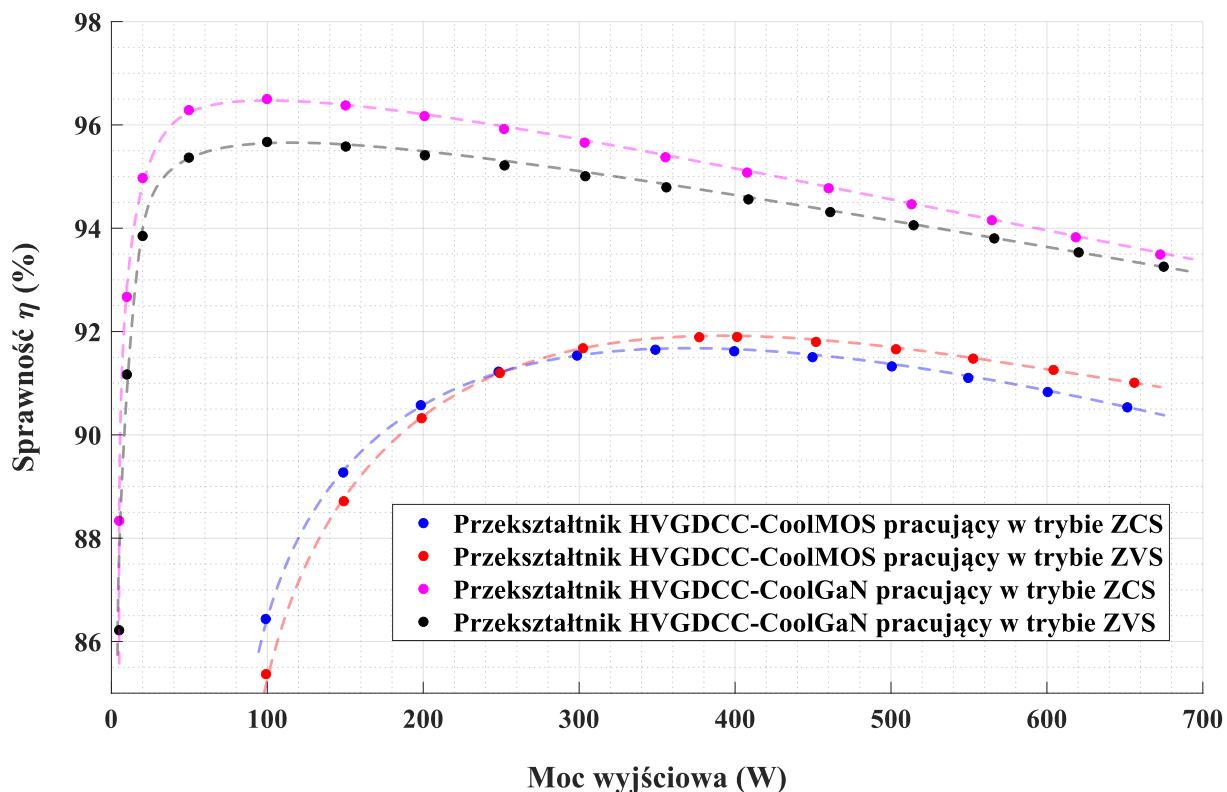
Rys. 4.22. Symulowane charakterystyki sprawności przekształtnika HVGDCC-CoolGaN pracującego w trybie ZCS oraz ZVS

układów, jaką można zaobserwować pomiędzy wykreślonymi krzywymi, sięga jednego punktu procentowego i występuje przy mocy wyjściowej przekształtników wynoszącej około 60 W. Wraz ze wzrostem mocy wyjściowej badanych układów, różnica ta maleje, a pod koniec obserwowanego zakresu (675 W), jest mniejsza niż pół punktu procentowego. Obie przedstawione charakterystyki osiągają swoje maksimum przy mocy wyjściowej wynoszącej około 80 W. Przy takim obciążeniu układ pracujący w trybie ZCS przekształca energię ze sprawnością wynoszącą 96,5 %. W przypadku tego samego przekształtnika pracującego w trybie ZVS, maksymalna sprawność, z jaką może on pracować, wynosi 95,6 %, a więc dziewięć dziesiątych punktu procentowego mniej niż miało to miejsce w przypadku układu pracującego w trybie klasycznym (ZCS). Na podstawie prezentowanych charakterystyk można wnioskować, iż poziom strat łączeniowych występujących w badanym przekształtniku jest niewielki. Wniosek ten potwierdza charakterystyczny kształt początkowych odcinków obu prezentowanych charakterystyk, w których przy bardzo małych wartościach mocy wyjściowej badany przekształtnik osiąga relatywnie wysoki poziom sprawności, przekraczający 95 % w trybie ZVS oraz 96 % w trybie ZCS. Ponadto, po przekroczeniu maksimum każdej z prezentowanych charakterystyk, dla mocy wyjściowych badanych układów większych niż 150 W, istotną rolę zaczynają odgrywać straty przewodzenia związane

z występowaniem w symulowanym przekształtniku licznych rezystancji pasożytniczych, a także kilku diod prostowniczych. Efektem ich obecności jest wyraźnie widoczny, w przybliżeniu liniowy, spadek sprawności obu układów, utrzymujący się, aż do ostatniego punktu analizowanej charakterystyki.

Kolejnym punktem analizy charakterystyk sprawności otrzymanych w wyniku przeprowadzenia symulacji komputerowych przekształtników HVGDCC-CoolMOS oraz HVGDCC-CoolGaN, pracujących w trybie ZCS oraz ZVS, było porównanie krzywych sprawności zarejestrowanych dla każdego z tych układów. W tym celu na wspólnym rysunku (rys. 4.23) wykreślono zestaw charakterystyk sprawności, wszystkich badanych modeli symulacyjnych przekształtnika HVGDCC. Z przedstawionego wykresu jednoznacznie wynika, iż w całym zakresie analizowanych mocy wyjściowych badanych układów, najwyższą sprawność uzyskuje przekształtnik zbudowany z wykorzystaniem tranzystorów typu CoolGaN. Interesujący jest także fragment charakterystyki wizualizujący sprawność obu układów w zakresie niewielkich mocy wyjściowych. Ograniczając obszar analizy do mocy wyjściowych nie przekraczających 100 W, można zaobserwować, że różnica w sprawności obu układów przekracza w tej części charakterystyki aż 10 %. Mając na uwadze to, że oba przekształtniki pracują z taką samą mocą wyjściową, która nie przekracza 100 W, a wynikające z poziomu

**Symulowane charakterystyki sprawności przekształtników
HVGDCC-CoolMOS oraz HVGDCC-CoolGaN**



Rys. 4.23. Symulowane charakterystyki sprawności przekształtników HVGDCC-CoolMOS oraz HVGDCC-CoolGaN pracujących w trybie ZCS oraz ZVS

obciążenia wartości prądów płynących w układzie również są niewielkie, można za ryzykować stwierdzenie, iż bezpośrednio związane z wartościami prądów płynących w obwodzie straty przewodzenia nie są odpowiedzialne za powstanie tak dużych rozbieżności w charakterystykach sprawności obu badanych układów. Za źródło wspomnianych rozbieżności należy zatem uznać straty łączeniowe, które w przypadku układu HVGDCC-CoolMOS są zdecydowanie wyższe niż w przypadku jego odpowiednika wykonanego na bazie tranzystorów typu CoolGaN. Warto również zwrócić uwagę na to, że przełączenie przekształtnika HVGDCC-CoolMOS w tryb pracy ZVS przyniosło spodziewany rezultat w postaci ograniczenia strat występujących w układzie, co w prezentowanej charakterystyce można zaobserwować dla mocy większych od 300 W. W przypadku układu HVGDCC-CoolGaN, w zakresie mocy wyjściowych uwzględnionych w prezentowanej charakterystyce, nie odnotowano zwiększenia jego sprawności w wyniku zmiany trybu pracy na ZVS. W krzywych sprawności układu HVGDCC-CoolGaN związanych z jego pracą w trybie ZCS oraz ZVS można zaobserwować trend zmian prowadzący do ich przecięcia, jednak tempo spadku obu tych charakterystyk wskazuje, że doszłoby do tego tuż przed osiągnięciem przez przekształtnik maksymalnej mocy wyjściowej, którą na etapie projektowania ograniczono do 1000 W. Biorąc to pod uwagę, należy stwierdzić, że korzyść płynąca z wprowadzenia układu HVGDCC-CoolGaN w tryb pracy ZVS przy jego maksymalnej mocy wyjściowej byłaby pomijalna.

5. Badania eksperymentalne

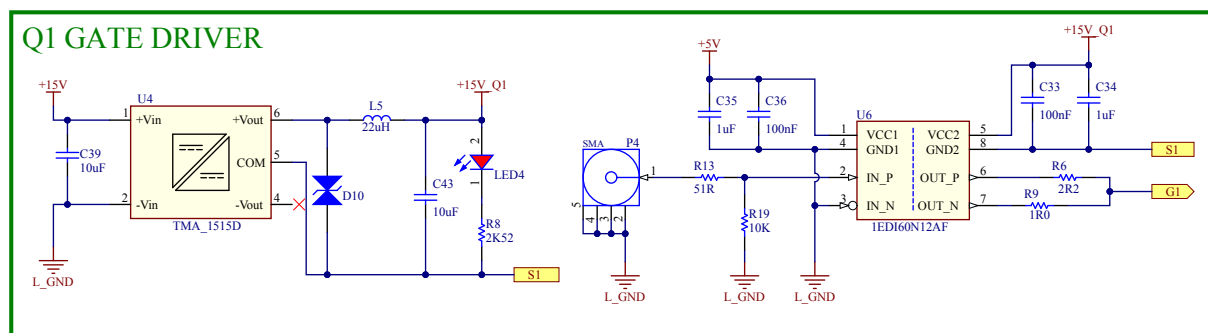
Rozdział ten zawiera opis zaprojektowanych i wykonanych przez autora niniejszej pracy doktorskiej testowych układów energoelektronicznych oraz przeprowadzonych na nich eksperymentów. Strukturalnie został on podzielony na kilka części, w których kolejno opisano projekty, jak również w pełni funkcjonalne układy przeznaczone do badań laboratoryjnych. Celem prowadzonych prac badawczych było porównanie warunków pracy wielopoziomowego przekształtnika HVGDCC w zależności od tego, jakiego typu tranzystory wykorzystano do budowy jego obwodu mocy. Zgodnie z tematem niniejszej rozprawy doktorskiej porównaniu poddano dwa przekształtniki energoelektroniczne o topologii HVGDCC, z których pierwszy został przez autora wykonany z wykorzystaniem tranzystorów typu CoolMOS, a w strukturze drugiego z nich zastosowano łączniki typu CoolGaN. Szczegółowy opis obu tych układów zamieszczono w podrozdziale pierwszym oraz drugim. W dwóch kolejnych sekcjach tego rozdziału omówiono kontroler FPGA wykorzystany do sterowania pracą badanych przekształtników, oraz przedstawiono opis przygotowanych stanowisk laboratoryjnych uwzględniający listę wykorzystanego sprzętu pomiarowego. W podrozdziale piątym, na podstawie zarejestrowanych oscylogramów dowiedziono, iż teoretyczny opis zasady działania przekształtnika o topologii HVGDCC przedstawiony w rozdziale 2.1 odzwierciedla jego faktyczny sposób funkcjonowania. W tej części pracy dowiedziono także, że wyniki przeprowadzonych symulacji, które opisano w rozdziale 4, odzwierciedlają sposób funkcjonowania rzeczywistego przekształtnika HVGDCC. W podrozdziale szóstym przedstawiono wyniki przeprowadzonych badań eksperymentalnych i analiz dotyczących pracy przekształtników HVGDCC-CoolMOS oraz HVGDCC-CoolGaN kolejno w trybie ZCS oraz ZVS. W tej części pracy także zaprezentowano oraz omówiono wyniki pomiarów sprawności obu zbudowanych przekształtników.

5.1 Projekt przekształtnika HVGDCC z tranzystorami typu Cool-MOS

Projekt przekształtnika HVGDCC-CoolMOS analizowanego w ramach prac związanych z przygotowaniem niniejszej rozprawy doktorskiej został wykonany przez jej

autora z wykorzystaniem oprogramowania *Altium Designer*. Zakres prowadzonych prac obejmował przygotowanie schematu ideowego całego urządzenia, opracowanie bibliotek większości z zastosowanych komponentów, zaprojektowanie obwodu drukowanego oraz wykonanie cyfrowej wizualizacji kompletnego przekształtnika. Dla zachowania przejrzystości dokumentacji schemat ideowy podzielono na dwie części. W pierwszej z nich zamieszczono wszystkie obwody sterujące pracą poszczególnych tranzystorów, a w części drugiej znalazły się zaś elementy wchodzące w skład obwodu mocy.

Zamieszczony na rys. 5.1 fragment schematu ideowego przedstawia jeden z pięciu obwodów bramkowych występujących w badanym układzie. Ze względu na wielopoziomową strukturę zaproponowanej topologii, charakteryzującą się silnie zróżnicowanymi wartościami napięć występujących pomiędzy węzłem odniesienia układu sterującego, a źródłami poszczególnych tranzystorów, konieczne było wykonanie obwodów sterujących pracą poszczególnych łączników z zachowaniem pełnej izolacji galwanicznej pomiędzy ich stroną wejściową i wyjściową. Efekt ten osiągnięto dzięki zastosowaniu sterowników bramkowych (U6) typu *Infineon EiceDRIVER 1EDI60N12AF* [110], których zadaniem, oprócz odpowiednio szybkiego załączania i wyłączania tranzystorów pracujących w obwodzie głównym przekształtnika, było odizolowanie niskonapięciowego sterownika FPGA i zabezpieczenie go przed uszkodzeniem w wyniku kontaktu z napięciami o znacznych wartościach, występującymi w obwodzie wykonawczym badanego układu. Ponadto, w projekcie przewidziano także izolowane przetwornice małej mocy (U4), przeznaczone do zasilania obwodów wyjściowych poszczególnych sterowników bramkowych. Ich zastosowanie umożliwiło zasilanie każdego sterownika bramkowego napięciem o odpowiedniej wartości przy jednoczesnym zachowaniu pełnej izolacji galwanicznej pomiędzy obwodem mocy, a obwodem sterującym oraz sekcjami wyjściowymi poszczególnych sterowników bramkowych. Wspomniane przetwornice dobrano w taki sposób, aby ich napięcie wyjściowe odpowiadało wymaganiom stawianym w tej kwestii przez wytypowane

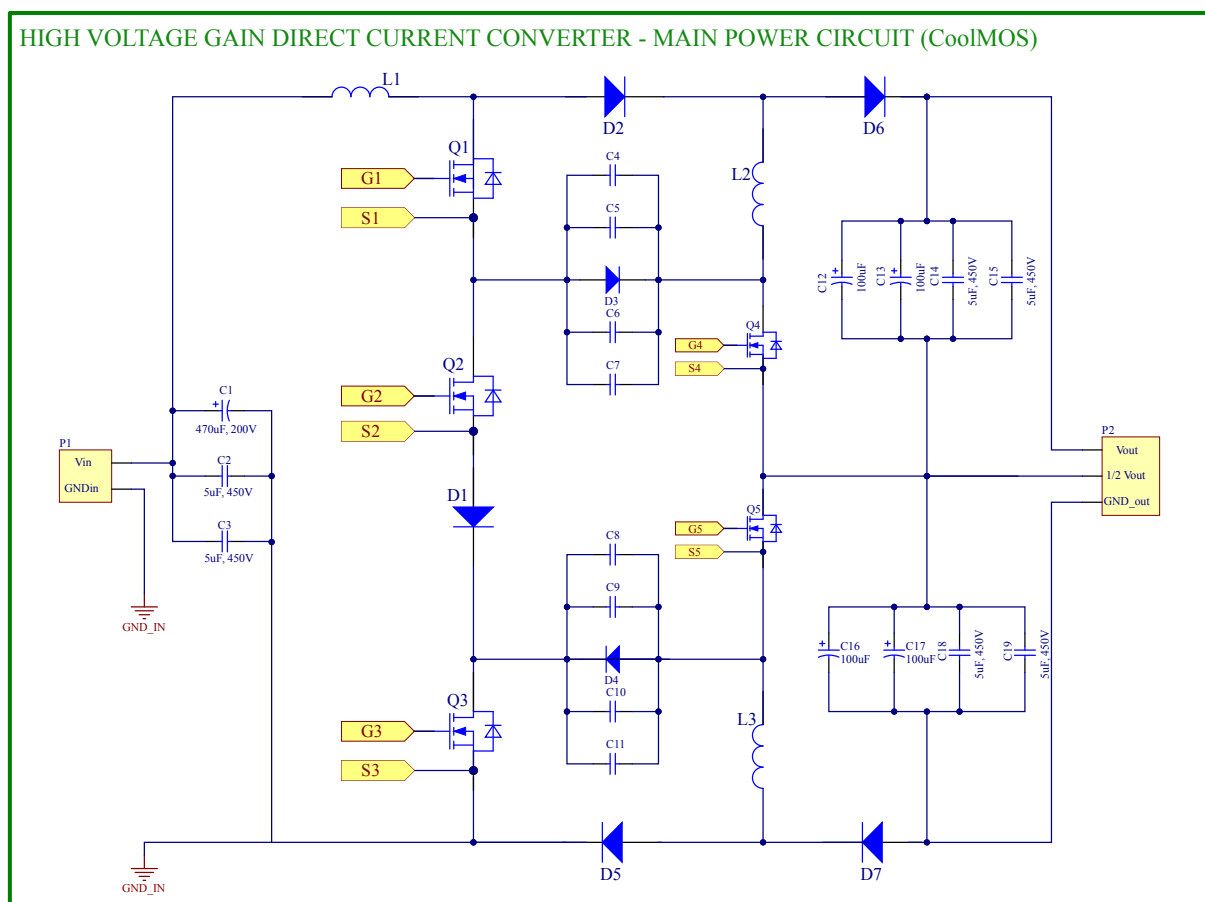


Rys. 5.1. Schemat ideowy obwodu sterującego pracą tranzystora Q1 w zaproponowanym przekształtniku HVGDCC zbudowanym z wykorzystaniem tranzystorów CoolMOS

tranzystory oraz ich sterowniki bramkowe. Pozostałe elementy widoczne na przedstawionym fragmencie schematu są to komponenty zabezpieczające, sygnalizujące oraz konieczne do poprawnej pracy układu, jednak nie tak istotne, aby w sposób szczegółowy opisywać procedurę ich doboru. W większości dobrano je na podstawie zaleceń producentów poszczególnych układów dostępnych w ich dokumentacji technicznej lub korzystając z doświadczeń autora wynikających z budowy innych układów elektronicznych i energoelektronicznych.

Schemat ideowy obwodu mocy przekształtnika HVGDCC-CoolMOS zamieszczono na rys. 5.2. Przedstawia on rzeczywistą implementację koncepcyjnego układu połączeń topologii HVGDCC (rys. 2.1), a jego uzupełnienie stanowi zamieszczone w tabeli 5.1 zestawienie najistotniejszych komponentów elektronicznych wykorzystanych do budowy tego przekształtnika. .

Jak można zauważyć, schemat układu rzeczywistego jest zdecydowanie bardziej szczegółowy i w swojej strukturze uwzględnia elementy, które pomijano na etapie analiz teoretycznych. W szczególności, schemat na którego podstawie w późniejszym etapie prac przygotowano projekt obwodu drukowanego uwzględnia fakt, że elementy pojemnościowe do tej pory przedstawiane w postaci jednego kondensatora, w rzeczy-



Rys. 5.2. Schemat ideowy obwodu mocy przekształtnika HVGDCC, w którego strukturze zastosowano tranzystory CoolMOS

Tabela 5.1. Konfiguracja sprzętowa przekształtnika HVGDCC wykonanego w wersji z tranzystorami CoolMOS, badanego w czasie testów eksperymentalnych

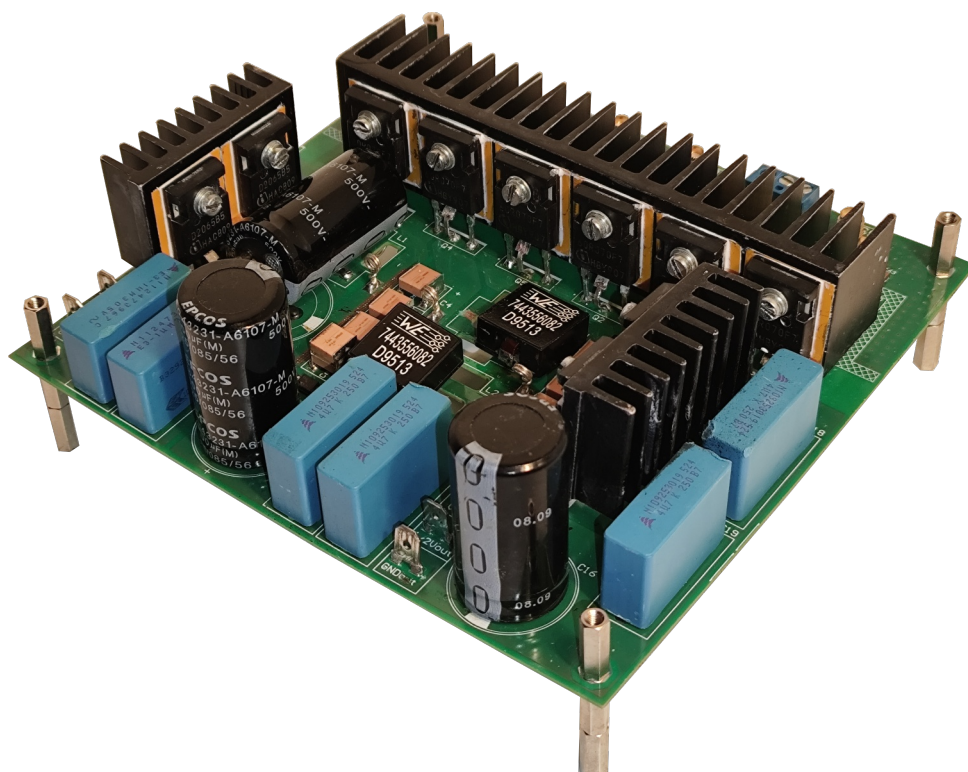
Element przekształtnika	Zastosowany komponent
Tranzystory (Q_1 - Q_5)	Infineon IPW60R070CFD7 [99]
Diody prostownicze (D_1 - D_5)	D_1 - D_3 : ST STPS60SM200C [116] D_4 - D_5 : IDW20G65C5B [101]
Kondensatory przełączane (C_2 , C_3)	5x Ceralink 1 μ F TDK B58031I5105M062 [103]
Dławiki rezonansowe (L_1 , L_2)	Würth Elektronik 820 nH 7443556082 [104]
Kondensator wejściowy (C_1)	EPCOS 100 μ F B43231-A6107-M [105] + 2x EPCOS 1 μ F B32924 X2 MKP [106]
Dławik filtrujący (L_f)	EATON 4.7 μ F HCM1A1707-4R7-R [108]
Kondensatory wyjściowe (C_4 , C_5)	EPCOS 100 μ F B43231-A6107-M [105] + 2x EPCOS 4.7 μ F B32524Q3475K [109]
Sterowniki bramkowe	Infineon 1EDI60N12AF [110]

wistości stanowią połączenie kilku elementów dyskretnych. Na rzeczywistym schemacie, można również dostrzec, że do kondensatorów rezonansowych dołączono równolegle diody prostownicze spolaryzowane w taki sposób, aby w stanach przejściowych i awaryjnych napięcia występujące na tych pojemnościach utrzymywały zwrot zgodny z tym wynikającym z zasady działania opracowanego przekształtnika. Analizując schemat przekształtnika HVGDCC-CoolMOS, warto również wspomnieć iż pierwotnie, w roli dławików rezonansowych (L_2 oraz L_3) zastosowano elementy planarne, jednak w czasie testów okazało się, iż sposób wykonania połączeń międzywarstwowych w ich uzwojeniach (przelotki o dużej średnicy wypełnione spoiwem lutowniczym), charakteryzował się niewystarczającą obciążalnością prądową dla tej aplikacji.

W efekcie, połączenia te nadmiernie się nagrzewały, a ich rosnąca rezystancja skutkowała obniżeniem sprawności badanego układu. Aby rozwiązać ten problem, dokonano modyfikacji układu polegającej na przecięciu uzwojeń tych dławików na jednej z warstw zewnętrznych i zastąpieniu ich przez elementy montowane powierzchniowo. Podobnie postąpiono w przypadku dławika L_1 , który okazał się niepotrzebny i został zastąpiony zworą.

Pełny schemat, na podstawie którego przygotowano obwód drukowany, a następnie zbudowano kompletny przekształtnik HVGDCC-CoolMOS, został dołączony do niniejszej pracy w formie załącznika 7.2. Poza samym schematem, projekt ten zawiera także wizualizację poszczególnych warstw zaprojektowanego obwodu drukowanego oraz trójwymiarowy model kompletnego układu.

Po zakończeniu prac projektowych przystąpiono do budowy opracowanego przekształtnika, którego fotografię zamieszczono na rys. 5.3. Prace montażowe rozpoczęto od zalutowania elementów przeznaczonych do montażu powierzchniowego, następnie zalutowano elementy montowane w sposób przewlekany. W kolejnym kroku, do montażu przygotowano radiatory, co obejmowało ich docięcie na odpowiedni wymiar, wyznaczenie pozycji otworów montażowych dla diod i tranzystorów oraz ich wywiercenie i nagwintowanie. Elementy półprzewodnikowe zostały umieszczone na podkładkach izolacyjnych, tak aby pozostawały one elektrycznie odizolowane od radiatora. Ostatnim etapem montażu przekształtnika było zespolenie ze sobą wcześniej



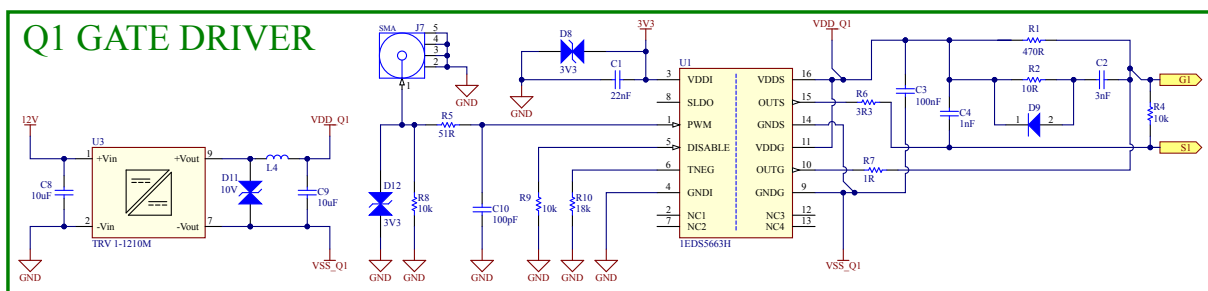
Rys. 5.3. Zbudowany przez autora rozprawy przekształtnik HVGDCC zawierający w swoim obwodzie mocy tranzystory typu CoolMOS

już zamontowanych na radiatorach elementów półprzewodnikowych z główną płytą przekształtnika. Fotografiię przedstawioną na rys. 5.3 wykonano po zakończeniu testów eksperymentalnych układu, w związku z czym można już na niej zauważyć opisaną wcześniej modyfikację pierwotnego projektu układu, polegającą na zastąpieniu dławików planarnych elementami SMD (ang. Surface Mount Device), czy także dodatkowe punkty pomiarowe umożliwiające wygodne zaczeplenie sond oscyloskopowych, jak również charakterystycznie wygięte doprowadzenia tranzystorów, umożliwiające pomiar przepływającego przez nie prądu za pomocą cewki Rogowskiego.

5.2 Projekt przekształtnika HVGDCC z tranzystorami typu Cool-GaN

Podobnie jak miało to miejsce w przypadku wcześniej omawianego przekształtnika (HVGDC-CoolMOS), również projekt układu HVGDCC-CoolGaN został opracowany samodzielnie przez autora niniejszej rozprawy doktorskiej. W czasie prac projektowych wykorzystano oprogramowanie *Altium Designer*, a Zakres prowadzonych prac obejmował przygotowanie schematu ideowego całego urządzenia, opracowanie bibliotek większości z zastosowanych komponentów, zaprojektowanie obwodu drukowanego oraz wykonanie cyfrowej wizualizacji kompletnego przekształtnika. Dla zachowania przejrzystości dokumentacji schemat ideowy podzielono na dwie części. W pierwszej z nich zamieszczono wszystkie obwody sterujące pracą poszczególnych tranzystorów, a w części drugiej znalazły się zaś elementy wchodzące w skład obwodu mocy. Zamieszczony na rys. 5.4 fragment schematu ideowego przedstawia jeden z pięciu obwodów bramkowych występujących w badanym układzie.

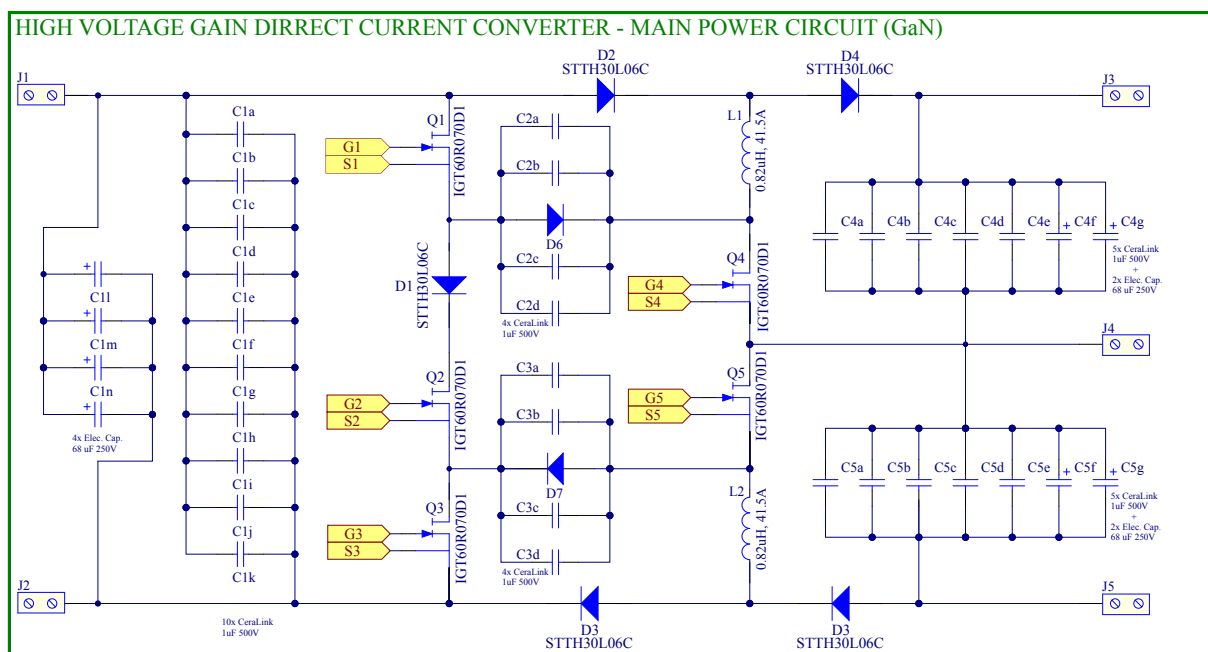
Ze względu na wielopoziomową strukturę zaproponowanej topologii, charakteryzującą się silnie zróżnicowanymi wartościami napięć występujących pomiędzy węzłem odniesienia układu sterującego, a źródłami poszczególnych tranzystorów, konieczne było wykonanie obwodów sterujących pracą poszczególnych tranzystorów z zachowaniem pełnej izolacji galwanicznej pomiędzy ich stroną wejściową i wyj-



Rys. 5.4. Schemat ideowy obwodu sterującego pracą tranzystora Q1 w zaproponowanym przekształtniku HVGDCC zbudowanym z wykorzystaniem tranzystorów CoolGaN

ściową. Efekt ten osiągnięto dzięki zastosowaniu sterowników bramkowych (U1) typu *Infineon EiceDriver 1EDS5663H* [111], których zadaniem, oprócz odpowiednio szybkiego załączania i wyłączania tranzystorów pracujących w obwodzie głównym przekształtnika, było odizolowanie niskonapięciowego sterownika FPGA i zabezpieczenie go przed uszkodzeniem w wyniku kontaktu z napięciami o znacznych wartościach, występującymi w obwodzie głównym badanego przekształtnika. Ponadto, w projekcie przewidziano także izolowane przetwornice małej mocy (U3), przeznaczone do zasilania obwodów wyjściowych poszczególnych sterowników bramkowych. Ich zastosowanie umożliwiło zasilenie każdego z sterowników bramkowych napięciem o odpowiedniej wartości przy jednoczesnym zachowaniu pełnej izolacji galwanicznej pomiędzy obwodem mocy, a obwodem sterującym. Pozostałe komponenty widoczne na przedstawionym schemacie ideowym (rys. 5.4) dobrano zgodnie z zaleceniami dostępnymi w dokumentacji technicznej [111] zastosowanego sterownika bramkowego. Ich wartości przyjęto tak, aby przede wszystkim zminimalizować napięcie przewodzenia wstecznego tranzystorów GaN poprzez utrzymywanie na ich bramce w stanie wyłączenia napięcia o zerowej wartości oraz zapewnić ich szybkie wyłączenie poprzez krótkotrwałe podanie impulsu napięcia o ujemnej wartości na ich elektrodę sterującą.

Schemat ideowy obwodu mocy przekształtnika HVGDC-CoolGaN przedstawiono na rys. 5.5. Stanowi on rzeczywistą implementację teoretycznego układu połączeń przekształtnika o topologii HVGDC, który zaprezentowano na rys. 2.1. Jak można zauważyć, schemat układu rzeczywistego jest zdecydowanie bardziej szczegółowy i w swojej strukturze uwzględnia elementy pomijane na etapie analiz teore-



Rys. 5.5. Schemat ideowy obwodu mocy analizowanego przekształtnika HVGDC, w którym zastosowano tranzystory z azotku galu GaN

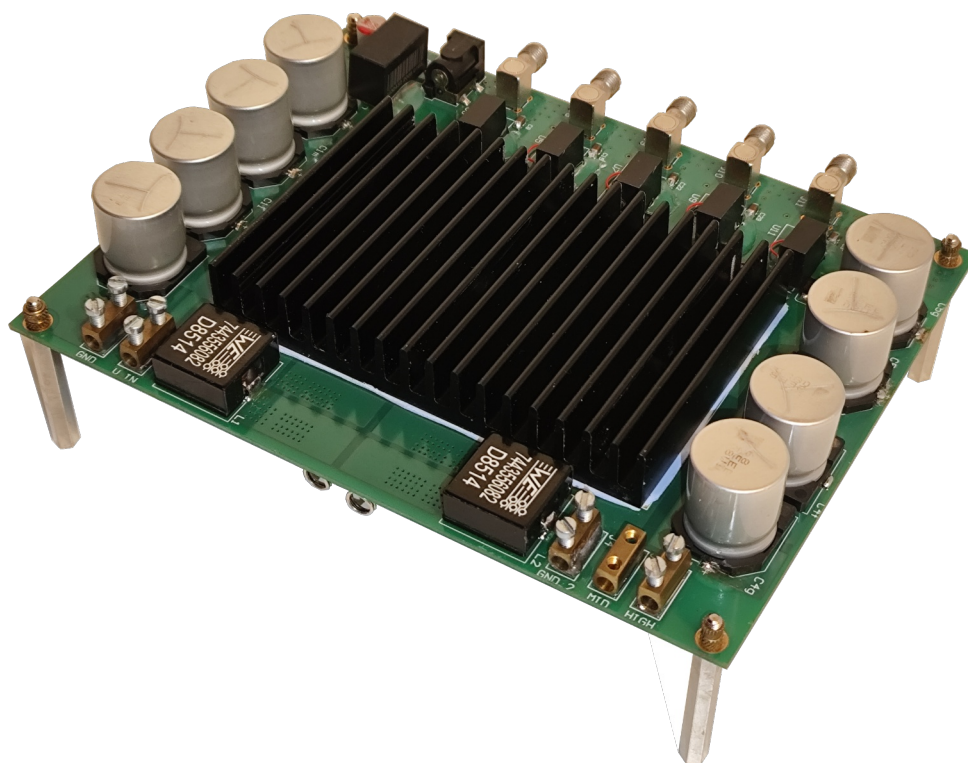
tycznych. W szczególności, schemat na którego podstawie w późniejszym etapie prac przygotowano projekt obwodu drukowanego uwzględnia fakt, że elementy pojemnościowe do tej pory przedstawiane w postaci jednego kondensatora, w rzeczywistości stanowią połączenie kilku elementów dyskretnych. Na rzeczywistym schemacie, można również dostrzec, że do kondensatorów rezonansowych dołączono równolegle diody prostownicze spolaryzowane w taki sposób, aby w stanach przejściowych i awaryjnych napięcia występujące na tych pojemnościach utrzymywały zwrot zgodny z tym wynikającym z zasady działania opracowanego przekształtnika.

Pełny schemat, na podstawie którego przygotowano obwód drukowany, a następnie zbudowano kompletny przekształtnik HVGDCC-CoolGaN, został dołączony do niniejszej pracy w formie załącznika 7.1. Poza samym schematem, projekt ten zawiera także wizualizację poszczególnych warstw zaprojektowanego obwodu drukowanego oraz trójwymiarowy model kompletnego układu. Zestawie najważniejszych komponentów wykorzystanych do budowy przekształtnika HVGDCC-CoolGaN, przedstawia zaś tabela 5.2.

Tabela 5.2. Konfiguracja sprzętowa przekształtnika HVGDCC wykonanego w wersji z tranzystorami typu CoolGaN, badanego w czasie testów eksperymentalnych

Element przekształtnika	Zastosowany komponent
Tranzystory $Q_1 - Q_5$	Infineon CoolGaN IGT40R070D1 [100]
Diody prostownicze $D_1 - D_5$	ST STTH30L06C [102]
Kondensatory przełączane C_2, C_3	5x Ceralink $1\mu\text{F}$ TDK B58031I5105M062 [103]
Dławiki rezonansowe (L_1, L_2)	Würth Elektronik 820 nH 7443556082 [104]
Kondensator wejściowy (C_1)	4x Panasonic 68 μF EEV-EB2E680M [107] + 10x Ceralink $1\mu\text{F}$ TDK B58031I5105M062 [103]
Dławik filtrujący (L_f)	EATON 4.7 μF HCM1A1707-4R7-R [108]
Kondensatory wyjściowe (C_4, C_5)	2x Panasonic 68 μF EEV-EB2E680M [107] + 5x Ceralink $1\mu\text{F}$ TDK B58031I5105M062 [103]
Sterowniki bramkowe	Infineon 1EDS5663H [111]

Po zakończeniu prac projektowych przystąpiono do budowy układu eksperymentalnego, którego fotografię zamieszczono na rys. 5.6. Większość z zastosowanych elementów tej wersji przekształtnika przeznaczona była do montażu powierzchniowego. Projekt zakładał również zastosowanie tego typu komponentów w roli diod i tranzystorów pracujących w obwodzie mocy budowanego przekształtnika. W związku z tym, rolą obwodu drukowanego, poza realizacją połączeń elektrycznych pomiędzy poszczególnymi komponentami, było także odprowadzenie ciepła powstającego w strukturach półprzewodnikowych tych elementów w czasie pracy układu. W celu realizacji tego zadania, na etapie projektowania pozostawiono odpowiednio duże obszary miedzi położone tuż pod poszczególnymi diodami i tranzystorami, ale także na warstwach wewnętrznych i drugiej warstwie zewnętrznej zaprojektowanej płyty PCB. Po przeciwnej stronie obwodu drukowanego do tej, na której zamontowano elementy półprzewodnikowe wchodzące w skład obwodu mocy przekształtnika, przewidziano miejsce na radiator, którego rolą było odbieranie ciepła od obwodu drukowanego i wypromieniowywanie go do otoczenia. Wymiary radiatora przewidzianego w projekcie nie były znormalizowane, dlatego proces jego montażu rozpoczęto od docięcia go na odpowiedni wymiar oraz wyznaczenia na jego powierzchni miejsc, w których następnie wywiercono otwory pod śruby mocujące go do powierzchni laminatu. Radiator osadzono na elastycznej podkładce termoprzewodzącej, charakteryzującej się niewielką rezystancją termiczną oraz zapewniającej izolację galwaniczną

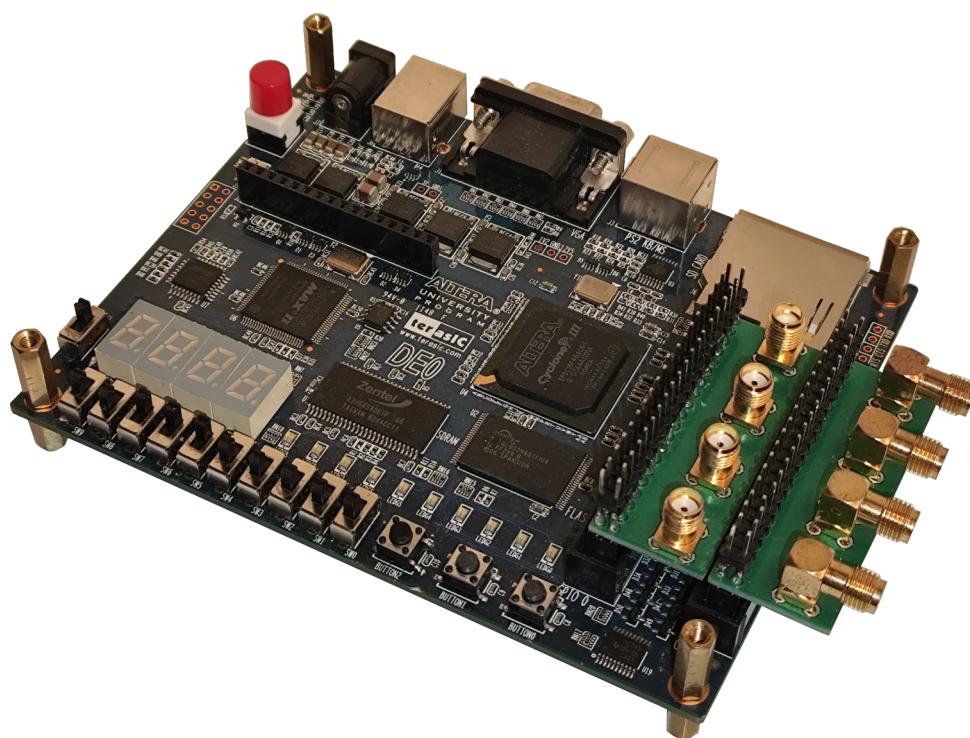


Rys. 5.6. Zbudowany przez autora rozprawy przekształtnik HVGDCC zawierający w swoim obwodzie mocy tranzystory typu CoolGaN

po między radiatorem oraz fragmentami obwodu drukowanego, z których na etapie jego produkcji, zgodnie z projektem, usunięto maskę antylutowniczą w celu zminimalizowania rezystancji termicznej pomiędzy powierzchnią obwodu drukowanego a radiatorem. Na pierwszym planie fotografii (rys. 5.6) przedstawiającej przekształtnik HVGDCC-CoolGaN widoczne są dławiki rezonansowe oraz zaciski śrubowe przeznaczone do połączenia badanego układu ze źródłem zasilającym i obciążeniem. Wzdłuż bocznych krawędzi płytki rozmieszczono elektrolityczne kondensatory wejściowe i wyjściowe, natomiast w jej centralnej części umieszczono wspomniany wcześniej radiator, a tuż za nim przetwornice zasilające sterowniki bramkowe.

5.3 Kontroler sterujący pracą tranzystorów

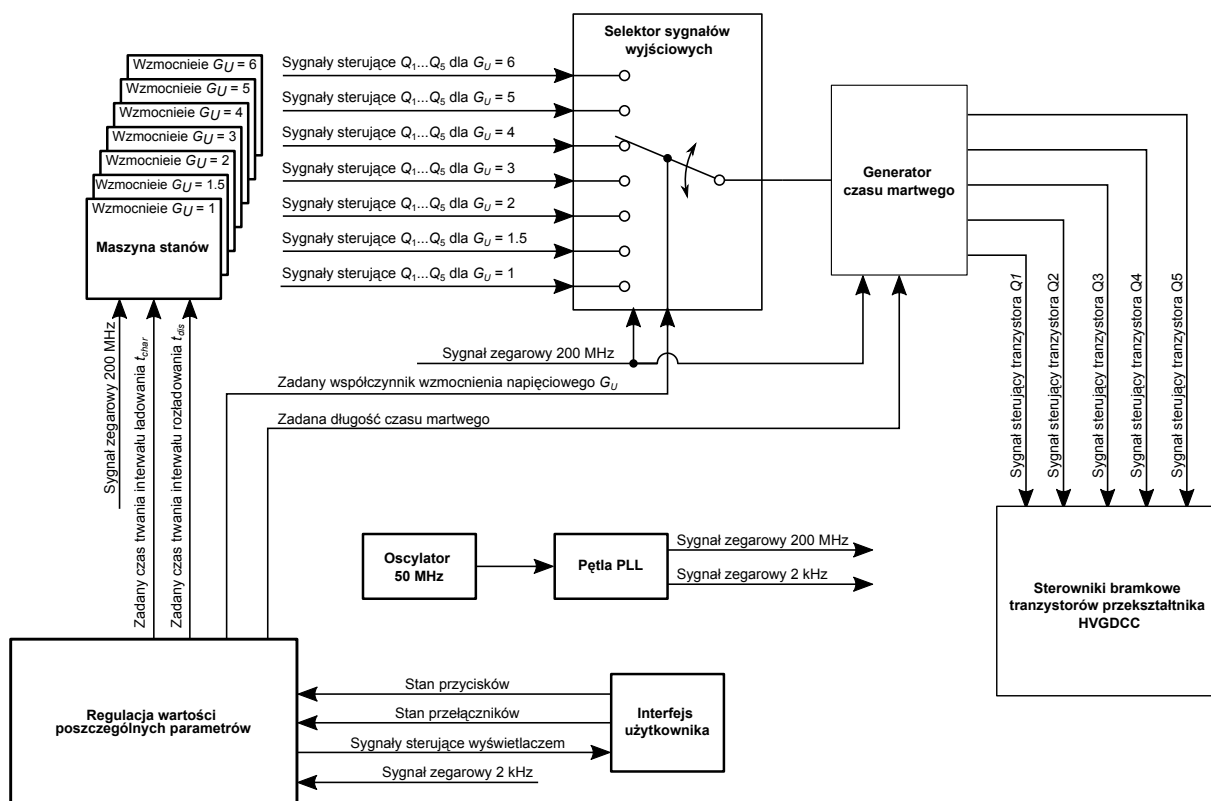
W roli elementu kontrolującego pracę badanego przekształtnika zastosowano układ będący programowalną matrycą bramek logicznych (FPGA). Było to podyktowane potrzebą zapewnienia wysokiej dokładności odmierzenia czasu trwania impulsów sterujących pracą poszczególnych tranzystorów oraz koniecznością implementacji kilku niezależnych i jednocześnie pracujących automatów sekwencyjnych. Wszystko to sprawiło, że układy FPGA, charakteryzujące się niskimi czasami propagacji sygnałów cyfrowych, możliwością równoległego wykonywania operacji logicznych, wysokimi częstotliwościami pracy oraz brakiem znanego z układów mikroprocesorowych systemu przerwań, zostały wytypowane do zastosowania w roli sterownika badanego przekształtnika HVGDCC. Dodatkowym atutem było również to, że wydziałowe laboratorium, w którym zatrudniony jest autor niniejszej rozprawy doktorskiej, posiada kilka zestawów rozwojowych wyposażonych w układy FPGA i podstawowy interfejs użytkownika. W czasie prowadzonych prac badawczych wykorzystano układ FPGA Cyclone III EP3C16F484 wyprodukowany przez firmę ALTERA, będący częścią zestawu rozwojowego DE0 opracowanego przez spółkę TerasIC. Zastosowana płyta ewaluacyjna idealnie nadawała się do tego celu, gdyż jest wyposażona w prosty interfejs użytkownika składający się z wyświetlacza siedmiosegmentowego, kilku przycisków, przełączników, sygnalizacyjnych diod LED oraz dwóch złącz IDC umożliwiających połączenie całej platformy z urządzeniami zewnętrznymi. Do połączenia kontrolera z badanymi przekształtnikami zastosowano przewody koncentryczne zakończone wtykami SMA oraz adaptery umożliwiające ich połączenie z poszczególnymi wyprowadzeniami złącz IDC zestawu ewaluacyjnego. Układ ewaluacyjny DE0 wraz z adapterem przedstawiono na rys. 5.7. Główna część przygotowanego algorytmu, odpowiedzialna za odmierzenie czasu trwania poszczególnych impulsów sterujących pracą tranzystorów, działała w takt sygnału zegarowego o częstotliwości 200 MHz, co pozwalało na zmianę ich długości z rozdzielczością 5 ns. Sygnał zegarowy o tej częstotliwości został wygenerowany przez wbudowaną



Rys. 5.7. Kontroler stosowany w czasie testów przekształtnika HVGDCC - zestaw ewaluacyjny DE0 wyposażony w układ FPGA Cyclon III oraz adapter złącz koncentrycznych

w układ FPGA pętlę PLL, na podstawie sygnału pochodzącego z oscylatora kwarcowego drgającego z częstotliwością 50 MHz i znajdującego się na płycie rozwojowej TerasIC DE0. W ramach prowadzonych prac przygotowano siedem algorytmów sterujących, pozwalających na pracę badanego przekształtnika z siedmioma różnymi współczynnikami wzmocnienia napięciowego. Opracowane automaty sekwencyjne generowały ciąg impulsów sterujących w pełni odpowiadający wszystkim sekwencjom pracy układu omówionym w rozdziale wyjaśniającym zasadę działania opracowanej topologii przekształtnika HVGDCC (2.4).

Autor niniejszej rozprawy zdecydował się także na implementację interfejsu użytkownika pozwalającego na łatwą zmianę najistotniejszych parametrów pracy przekształtnika. Opracowany interfejs użytkownika umożliwiał wybór jednego z siedmiu zaimplementowanych algorytmów sterowania, a przez to także siedmiostopniową zmianę napięcia wyjściowego badanego układu. Ponadto, dzięki niemu można było w czasie pracy układu płynnie zmieniać parametry takie jak czas ładowania i rozładowania kondensatorów przełączanych czy także czas martwy. Do każdego z parametrów przypisano jeden z przełączników znajdujących się na płycie ewaluacyjnej, którego przestawienie skutkuje wyświetleniem aktualnej wartości danego parametru na wyświetlaczu siedmiosegmentowym i aktywuje możliwość zmiany jego wartości za pomocą odpowiednich przycisków. Program sterujący dla układu FPGA przygotowano w środowisku Quartus II. Na rysunku 5.8 przedstawiono schemat blokowy obrazujący zasadę działania opracowanego programu oraz zależności występujące



Rys. 5.8. Schemat blokowy przedstawiający zależności występujące pomiędzy poszczególnymi blokami funkcyjnymi programu sterującego układem FPGA

między jego poszczególnymi blokami funkcjonalnymi. Bardziej rozbudowaną wersję tego schematu, będącą ekstraktem z programu Quartus II dołączono do każdego z projektów zamieszczonych w sekcji załączników do niniejszej rozprawy doktorskiej. Niemniej jednak, wyżej przedstawiony opis przygotowanego oprogramowania, czy także wspomniane schematy blokowe mają jedynie charakter poglądowy, gdyż kwestie związane z przygotowaniem oprogramowania sterującego pracą przekształtnika wykraczają poza tematykę bezpośrednio związaną z przedmiotem niniejszej rozprawy doktorskiej. Z tego względu, autor zdecydował się jedynie na przedstawienie uproszczonego opisu funkcjonalnego opracowanego programu, pomijając przy tym szczegóły wymagające odwołań do kodu źródłowego opracowanego programu.

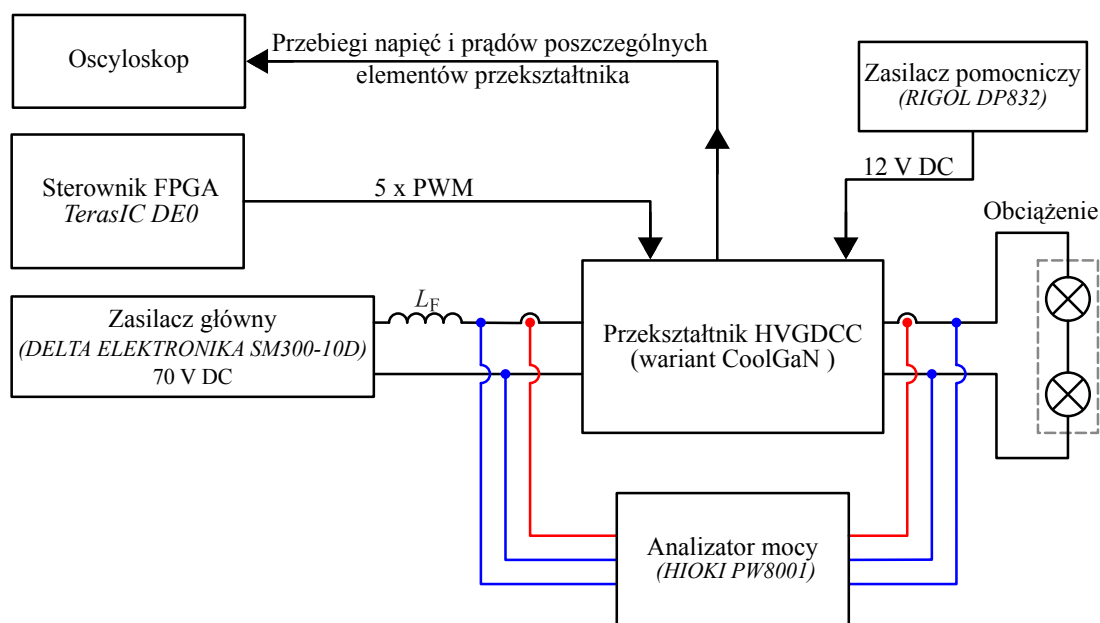
Zastosowanie w roli sterownika gotowej płyty ewaluacyjnej znacznie przyspieszyło proces projektowania przekształtnika, gdyż wszelkie obwody niezbędne do funkcjonowania układu FPGA znajdowały się już na wspomnianym układzie demonstracyjnym. Tym samym, zakres koniecznych do przeprowadzenia prac projektowych został ograniczony do wykonania projektu obwodu mocy badanego przekształtnika oraz układów sterujących pracą poszczególnych tranzystorów. Zważywszy na fakt, że projekt samego kontrolera nie zawiera się w zakresie prowadzonych prac badawczych, możliwe było jego zastąpienie rozwiązaniem komercyjnym. Skorzystanie z gotowego kontrolera pozwoliło zredukować poziom skomplikowania pro-

wadzonych prac projektowych, a także znacznie je przyspieszyć. Nie bez znaczenia jest również aspekt ekonomiczny. Mając na uwadze, iż przedmiotem prowadzonych badań było porównanie dwóch przekształtników, zastosowanie demontowalnego kontrolera umożliwiło jego dwukrotne wykorzystanie, najpierw do sterowania przekształtnika zbudowanego z wykorzystaniem tranzystorów typu CoolMOS, a następnie także CoolGaN.

5.4 Konfiguracja stanowiska pomiarowego

Prace badawcze prowadzone na modelach eksperymentalnych opracowanych przekształtników wymagały przygotowania odpowiedniego stanowiska pomiarowego. Zbudowane przekształtniki konstrukcyjnie były do siebie bardzo zbliżone, a celem prowadzonych badań było porównanie ich właściwości, dlatego zdecydowano o przygotowaniu tylko jednego stanowiska pomiarowego, przeznaczonego do badania zarówno układu HVGDCC-CoolMOS, jak również HVGDCC-CoolGaN. Stanowisko to zaprojektowano w taki sposób, aby maksymalnie uprościć zmianę badanego obiektu i umożliwić sprawną realizację badań porównawczych obu układów.

Schemat blokowy przygotowanego stanowiska pomiarowego zamieszczono na rys. 5.9, a sposób jego praktycznej realizacji przedstawia fotografia widoczna na rys. 5.10. Jak wynika z przedstawionego diagramu, wspomniane stanowisko pomiarowe wyposażono w szereg urządzeń pomiarowych i pomocniczych, niezbędnych do przeprowadzenia szczegółowych testów badanego układu, których pełne zestawienie przedstawiono w tabeli 5.3.



Rys. 5.9. Schemat blokowy stanowiska laboratoryjnego przeznaczonego do badania układów HVGDCC-CoolMOS oraz HVGDCC-CoolGaN

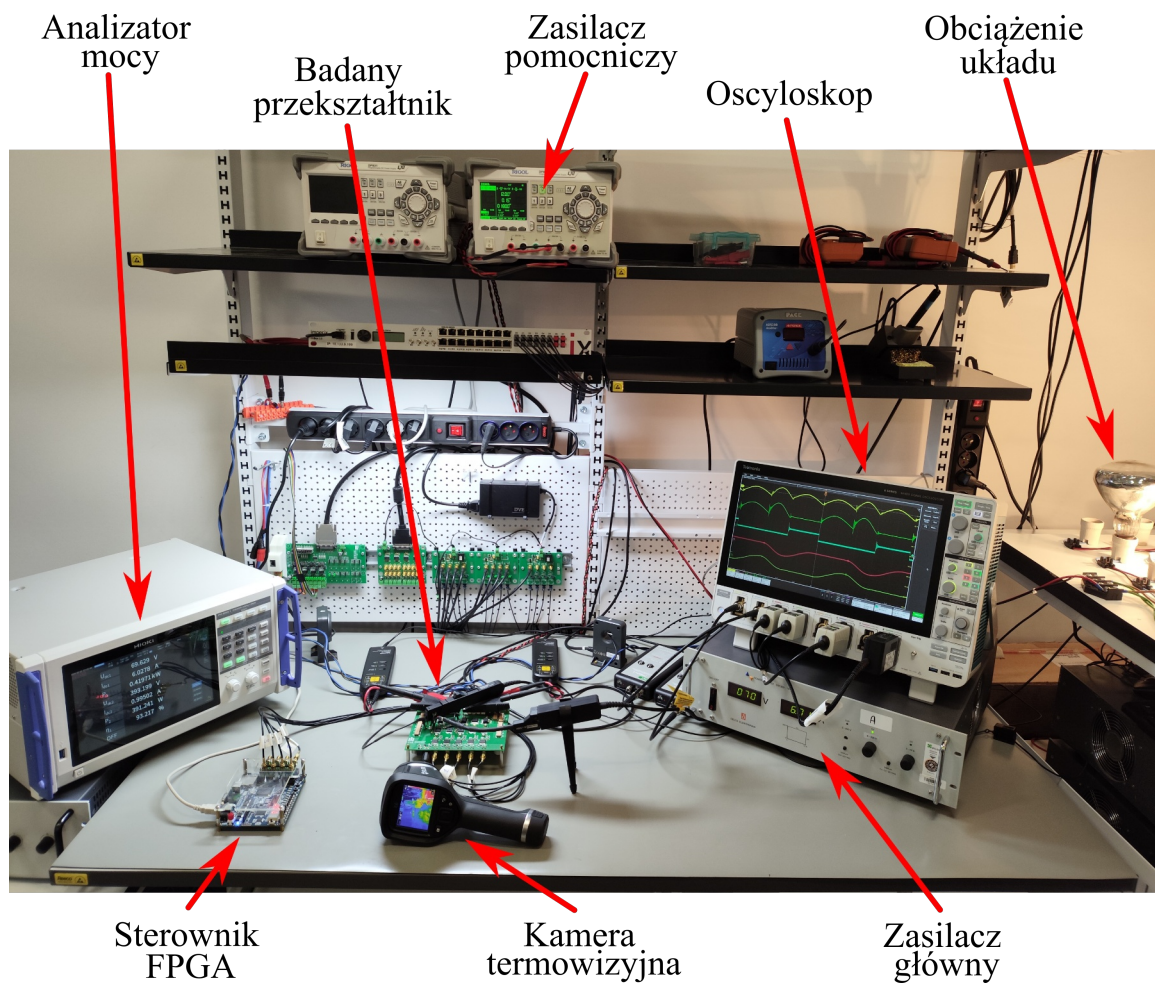
Źródłem napięcia zasilającego dla badanych przekształtników był zasilacz regulowany, o prądzie wyjściowym fabrycznie ograniczonym do wartości 10 A. W roli obciążenia badanych układów zastosowano zestaw kilkunastu lamp żarowych o różnych mocach nominalnych, połączonych ze sobą w sposób umożliwiający łatwą zmianę ich konfiguracji. Takie rozwiązanie umożliwiało łatwą zmianę poziomu obciążenia badanych układów, w zakresie od około 30 W do 700 W, z krokiem wynoszącym około 30 W. Drugim zasilaczem wykorzystanym do budowy stanowiska pomiarowego był zasilacz pomocniczy, który dostarczał energii do sterowników bramkowych i współpracujących z nimi przetwornic. Jak widać na przedstawionym schemacie, układ HVGDCC-CoolGaN wymagał dostarczenia tylko jednego napięcia pomocniczego o wartości 12 V. W przypadku układu wyposażonego w tranzystory CoolMOS, konieczne było dostarczenie do niego dwóch napięć pomocniczych, z których pierwsze (5 V) zasilало obwody wejściowe sterowników bramkowych, a drugie (15 V) dostarczało energii do izolowanych przetwornic DC-DC współpracujących ze stopniami wyjściowymi poszczególnych sterowników bramkowych przekształtnika.

Do badanego układu, w czasie testów, cały czas podłączony był analizator mocy, który dostarczał aktualnych informacji dotyczących jego poziomu sprawności oraz mocy strat w nim występujących. Analizator ten podłączono w taki sposób, że na bieżąco monitorował on natężenie prądu wejściowego i wyjściowego badanego układu oraz napięcia mierzone bezpośrednio na jego zaciskach wejściowych i wyjściowych.

Tabela 5.3. Zestawienie sprzętu pomiarowego i laboratoryjnego wykorzystywanego w czasie prowadzonych prac badawczych nad przekształtnikiem HVGDCC

Rodzaj sprzętu	Producent	Model
Oscyloskop	Tektronix	MSO68B
Sonda prądowa	Tektronix	TCP0030A
Sonda prądowa	Tektronix	TCP0030
Sonda różnicowa	Tektronix	THDP0200
Sonda różnicowa	Tektronix	P5205
Sonda różnicowa IsoVu	Tektronix	TIVP1
Sonda niskonapięciowa	Tektronix	TPP1000
Cewka Rogowskiego	CWT (PEM)	CWTUM/06/B
Sonda różnicowa	Gw Instek	GDP-025
Zasilacz DC	Delta Elektronika	SM300-10D
Zasilacz DC	Rigol	DP832
Analizator mocy	Hioki	PW8001
Kamera termowizyjna	Flir	Flir E5-XT

wych, pomijając przy tym spadki napięć występujące na poszczególnych przewodach połączeniowych oraz dławiku filtrującym L_F . Ponadto, przygotowane stanowisko pomiarowe wyposażono w ośmiokanałowy oscyloskop *Tektronix MSO68B*, charakteryzujący się pasmem przenoszenia na poziomie 2,5 GHz oraz częstotliwością próbkowania $50 \text{ GS} \cdot \text{s}^{-1}$. W czasie pomiarów korzystano z różnego rodzaju sond pomiarowych. Przebiegi prądów płynących w poszczególnych gałęziach badanych obwodów mierzono przy pomocy cęgowych sond prądowych serii *Tektronix TCP0030*, o paśmie przenoszenia sięgającym 120 MHz. W miejscach, gdzie niemożliwe było wprowadzenie sondy cęgowej (np. pomiar prądu drenu tranzystorów), pomiary przeprowadzano korzystając z dostępnych w wydziałowym laboratorium cewek Rogowskiego, o paśmie przenoszenia wynoszącym 30 MHz. Dodatkowo, w czasie prowadzonych prac badawczych korzystano z zestawu sond niskonapięciowych *Tektronix TPP1000*, o paśmie przenoszenia 1 GHz, przy pomocy których mierzono sygnały sterujące na wejściach poszczególnych sterowników bramkowych oraz napięcia bramka–źródło tranzystorów, w czasie analizy zjawisk łączeniowych zachodzących w układzie. Dokonując pomiarów z wykorzystaniem tych sond na poszczególnych tranzystorach, zwracano



Rys. 5.10. Stanowisko laboratoryjne przeznaczone do prowadzenia badań eksperymentalnych przekształtników HVGDC-CoolMOS oraz HVGDC-CoolGaN

szczególną uwagę na to, aby w czasie ich wykonywania do oscyloskopu była podłączona wyłącznie jedna tego typu sonda, a badany przekształtnik pozostawał odizolowany od wszelkich obwodów zewnętrznych. Warto zaznaczyć, iż w czasie pomiarów prowadzonych z wykorzystaniem sond *TPP1000*, w celu ograniczenia wpływu metody pomiarowej na badany układ i zmniejszenia ilości zakłóceń obserwowanych w mierzonych przebiegach, standardowe przewody masowe tych sond zastąpiono tak zwanymi sprężynkami pomiarowymi. W czasie analizy zjawisk łączeniowych, do pomiaru napięć dren-źródło poszczególnych tranzystorów wykorzystywano światłowodową sondę *Tektronix IsoVu TIVP1*, o paśmie przenoszenia sięgającym 1 GHz i wysokim współczynniku tłumienia zakłóceń wspólnych, wynoszącym 70 dB (z tłumikiem 50x przy częstotliwości 1 GHz). Poza sondą *IsoVu*, w czasie prowadzonych prac eksperymentalnych korzystano również z standardowych sond różnicowych, które stosowano do pomiaru szeregu napięć istotnych z perspektywy analizy zasady działania omawianych układów. Przyjęto zasadę, iż sondy różnicowe o najlepszych parametrach, *Tektronix THDP200* ($B_w = 200$ MHz), dedykowane będą do analizy przebiegów szybkozmiennych o stromych zboczach, a pomiary przebiegów niewykazujących takich cech realizowane będą z wykorzystaniem sond o nieco niższych parametrach, takich jak na przykład *Tektronix P5205* ($B_w = 100$ MHz) lub *GW Instek GDP-025* ($B_w = 25$ MHz).

Większość prac eksperymentalnych związanych z przygotowaniem niniejszej rozprawy doktorskiej przeprowadzono w Interdyscyplinarnym Laboratorium Badawczym AGH [117], wykorzystując przy tym dostępny w nim sprzęt pomiarowy (tab. 5.3).

5.5 Praktyczna weryfikacja koncepcji przekształtnika HVGDCC

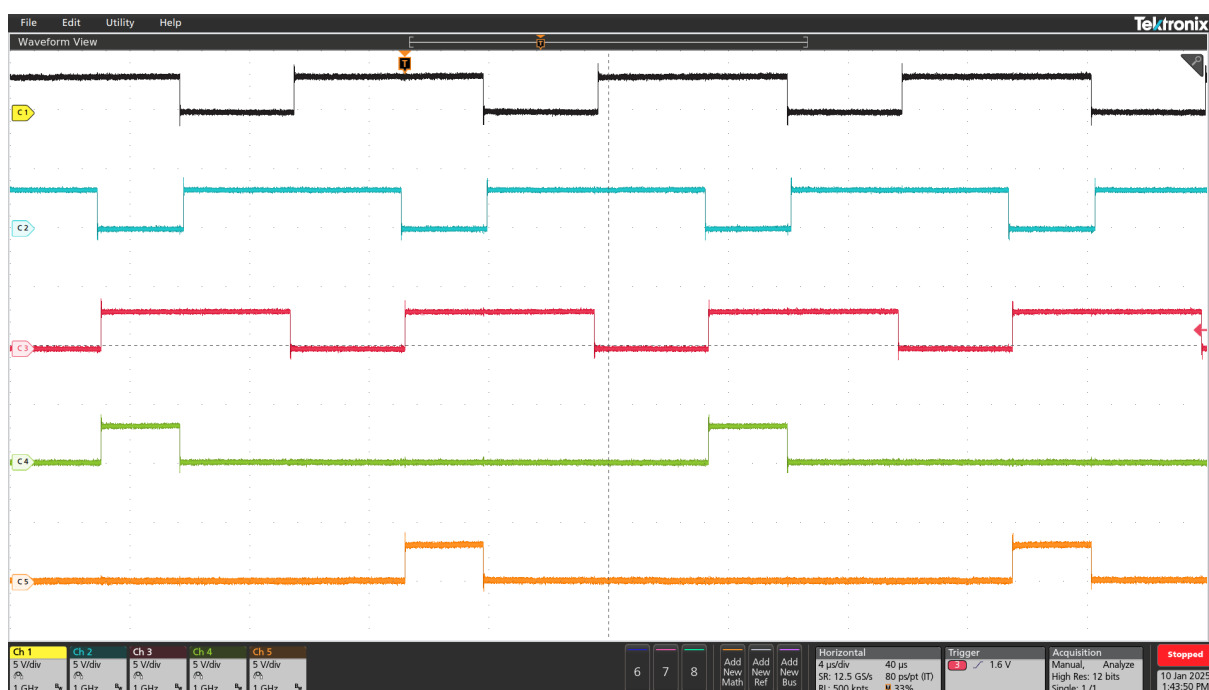
Niniejszy rozdział został podzielony na trzy sekcje, w których kolejno omówiono procedurę pierwszego uruchomienia opracowanych przekształtników, a także zweryfikowano koncepcję ich działania, porównując rejestrowane przebiegi z ich teoretycznymi odpowiednikami, oraz dowiedziono, iż układy o topologii HVGDCC cechują się możliwością wielostopniowej regulacji ich napięcia wyjściowego.

5.5.1 Procedura uruchomienia przekształtników HVGDCC

Z uwagi na podobną konstrukcję obu zbudowanych przekształtników, procedura pierwszego uruchomienia w przypadku każdego z nich była niemal identyczna, a proces ten został podzielony na kilka etapów. W pierwszej kolejności zweryfikowano poprawność pracy wszystkich przetwornic pomocniczych poprzez pomiar napięć zasilających sterowniki bramkowe, a następnie za pomocą oscyloskopu oraz zestawu sond

niskonapięciowych dokonano rejestracji sygnałów sterujących pracą poszczególnych tranzystorów wykonawczych (rys. 5.11) bezpośrednio na wyjściu kontrolera FPGA. Celem tego testu była wyłącznie weryfikacja poprawności pracy kontrolera, dlatego w czasie jego realizacji obwód główny badanego przekształtnika pozostawał odłączony od napięcia zasilającego. Po porównaniu zarejestrowanego oscylogramu z zestawem przebiegów teoretycznych (rys. 2.4), stwierdzono, że sekwencja zmian następujących w przebiegach sterujących jest właściwa i przystąpiono do dalszych testów. W następnym kroku, do każdego ze sterowników podano testowy sygnał sterujący i za pomocą oscyloskopu zweryfikowano kształt sygnałów docierających na bramki poszczególnych tranzystorów, zwracając przy tym szczególną uwagę na ich amplitudy oraz stromość zboczy w czasie ich załączania i wyłączania. Po potwierdzeniu poprawności działania układów sterujących rozpoczęto przygotowania do uruchomienia obwodu mocy przekształtnika. Wykorzystywany wcześniej obwód pomiarowy wzbogacono o dwie sondy różnicowe (THDP0200) oraz cewkę Rogowskiego (CWTUM/06/B). Za ich pomocą, w czasie kolejnych testów rejestrowano napięcia występujące na przełączanych kondensatorach (C_2 , C_3) oraz prąd wejściowy uruchamianego przekształtnika.

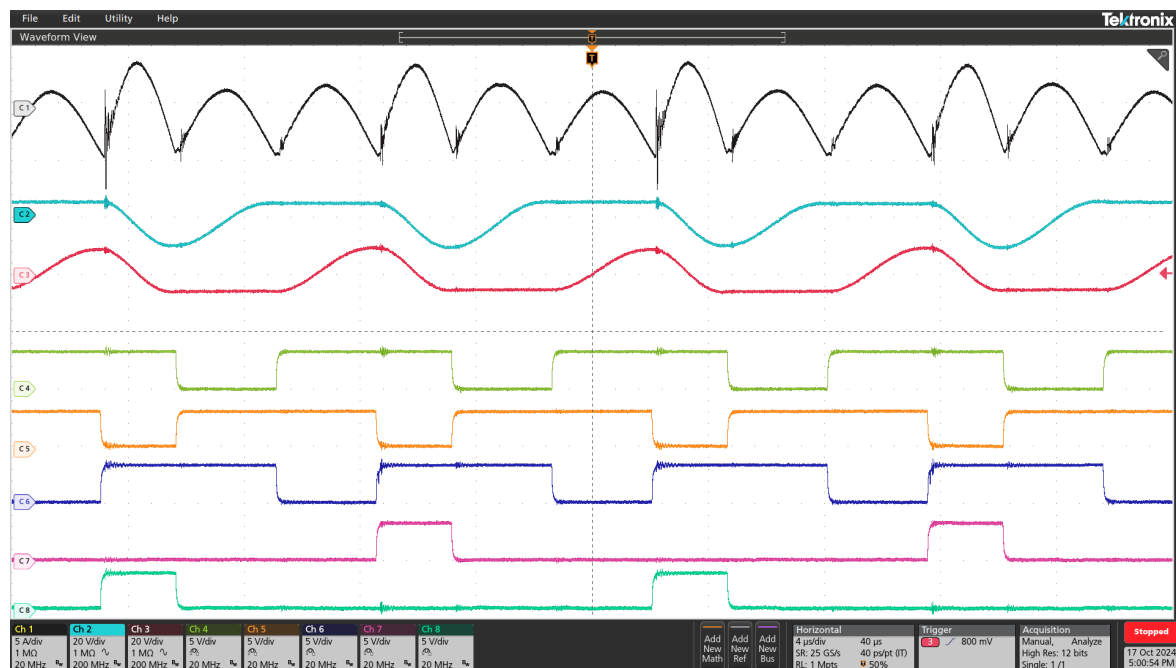
Aby zapobiec ewentualnym uszkodzeniom badanego układu, napięcie zasilające jego obwód główny obniżono do poziomu 24 V. Do zacisków wyjściowych badanego przekształtnika dołączono obciążenie o najmniejszej dostępnej wartości (dwie szeregowo połączone żarówki o mocy 25 W każda, przy napięciu 230 V), a maksymalne



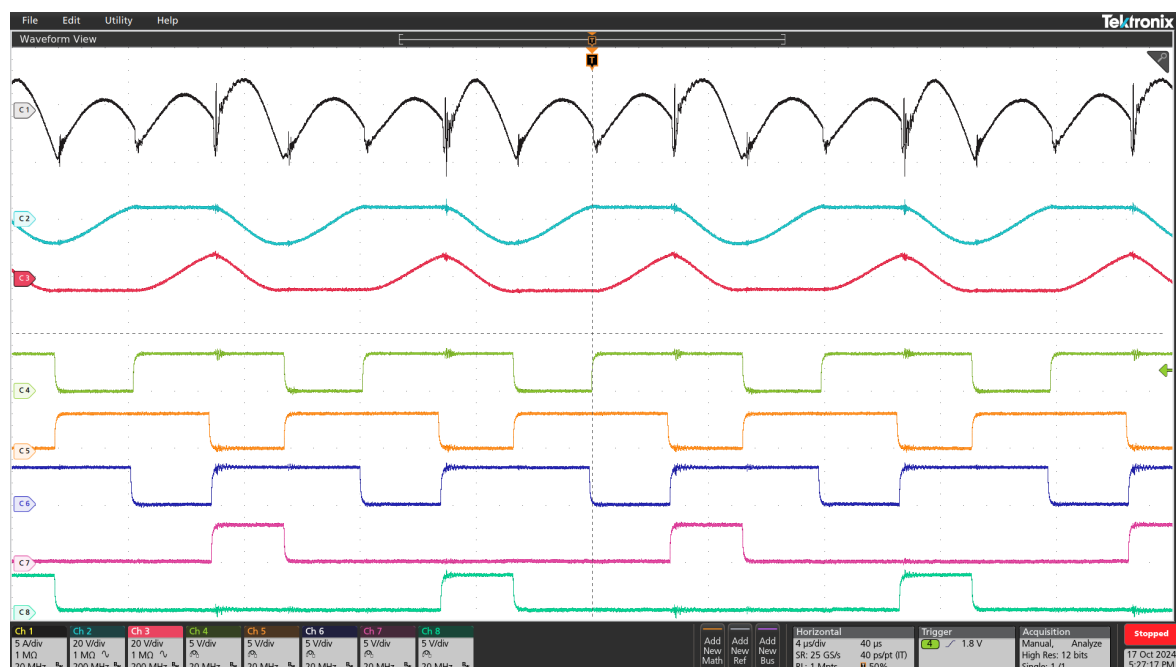
Rys. 5.11. Przebiegi sygnałów sterujących pracą poszczególnych tranzystorów badanego przekształtnika. CH1-CH5 - Kanały sterujące pracą tranzystorów Q_1 - Q_5

natężenie prądu wyjściowego zasilacza głównego, z którego zasilano badany przekształtnik, ograniczono do 1 A. W tak skonfigurowanym układzie pomiarowym przekształtnik został uruchomiony, bezpośrednio po czym dokonano regulacji czasu trwania interwałów ładowania (t_{char}) oraz rozładowywania (t_{dis}) kondensatorów przełączanych. W czasie prowadzonych regulacji na ekranie oscyloskopu obserwowano przebieg prądu wejściowego przekształtnika, a czas trwania poszczególnych interwałów zmieniano za pomocą interfejsu użytkownika zaimplementowanego w opracowanym kontrolerze w taki sposób, aby wszystkie komutacje zachodziły przy zerowym prądzie. Po doprowadzeniu układu do pracy w trybie ZCS regulację zakończono, a następnie zwiększono wartość napięcia zasilającego badany układ do poziomu nominalnego ($U_{\text{in}} = 70 \text{ V}$), jednocześnie podnosząc dopuszczalne natężenie prądu wyjściowego zasilacza głównego do 5 A. W kolejnym kroku moc obciążenia przekształtnika zwiększono do 300 W, a następnie dokonano rejestracji oscylogramu zamieszczonego na rys. 5.12, z którego wynika, iż komutacje w badanym układzie zachodzą przy zerowym prądzie (ZCS), a kształt zarejestrowanych przebiegów jest wyraźnie zbliżony do tych obserwowanych w czasie prowadzonych badań symulacyjnych i prac analitycznych.

W czasie prac związanych z uruchomieniem obu przekształtników dokonano także regulacji czasu trwania interwału ładowania kondensatorów przełączanych (t_{char}), właściwego dla przekształtników HVGDC pracujących w trybie załączania łączników przy zerowym napięciu (ZVS). W czasie tych czynności regulacyjnych, poza obserwacją przebiegu prądu wejściowego badanego układu, za pomocą analizatora mocy Hioki PW8001 kontrolowano poziom sprawności osiąganey przez badany układ. Regulację rozpoczęto od stanu, w którym układ pracował w trybie ZCS, a następnie za pomocą kontrolera skracano czas trwania interwału ładowania kondensatorów przełączanych dążąc do maksymalizacji sprawności badanego układu i osiągnięcia kształtu prądu wejściowego odpowiadającego przebiegom obserwowanym w czasie symulacji. Z uwagi na fakt, iż ze względów układowych w czasie interwałów rozładowania kondensatorów przełączanych nie ma możliwości, aby którykolwiek z tranzystorów załączał się przy zerowym napięciu, jego czas trwania (t_{dis}) pozostawiono bez zmian.



Rys. 5.12. Sygnały sterujące tranzystorów przekształtnika HVGDCC-CoolGaN pracującego w trybie ZCS. CH1 - Prąd wejściowy przekształtnika i_{in} , CH2...CH3 - Napięcia kondensatorów przełączanych C_2 oraz C_3 , CH4...CH8 - Sygnały sterujące pracą tranzystorów $Q_1...Q_5$ (pomiar na wyjściu kontrolera). Kanały CH2 oraz CH3 w trybie sprzężenia AC, pozostałe DC. Warunki pracy układu: $U_{in} = 70\text{ V}$, $U_{out} = 399\text{ V}$, $P_{out} = 302\text{ W}$, $f_{sw} = 52,91\text{ kHz}$, $\eta = 94,19\%$



Rys. 5.13. Sygnały sterujące tranzystorów przekształtnika HVGDCC-CoolGaN pracującego w trybie ZVS. CH1 - Prąd wejściowy przekształtnika i_{in} , CH2...CH3 - Napięcia kondensatorów przełączanych C_2 oraz C_3 , CH4...CH8 - Sygnały sterujące pracą tranzystorów $Q_1...Q_5$ (pomiar na wyjściu kontrolera). Kanały CH2 oraz CH3 w trybie sprzężenia AC, pozostałe DC. Warunki pracy układu: $U_{in} = 70\text{ V}$, $U_{out} = 399\text{ V}$, $P_{out} = 302\text{ W}$, $f_{sw} = 63,53\text{ kHz}$, $\eta = 93,14\%$

Efektem przeprowadzonych regulacji było określenie nominalnych wartości czasów trwania interwałów ładowania i rozładowywania kondensatorów przełączanych dla obu badanych układów pracujących zarówno w trybie ZCS, jak i ZVS. Zestawienie parametrów określonych w czasie prowadzonych prac regulacyjnych oraz parametrów określających warunki, w jakich pracowały badane układy w czasie dokonywania regulacji, zamieszczono w tabeli 5.4. Warto również nadmienić, iż określone w czasie wyżej opisanej procedury czasy trwania poszczególnych interwałów mają charakter orientacyjny i na etapie dalszych badań będą podlegać dodatkowym regulacjom wynikającym ze specyfiki prowadzonych testów.

Tabela 5.4. Zestawienie parametrów opisujących warunki pracy przekształtników HVGDCC-CoolMOS oraz HVGDCC-CoolGaN w czasie ich uruchomienia i pierwszych badań eksperymentalnych

Parametr	Symbol	Przekształtnik	
		HVGDC CoolMOS	HVGDC CoolGaN
Napięcie zasilające	U_{in}	70 V	70 V
Moc wyjściowa przekształtnika	P_{out}	300 W	300 W
Wzmocnienie napięciowe przekształtnika	G_U	6	6
Czas martwy	t_{dead}	125 ns	70 ns
Czas ładowania kondensatora przełączanego w trybie ZCS	$t_{charZCS}$	3,68 μ s	3,45 μ s
Czas rozładowania kondensatora przełączanego w trybie ZCS	t_{disZCS}	2,67 μ s	2,55 μ s
Częstotliwość pracy przekształtnika w trybie ZCS	f_{swZCS}	49,85 kHz	52,91 kHz
Czas ładowania kondensatora przełączanego w trybie ZVS	$t_{charZVS}$	2,32 μ s	2,75 μ s
Czas rozładowania kondensatora przełączanego w trybie ZVS	t_{disZVS}	2,56 μ s	2,37 μ s
Częstotliwość pracy przekształtnika w trybie ZVS	f_{swZVS}	69,44 kHz	63,53 kHz

Ostatnim etapem uruchomienia układu była weryfikacja jego działania pod obciążeniem w dłuższym okresie czasu. W ramach tego testu przekształtnik obciążono mocą 300 W przez czas około 15 minut. W tym czasie temperatury jego poszczególnych elementów kontrolowane były za pomocą kamery termowizyjnej. Z przeprowadzonych obserwacji wynikało, iż wszystkie elementy nagrzewają się równomiernie,

a ich temperatury dalekie są od wartości określonych przez ich producentów jako graniczne. Pozytywny wynik tego testu zakończył procedurę uruchomienia układu i umożliwił rozpoczęcie właściwych prac badawczych.

5.5.2 Analiza podstawowych przebiegów przekształtnika HVGDCC

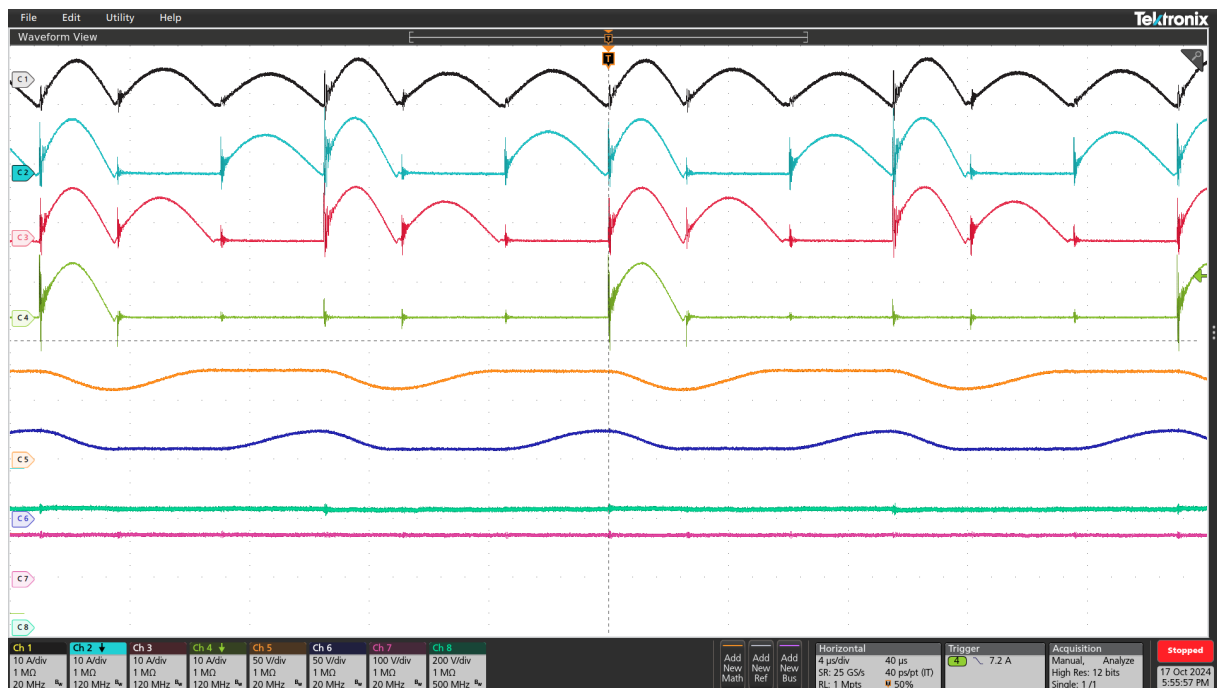
Celem opisanych w tym rozdziale prac eksperymentalnych była praktyczna weryfikacja koncepcji działania układów o topologii HVGDCC. Aby wspomniany cel zrealizować, dokonano licznych rejestracji oscyloskopowych przebiegów prądów i napięć występujących w każdym ze zbudowanych przekształtników, a następnie przeprowadzono analizę zarejestrowanych oscylogramów w odniesieniu do wyników wcześniej prowadzonych prac koncepcyjnych i symulacyjnych. Z uwagi na fakt, iż celem niniejszego rozdziału jest podsumowanie prac weryfikacyjnych dotyczących koncepcji topologii HVGDCC i możliwości jej praktycznej realizacji, a nie porównanie właściwości przekształtników zbudowanych z wykorzystaniem różnego typu tranzystorów, prezentowane tutaj wyniki ograniczono jedynie do tych zarejestrowanych w układzie HVGDCC-CoolGaN, pracującym w warunkach i z parametrami określonymi w tabeli 5.4. Prace związane z analizą wpływu rodzaju zastosowanego tranzystora na działanie przekształtnika szerzej omówiono w rozdziałach 5.6.1 oraz 5.6.2, w których porównywano przekształtniki HVGDCC-CoolMOS oraz HVGDCC-CoolGaN pracujące kolejno w trybie ZCS oraz ZVS.

Rozpoczynając weryfikację koncepcji działania przekształtnika o topologii HVGDCC, warto szerzej przeanalizować oscylogram zamieszczony na rys. 5.12, gdyż przedstawione na nim przebiegi sygnałów sterujących, napięć kondensatorów przełączanych oraz prądu wejściowego badanego układu bardzo dobrze obrazują jego zasadę działania. Przechodząc, do analizy wspomnianego oscylogramu można na nim zauważyć, charakterystyczny dla układów rezonansowych o przełącznych kondensatorach, przebieg prądu wejściowego i_{in} , którego kształt zbliżony jest do dwupołówkowo wyprostowanej fali sinusoidalnej. Pomiaru tego sygnału dokonano za pomocą cewki Rogowskiego, czyli przetwornika nieprzenoszącego składowej stałej. W związku z tym poziom referencyjny kanału współpracującego z tą sondą znalazł się w środku obserwowanego przebiegu prądu wejściowego. Różnice w amplitudzie poszczególnych pulsów prądu wejściowego badanego układu związane są ze zmianą wypadkowej pojemności obwodów rezonansowych zestawianych w poszczególnych taktach pracy układu. Fakt ten został przewidziany na etapie analiz teoretycznych (rozdz. 2.3), a także zaobserwowany w czasie prowadzonych badań symulacyjnych (rozdz. 4). Inną cechą charakterystyczną badanego układu, widoczną na zaprezentowanym oscylogramie jest kształt przebiegów napięć na jego kondensatorach przełączanych. Wspomniane kondensatory ładowane są pojedynczo,

podczas gdy proces ich rozładowania zachodzi jednocześnie w obu tych elementach. Prezentowane na wspomnianym oscylogramie (rys. 5.12) przebiegi napięć kondensatorów rezonansowych zarejestrowano przy pomocy oscyloskopu, w którym sprzężenia kanałów drugiego oraz trzeciego ustawiono w tryb AC. Dokonano tego w celu lepszego uwidocznienia zmian zachodzących w obserwowanych przebiegach napięć kondensatorów przełączanych. Zabieg ten przyniósł oczekiwany skutek, jednak jego efektem ubocznym było usunięcie z tych dwóch przebiegów informacji o poziomie składowej stałej, która w nich w rzeczywistości występuje. W związku z tym, że poziom składowej stałej (DC) jest istotny dla oceny poziomu obciążenia badanego przekształtnika, przeprowadzono również rejestrację, w której wszystkie kanały oscyloskopu pozostawały w trybie sprzężenia DC. Efektem tych działań jest oscylogram zamieszczony na rys. 5.14. Jak wynika z przebiegów napięć kondensatorów przełączanych przedstawionych na tym oscylogramie, występująca w nich składowa stała ma wartość zbliżoną do napięcia źródła zasilającego badany przekształtnik, co potwierdza wnioski płynące z przeprowadzonych analiz teoretycznych i badań symulacyjnych. Dodatkowo, obserwowane tętnienia napięć kondensatorów przełączanych nie przekraczają 15 V co jednoznacznie wskazuje, iż przekształtnik nie jest przeciążony i pracuje w warunkach optymalnych.

Rys. 5.14. Przebiegi sygnałów kontrolujących tranzystory przekształtnika HVGDCC wykonanego w wersji CoolGaN i pracującego w trybie ZCS. CH1 - Prąd wejściowy przekształtnika i_{in} , CH2 - Napięcie kondensatora przełączanego C_2 , CH3 - Napięcie kondensatora przełączanego C_2 , CH4...CH8 - Sygnały sterujące pracą tranzystorów $Q_1...Q_5$ (pomiar na wyjściu kontrolera). Wszystkie kanały oscyloskopu w trybie sprzężenia DC. Warunki pracy układu: $U_{in} = 70\text{ V}$, $U_{out} = 399\text{ V}$, $P_{out} = 302\text{ W}$, $f_{sw} = 52,91\text{ kHz}$, $\eta = 94,19\%$

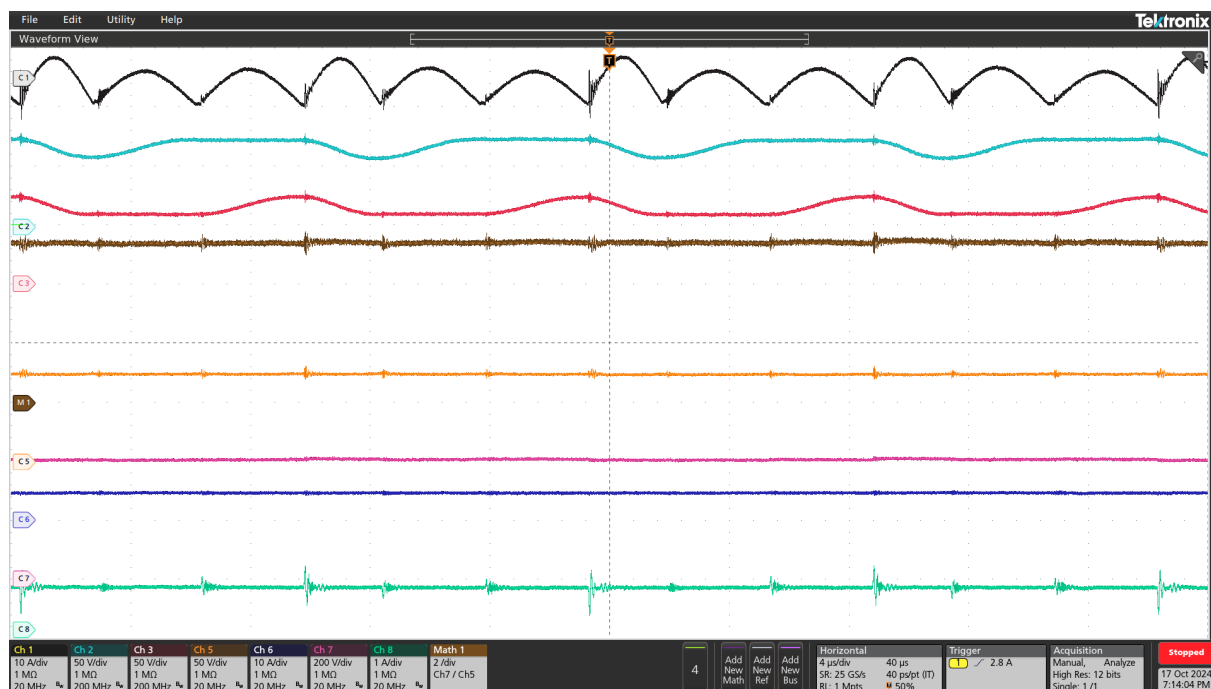
W kolejnym etapie prowadzonych badań eksperymentalnych zarejestrowano przebiegi prądów przepływających przez poszczególne tranzystory przekształtnika oraz przebiegi napięcia wejściowego i wyjściowego badanego układu. Na etapie projektowania obwodu drukowanego przewidziano interfejsy do pomiaru prądów przepływających przez trzy tranzystory (Q_1 , Q_3 , Q_4). Oscylogram 5.15 przedstawia wszystkie możliwe do zarejestrowania przebiegi prądów tranzystorów oraz przebiegi napięcia wejściowego i wyjściowego badanego układu. Analizując kształt przebiegów prądu poszczególnych tranzystorów można zauważyć, że tranzystor Q_4 przewodzi tylko przez jeden z sześciu taktów składających się na pełen cykl pracy przekształtnika HVGDC. Dodatkowo z zarejestrowanych przebiegów wynika, że tranzystory stopnia wejściowego przekształtnika (Q_1 oraz Q_3) naprzemiennie przewodzą prąd doładowujący powiązane z nimi kondensatory przełączane. Za punkt charakterystyczny prezentowanego oscylogramu można uznać takt pracy układu, w którym prąd rozładowujący kondensatory przełączane przepływa przez wszystkie tranzystory, których przebiegi zaprezentowano na rys. 5.15. Rejestracja przebiegów prądów pozostałych tranzystorów (Q_2 oraz Q_3) nie była możliwa, ze względu na to, że projekt obwodu drukowanego nie uwzględniał interfejsów umożliwiającego dołączenie sondy prądowej do tych łączników, co z kolei było podyktowane ograniczeniami



Rys. 5.15. Przebiegi prądów i napięć elementów przekształtnika HVGDC wykonanego w wersji CoolGaN i pracującego w trybie ZCS. CH1 - Prąd wejściowy przekształtnika i_{in} , CH2 - Prąd tranzystora Q_1 , CH3 - Prąd tranzystora Q_3 , CH4 - Prąd tranzystora Q_4 , CH5 - Napięcie na kondensatorze przełączanym C_2 , CH6 - Napięcie na kondensatorze przełączanym C_3 , CH7 - Napięcie wejściowe przekształtnika, CH8 - Napięcie wyjściowe przekształtnika. Warunki pracy układu: $U_{in} = 70\text{ V}$, $U_{out} = 399\text{ V}$, $P_{out} = 302\text{ W}$, $f_{sw} = 52,91\text{ kHz}$, $\eta = 94,19\%$

dotyczącymi maksymalnej powierzchni projektowanego obwodu drukowanego. Z analizy przebiegu napięcia wyjściowego wynika, że badany układ zasila odbiornik napięciem 400 V, a to po uwzględnieniu wartości napięcia zasilającego przekształtnik (70 V) pozwala wyznaczyć jego rzeczywisty współczynnik wzmocnienia napięciowego, który w tych warunkach pracy układu ($P_{out} = 300 \text{ W}$) wynosi $G_U = 5,7$.

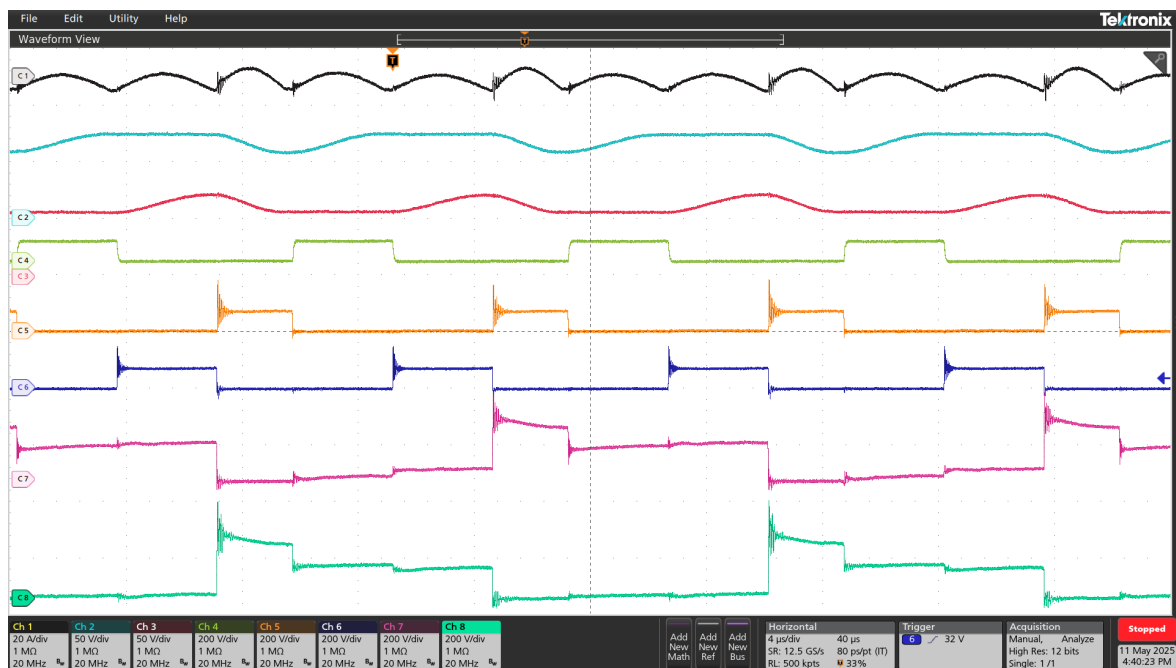
W następnym etapie prowadzonych prac badawczych zweryfikowano skuteczność doboru filtra wejściowego badanego przekształtnika. Jego rolą było usunięcie składowej zmiennej z pulsującego przebiegu prądu i_{in} , tak aby badany przekształtnik nie zakłócał pracy układu regulacji zasilacza, będącego dla niego źródłem napięcia wejściowego, a w docelowej aplikacji także układu MPPT współpracującego z zasilającymi go panelami fotowoltaicznymi. Zmierzony za pomocą sondy prądowej (TCP030A) przebieg prądu źródła zasilającego przekształtnik przedstawiono na rys. 5.16. Zarejestrowany w ten sposób przebieg prądu wyjściowego zasilacza (CH6), obserwowany w skali pionowej wynoszącej 10 A na działkę, pozbawiony jest widocznej składowej zmiennej i utrzymuje stałą wartość na poziomie około 4,5 A. Oznacza to, że filtr dolnoprzepustowy, złożony z zewnętrznego dławika L_F oraz kondensatora wejściowego (C_1) badanego przekształtnika, spełnia swoją rolę i skutecznie redukuje



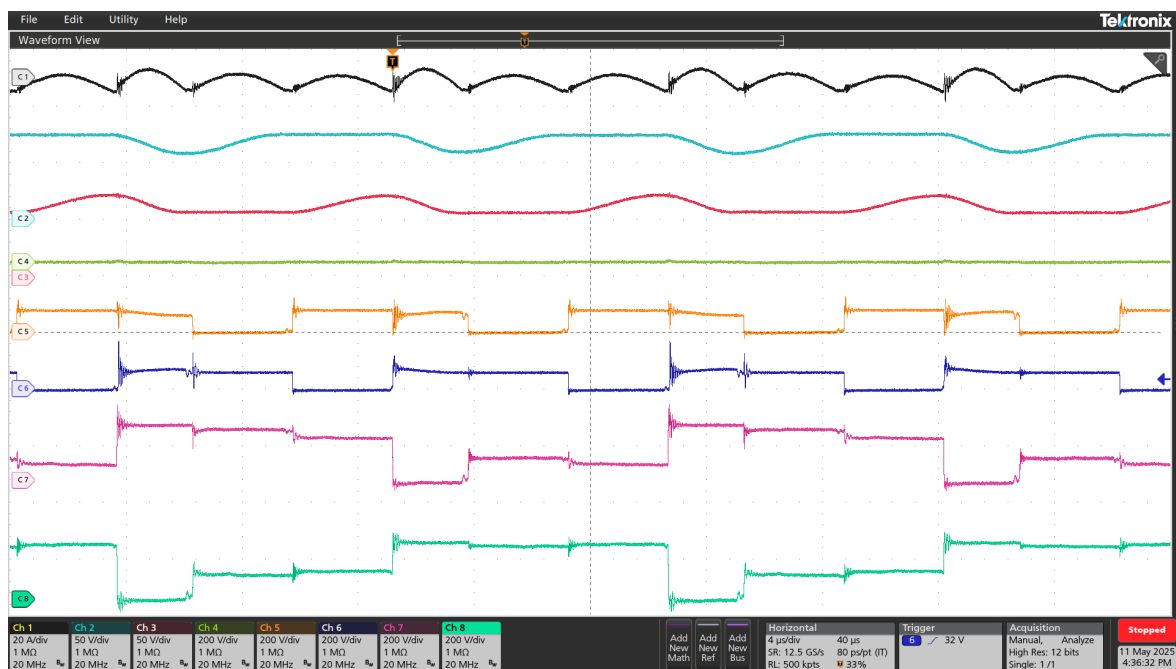
Rys. 5.16. Podstawowe przebiegi prądów i napięć występujące na elementach przekształtnika HVGDCCC wykonanego w wersji CoolGaN i pracującego w trybie ZCS. CH1 - Prąd wejściowy przekształtnika i_{in} , CH2 - Napięcie na kondensatorze przełączanym C_2 , CH3 - Napięcie na kondensatorze przełączanym C_3 , CH5 - Napięcie wejściowe przekształtnika, CH6 - Prąd źródła zasilającego przekształtnik, CH7 - Napięcie wyjściowe przekształtnika, CH8 - Prąd obciążenia przekształtnika, M1 - Wzmocnienie napięciowe (iloraz CH7 oraz CH5). Warunki pracy układu: $U_{in} = 70 \text{ V}$, $U_{out} = 399 \text{ V}$, $P_{out} = 302 \text{ W}$, $f_{sw} = 52,91 \text{ kHz}$, $\eta = 94,19 \%$

tętnienia w przebiegu prądu źródła zasilającego badany układ. Tym samym można stwierdzić, że dla tego poziomu obciążenia układu dobrany w rozdziale 2.10.1 filtr wejściowy dla układu HVGDCC spełnia swoje zadanie i utrzymuje poziom tętnień prądu źródła zasilającego przekształtnik na poziomie pomijalnym w stosunku do przyjętej wartości dopuszczalnej wynoszącej 1 A. Pełna weryfikacja poprawności doboru filtra wejściowego wymagałaby wykonania analogicznego pomiaru przy maksymalnej mocy wyjściowej przekształtnika oraz w warunkach dynamicznie zmieniającego się obciążenia. Z uwagi na fakt, że tematyka doboru filtrów wejściowych nie wiąże się bezpośrednio z głównym tematem niniejszej rozprawy doktorskiej, prace związane z weryfikacją skuteczności działania dobrego filtra przeprowadzono jedynie w podstawowym zakresie wymaganym do oceny poprawności przygotowania stanowiska laboratoryjnego. Poza przebiegiem prądu źródła zasilającego na rys. 5.16 przedstawiono także zestaw przebiegów charakterystycznych dla przekształtnika HVGDCC (i_{in} , u_{C_2} , u_{C_3}), a także przebiegi napięcia wejściowego i wyjściowego tego układu wraz z przebiegiem prądu pobieranego przez dołączone do niego obciążenie. Dodatkowo, na wspomnianym oscylogramie znalazł się także kanał matematyczny, który przedstawia iloraz napięcia wyjściowego i wejściowego układu HVGDCC, co odpowiada współczynnikowi jego wzmocnienia napięciowego.

W następnym etapie prowadzonych prac badawczych przeanalizowano przebiegi napięć występujące na tranzystorach oraz diodach wchodzących w skład obwodu mocy przekształtnika HVGDCC. Wyniki przeprowadzonych pomiarów przedstawiają oscylogramy zamieszczone na rys. 5.17 oraz rys. 5.18. Z zaprezentowanych oscylogramów wynika, że badany przekształtnik, ze względu na poziomy napięć występujących na poszczególnych łącznikach półprzewodnikowych (diody oraz tranzystory), można podzielić na dwie strefy. W strefie pierwszej, do której zaliczają się łączniki stopnia wejściowego układu (Q_1 - Q_3 , D_1 - D_3), poziom występujących na nich w czasie pracy przekształtnika napięć zbliżony jest do wartości napięcia źródła zasilającego przekształtnik, co w tym konkretnym przypadku odpowiada napięciu 70 V. Drugą grupę łączników stanowią elementy stopnia wyjściowego badanego układu (Q_4 , Q_5 , D_4 , D_5). Występujące na nich napięcia osiągają nieco wyższe wartości. Z przedstawionych oscylogramów wynika, iż wartości napięć długotrwale blokowanych przez te łączniki nie przekraczają 260 V. Wartość ta jest wyraźnie niższa niż poziom napięcia wyjściowego badanego układu, co potwierdza opisaną wcześniej właściwość opracowanej topologii HVGDCC, polegającą na możliwości zastosowania łączników o napięciu blokowania zdecydowanie niższym niż napięcie wyjściowe badanego układu. W obserwowanych przebiegach można także dostrzec zakłócenia o charakterze oscylacyjnym tłumionym. Moment ich wystąpienia pokrywa się z chwilą realizacji przełączeń w układzie, co wskazuje, iż mogą one powstawać w związku z występowaniem w obwodzie mocy badanego układu pasożytniczych



Rys. 5.17. Napięcia na tranzystorach przekształtnika HVGDC-CoolGaN pracującego w trybie ZCS. CH1 - Prąd wejściowy przekształtnika i_{in} , CH2 - Napięcie na kondensatorze przełączanym C_2 , CH3 - Napięcie na kondensatorze przełączanym C_3 , CH4 - CH8 - Napięcia na tranzystorach $Q_1 - Q_5$. Warunki pracy układu: $U_{in} = 70\text{ V}$, $U_{out} = 399\text{ V}$, $P_{out} = 302\text{ W}$, $f_{sw} = 52,91\text{ kHz}$, $\eta = 94,19\%$

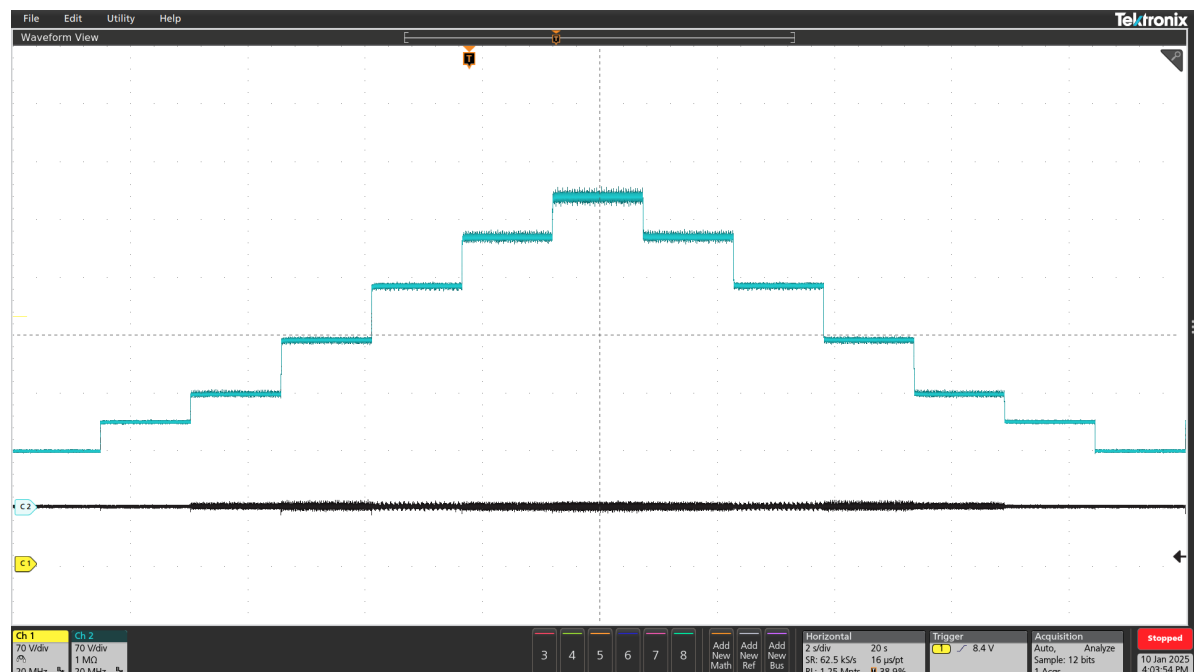


Rys. 5.18. Napięcia na diodach przekształtnika HVGDC-CoolGaN pracującego w trybie ZCS. CH1 - Prąd wejściowy przekształtnika i_{in} , CH2 - Napięcie na kondensatorze przełączanym C_2 , CH3 - Napięcie na kondensatorze przełączanym C_3 , CH4 - CH8 - Napięcia na diodach $D_1 - D_5$. Warunki pracy układu: $U_{in} = 70\text{ V}$, $U_{out} = 399\text{ V}$, $P_{out} = 302\text{ W}$, $f_{sw} = 52,91\text{ kHz}$, $\eta = 94,19\%$

indukcyjności i pojemności. Częściowo oscylacje te mogą również wynikać z niedoskonałości zastosowanego systemu pomiarowego, w którym, wskutek zakłóceń generowanych przez badany układ, w pętach tworzonych przez przewody pomiarowe sond różnicowych indukują się niepożądane sygnały zakłócające pomiar. Należy także zauważyć, iż z uwagi na różne wartości napięć blokowanych przez tranzystory w sekcjach wejściowych (Q_1, Q_2, Q_3) i wyjściowych (Q_4, Q_5) przekształtników o topologii HVGDCC, korzystnym mogłoby się okazać zastosowanie w przekształtnikach tego typu dwóch rodzajów tranzystorów różniących się wartościami napięcia przebicia. W przypadku produkcji seryjnej, tego rodzaju modyfikacja mogłaby być uzasadniona ekonomicznie, z uwagi na fakt, że duży wpływ na cenę tranzystorów ma właśnie ich klasa napięciowa.

5.5.3 Regulacja napięcia wyjściowego układu HVGDCC

Istotną właściwością opracowanej topologii przekształtnika HVGDCC jest możliwość siedmiostopniowej regulacji jego napięcia wyjściowego. W początkowej fazie prac badawczych zweryfikowano możliwość pracy układu z każdym z siedmiu możliwych do uzyskania współczynników wzmocnienia napięciowego, co demonstrowuje oscylogram zamieszczony na rys. 5.19. Aby zarejestrować przebieg napięcia wyjściowego przekształtnika przestawiony na wspomnianym oscylogramie (rys. 5.19) autor niniejszej rozprawy zdecydował się na przeprowadzenie drobnej modyfikacji



Rys. 5.19. Przebieg napięcia wyjściowego przekształtnika HVGDCC, demonstrujący możliwość jego wielostopniowej regulacji, CH1 - napięcie wyjściowe przekształtnika HVGDCC, CH2 - napięcie wejściowe przekształtnika HVGDCC. Warunki pracy układu $U_{in} = 70\text{ V}$, $R_{load} = 530\ \Omega$, $f_{sw} = 52,91\text{ kHz}$

programu kontrolującego pracę poszczególnych tranzystorów przekształtnika. Wskutek wprowadzonych modyfikacji sterownik co pewien określony czas automatycznie zmieniał współczynnik wzmocnienia napięciowego z jakim pracuje badany układ, realizując przy tym sekwencję przełączeń, która doprowadziła do wygenerowania schodkowego przebiegu napięcia wyjściowego badanego przekształtnika.

5.6 Porównanie przekształtników HVGDCC wykonanych w wersji CoolMOS oraz CoolGaN

Celem badań eksperymentalnych, których wyniki opisano w niniejszym rozdziale, było porównanie właściwości wielopoziomowych przekształtników o topologii HVGDCC, zbudowanych z wykorzystaniem tranzystorów typu CoolMOS oraz CoolGaN. Zestawienie parametrów określających warunki w jakich prowadzono porównawcze badania eksperymentalne przedstawiono w tabeli 5.5. Dane te stano-

Tabela 5.5. Zestawienie parametrów opisujących warunki pracy przekształtników HVGDCC-CoolMOS oraz HVGDCC-CoolGaN podczas ich testów porównawczych

Parametr	Symbol	Przekształtnik	
		HVGDC CoolMOS	HVGDC CoolGaN
Napięcie zasilające	U_{in}	70 V	70 V
Moc wyjściowa przekształtnika	P_{out}	520 W	520 W
Wzmocnienie napięciowe przekształtnika	G_U	6	6
Czas martwy	t_{dead}	125 ns	70 ns
Czas ładowania kondensatora przełączanego w trybie ZCS	$t_{charZCS}$	3,68 μ s	3,45 μ s
Czas rozładowania kondensatora przełączanego w trybie ZCS	t_{disZCS}	2,67 μ s	2,55 μ s
Częstotliwość pracy przekształtnika w trybie ZCS	f_{swZCS}	49,85 kHz	52,91 kHz
Czas ładowania kondensatora przełączanego w trybie ZVS	$t_{charZVS}$	2,47 μ s	2,87 μ s
Czas rozładowania kondensatora przełączanego w trybie ZVS	t_{disZVS}	2,67 μ s	2,55 μ s
Częstotliwość pracy przekształtnika w trybie ZVS	f_{swZVS}	65,70 kHz	60,31 kHz

wią odzwierciedlenie założeń poczynionych przed rozpoczęciem badań obu zbudowanych przekształtników, w których przyjęto iż, w czasie testów układy obciążone będą mocą 520 W, a każdy z nich dla zachowania optymalnych warunków pracy, podlegał będzie indywidualnej regulacji czasu trwania interwałów ładowania i rozładowania kondensatorów przełączanych. W czasie prowadzonych prac badawczych dokonano rejestracji i szczegółowego porównania przebiegów napięć i prądów obserwowanych w kluczowych punktach obu zbudowanych przekształtników.

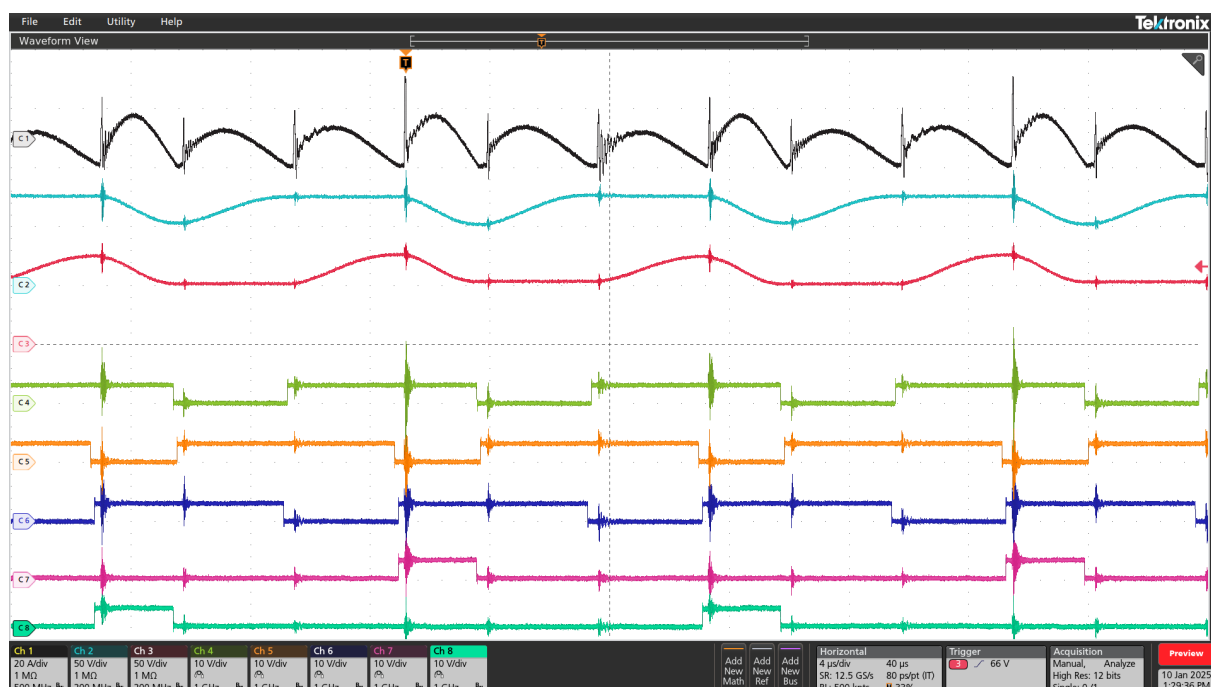
Niniejszy rozdział podzielono na trzy sekcje. W dwóch pierwszych przedstawiono wyniki badań porównawczych przekształtników HVGDCC-CoolMOS oraz HVGDCC-CoolGaN, pracujących kolejno w trybie ZCS i ZVS. W tej części pracy skupiono się na analizie i zestawieniu jakości przebiegów występujących w kluczowych punktach badanych układów. W sekcji trzeciej zamieszczono zestawienie charakterystyk sprawności zarejestrowanych dla każdego z badanych przekształtników, w czasie gdy pracował zarówno w trybie ZCS, jak i ZVS.

5.6.1 Przekształtniki HVGDCC w wersji z tranzystorami CoolMOS oraz CoolGaN pracujące w trybie ZCS

Zamieszczone w tym podrozdziale wyniki badań eksperymentalnych zarejestrowano podczas prac prowadzonych nad wielopoziomowymi przekształtnikami o topologii HVGDCC, działającymi w trybie ZCS. Prezentowane oscylogramy przedstawiają przebiegi prądów i napięć, występujących zarówno w układzie zbudowanym z wykorzystaniem tranzystorów typu CoolMOS, jak również CoolGaN. Głównym celem opisywanych w tym podrozdziale prac doświadczalnych było zbadanie, jaki wpływ na pracę wielopoziomowego przekształtnika DC-DC ma rodzaj tranzystorów zastosowanych do budowy jego obwodu mocy. W związku z tym w kolejnych akapitach zestawiono odpowiadające sobie przebiegi zarejestrowane w przekształtnikach HVGDCC-CoolMOS oraz HVGDCC-CoolGaN, a w towarzyszących im opisach zwrócono szczególną uwagę na zjawiska obserwowane w czasie poszczególnych komutacji.

Przebiegi charakterystyczne dla układów o topologii HVGDCC pracujących w trybie ZCS zbudowanych z wykorzystaniem tranzystorów CoolMOS oraz CoolGaN

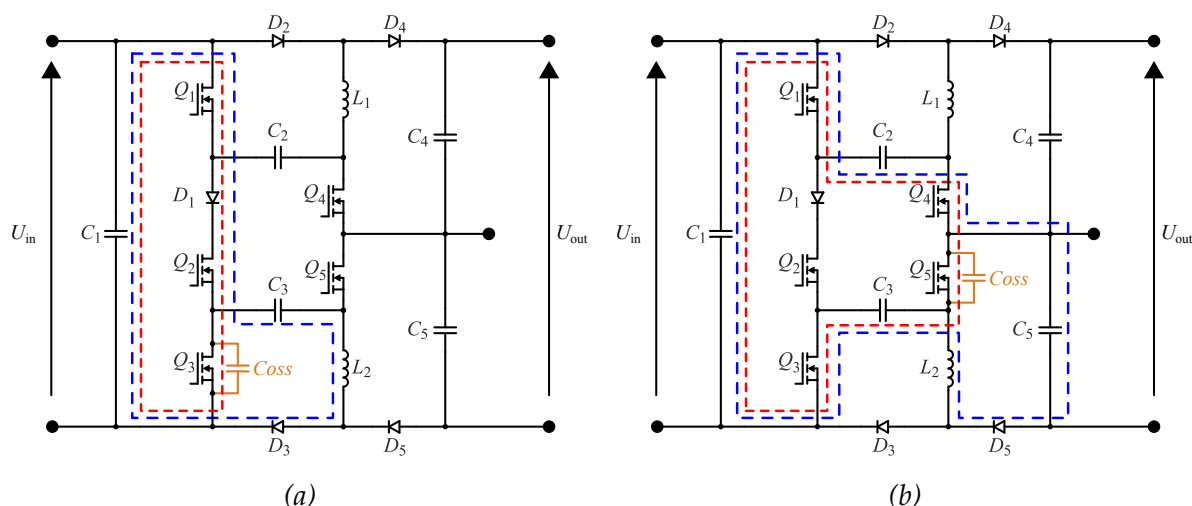
Analizę rozpoczęto od zestawienia najbardziej charakterystycznych przebiegów napięć i prądów obserwowanych w przekształtnikach o topologii HVGDCC, do których zalicza się przebieg ich prądu wejściowego, przebiegi napięć kondensatorów przełączanych oraz sygnałów sterujących pracą poszczególnych tranzystorów. Zamieszczony na rys. 5.20 oscylogram przedstawia zestaw wspomnianych prze-



Rys. 5.20. Zestaw podstawowych przebiegów przekształtnika HVGDCC, zarejestrowanych w układzie wyposażonym w tranzystory CoolMOS i pracującym w trybie ZCS. CH1 – prąd wejściowy przekształtnika i_{in} (CWTUM/06/B), CH2 – napięcie kondensatora przełączanego C_2 (THDP0200), CH3 – napięcie kondensatora przełączanego C_2 (THDP0200), CH4...CH8 – sygnały sterujące pracą tranzystorów $Q_1...Q_5$ (pomiar na wyjściu kontrolera sondą TPP1000). Warunki pracy układu: $U_{in} = 71\text{ V}$, $U_{out} = 387\text{ V}$, $P_{out} = 530\text{ W}$, $f_{sw} = 49,85\text{ kHz}$, $\eta = 89,79\%$

biegów, których rejestracji dokonano w układzie HVGDCC–CoolMOS, pracującym w trybie ZCS. W przebiegach widocznych na wspomnianym oscylogramie z łatwością można dostrzec cykliczne zmiany ich wartości, odpowiadające tym znanym z dotychczas przeprowadzonych analiz teoretycznych oraz badań symulacyjnych przekształtnika o topologii HVGDCC. Należy jednak zauważyć, że przebiegi obserwowane w przekształtniku wyposażonym w tranzystory CoolMOS, w odróżnieniu od ich wyidealizowanych odpowiedników, charakteryzują się dużą zawartością różnego rodzaju zakłóceń.

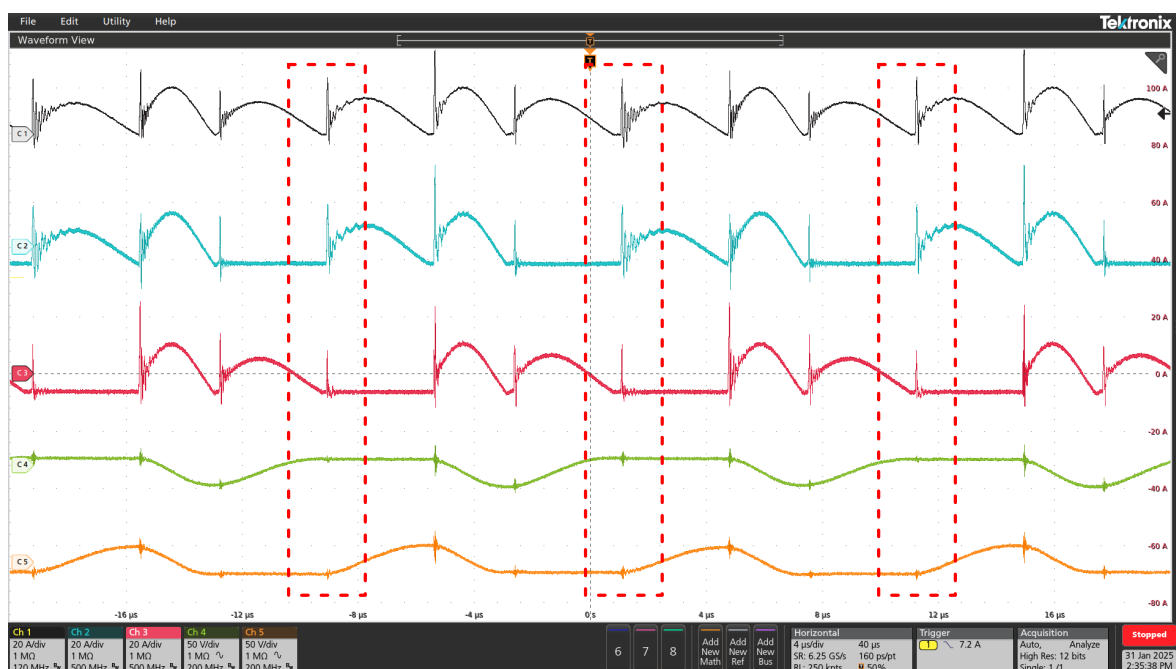
W przebiegu prądu wejściowego badanego układu, przy okazji każdej komutacji pojawiają się niepożądane oscylacje, których amplituda w początkowej fazie znacznie przekracza wartość maksymalną impulsów ładujących i rozładowujących kondensatory przełączane badanego układu. Uwzględniając w analizie, iż wspomniane oscylacje są skorelowane w czasie z poszczególnymi komutacjami zachodzącymi w przekształtniku, można przyjąć, że są one skutkiem ładowania pojemności wyjściowych tranzystorów (C_{oss}), do czego dochodzi bez udziału indukcyjności rezonansowych przekształtnika. Na rysunku 5.21a przedstawiono poglądowy schemat przekształtnika HVGDCC z zaznaczoną kolorem niebieskim ścieżką przepływu typowego prądu ładującego kondensator rezonansowy C_2 . Do-



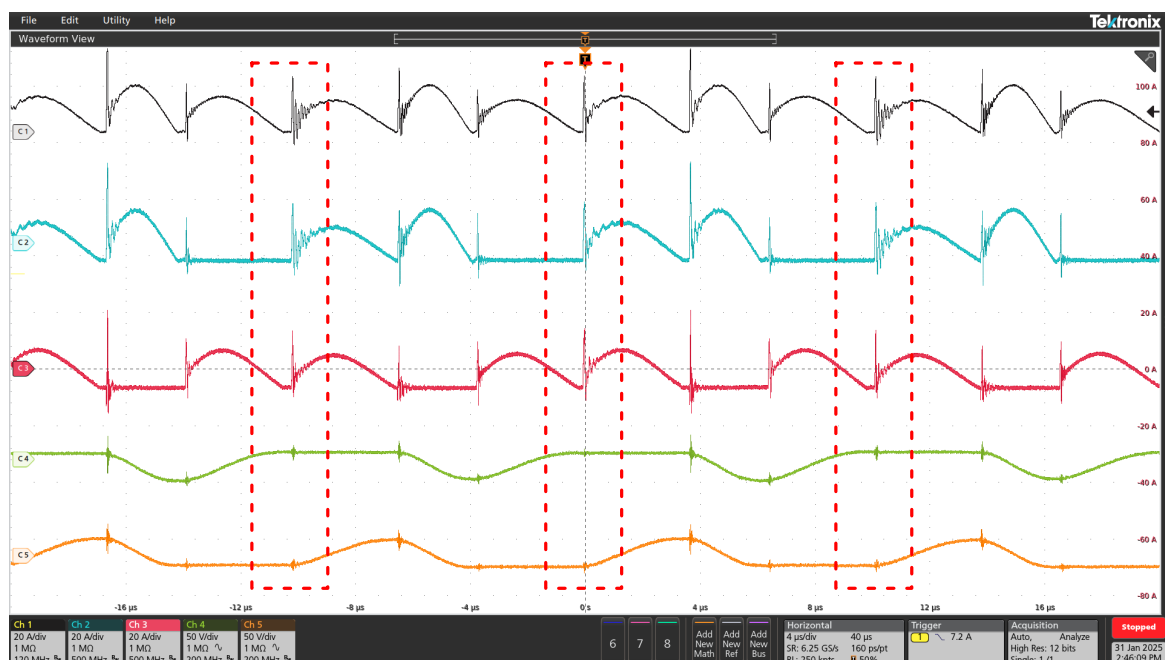
Rys. 5.21. Schemat przekształtnika HVGDCC, z zaznaczonymi ścieżkami przepływu prądów ładujących: a) pojemność wyjściową tranzystora Q_3 (kolor czerwony) oraz kondensator przełączany C_3 (kolor niebieski), b) pojemność wyjściową tranzystora Q_5 (kolor czerwony) oraz kondensator wyjściowy C_5 (kolor niebieski)

datkowo kolorem czerwonym zaznaczono drogę przepływu, towarzyszącego mu w początkowej fazie przeładowania, prądu ładującego pojemność wyjściową (C_{oss}) tranzystora Q_3 . Na rys. 5.21b w sposób analogiczny przedstawiono ścieżki przepływu prądu ładującego kondensator C_5 oraz pojemność wyjściową tranzystora Q_5 . Występowanie pojemności wyjściowych tranzystorów oraz związanych z nimi oscylacji jest niekorzystne, z uwagi na wzrost strat przewodzenia powstających w poszczególnych elementach przekształtnika wskutek przepływu prądu tych oscylacji. Nie bez znaczenia pozostaje także kwestia zakłóceń elektromagnetycznych generowanych przez pracujący w takim stanie przekształtnik, a potwierdzeniem ich występowania mogą być liczne przesłuchy międzykanałowe, widoczne w przedstawionych na rys. 5.20 przebiegach sygnałów sterujących pracą poszczególnych tranzystorów, a także w zamieszczonych na nim przebiegach napięć kondensatorów przełączanych. Na bezpośredni związek wspomnianych oscylacji z procesem komutacji zachodzącej w przekształtniku wskazuje fakt, iż występują one przy każdym przełączeniu tranzystorów wykonawczych badanego układu. Mimo starannego przygotowania stanowiska pomiarowego, uwzględniającego minimalizację wszelkich pętli sygnałowych powstających w związku z dołączeniem sond pomiarowych do poszczególnych elementów układu, wspomnianych zakłóceń nie udało się całkowicie wyeliminować z obserwowanych przebiegów.

Aby dowieść, że zaznaczone na rys. 5.21 ścieżki przepływu prądu ładującego pojemności wyjściowe tranzystorów przekształtnika HVGDCC–CoolMOS odpowiadają tym występującym w układzie rzeczywistym, dokonano rejestracji dwóch dodatkowych oscylogramów przedstawiających przebiegi prądów tranzystorów Q_1 , Q_2 oraz Q_3 (rys. 5.23 oraz rys. 5.22). Z uwagi na fakt, że konstrukcja układu uniemożliwiała



Rys. 5.22. Przebiegi do analizy ładowania pojemności C_{oss} tranzystorów w układzie HVGDCC-CoolMOS. CH1 – prąd wejściowy przekształtnika i_{in} (TCP0030A), CH2 - prąd tranzystora Q_1 (CWTUM/06/B), CH3 - prąd tranzystora Q_3 (CWTUM/06/B), CH4 – napięcie kondensatora przełączanego C_2 (THDP0200), CH5 – napięcie kondensatora przełączanego C_3 (THDP0200). Warunki pracy układu: $U_{in} = 70\text{ V}$, $U_{out} = 387\text{ V}$, $P_{out} = 523\text{ W}$, $f_{sw} = 49,85\text{ kHz}$, $\eta = 89,19\%$

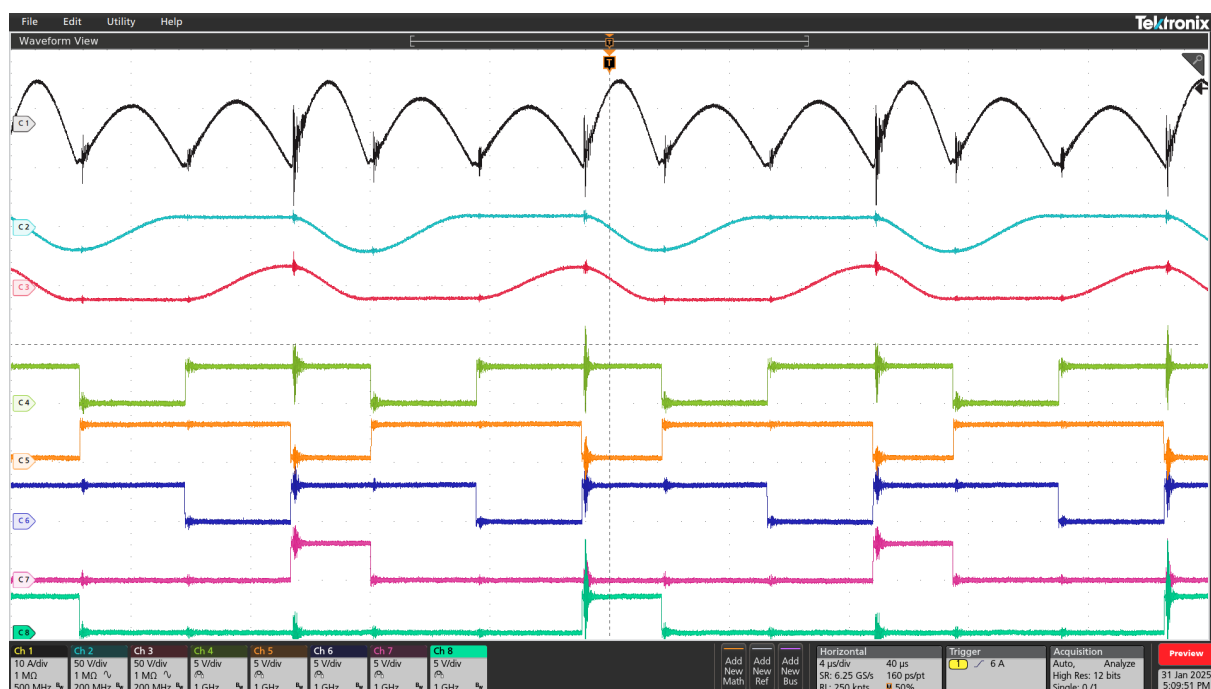


Rys. 5.23. Przebiegi do analizy ładowania pojemności C_{oss} tranzystorów w układzie HVGDCC-CoolMOS. CH1 – prąd wejściowy przekształtnika i_{in} (TCP0030A), CH2 - prąd tranzystora Q_1 (CWTUM/06/B), CH3 - prąd tranzystora Q_2 (CWTUM/06/B), CH4 – napięcie kondensatora przełączanego C_2 (THDP0200), CH5 – napięcie kondensatora przełączanego C_3 (THDP0200). Warunki pracy układu: $U_{in} = 70\text{ V}$, $U_{out} = 387\text{ V}$, $P_{out} = 523\text{ W}$, $f_{sw} = 49,85\text{ kHz}$, $\eta = 89,19\%$

pomiar tych prądów z wykorzystaniem sondy cęgowej, jedyną możliwością ich rejestracji, bez znacznej ingerencji w strukturę układu, było zrealizowanie go za pomocą cewek Rogowskiego okalających wyprowadzenia drenów badanych tranzystorów. Laboratorium, w którym prowadzono badania, dysponuje jedynie dwoma egzemplarzami tego typu przetworników, co jednoznacznie wskazywało na konieczność przeprowadzenia dwuetapowej rejestracji przebiegów prądu wspomnianych tranzystorów $Q_1 - Q_3$.

Dla ułatwienia analizy zarejestrowanych oscylogramów (rys. 5.23 oraz rys. 5.22), na każdym z nich dodatkowo zamieszczono przebiegi prądu wejściowego badanego układu oraz napięć na jego kondensatorach przełączanych. Dzięki temu, na każdym z zarejestrowanych oscylogramów odszukano moment przełączenia pomiędzy konfiguracją $M1$ oraz $M2$, który zaznaczono na nich czerwoną linią przerywaną. Z analizy zarejestrowanych przebiegów wynika, że w konfiguracji $M1$ tranzystor Q_3 utrzymywany był w stanie przewodzenia, a jego pojemność wyjściowa C_{oss} pozostawała rozładowana. Po zakończeniu tego przeładowania przechodzi on do stanu blokowania, a następnie załączany jest tranzystor Q_1 , który wprowadza przekształtnik w konfigurację $M2$. Co ważne, tranzystor Q_2 pozostaje w stanie przewodzenia w każdym z wyżej wymienionych interwałów, jak również w występującym pomiędzy nimi czasie martwym. Analizując sposób, w jaki w prądach wspomnianych łączników propaguje się oscylacja widoczna w prądzie wejściowym przekształtnika pomiędzy konfiguracjami $M1$ oraz $M2$, można stwierdzić, iż związany z nią prąd przepływa przez wszystkie tranzystory gałęzi wejściowej ($Q_1 - Q_3$) oraz diodę D_1 . Charakterystyczny kształt obserwowanego impulsu wskazuje, iż ścieżka jego przepływu jest niemal bezindukcyjna, co odpowiada tezie wiążącej fakt jego występowania z ładowaniem pojemności wyjściowej C_{oss} tranzystora Q_3 , w którego gałęzi indukcyjności inne niż pasożytnicze nie występują.

W toku prowadzonych prac eksperymentalnych, na potrzeby porównania układów HVGDCC–CoolMOS oraz HVGDCC–CoolGaN, dokonano również licznych rejestracji przebiegów napięć i prądów komponentów wchodzących w skład przekształtnika wykorzystującego w swojej strukturze tranzystory z azotku galu GaN. Podobnie jak to miało miejsce w przypadku układu bazującego na tranzystorach typu CoolMOS, rejestracje rozpoczęto od zestawu najbardziej charakterystycznych przebiegów dla układów o topologii HVGDCC. Zamieszczony na rys. 5.24 oscylogram prezentuje przebiegi prądu wejściowego przekształtnika HVGDCC–CoolGaN oraz napięć jego kondensatorów przełącznych, ukazane na tle sygnałów sterujących pracą tranzystorów obwodu wykonawczego. Porównując wspomniany oscylogram z jego odpowiednikiem zarejestrowanym w układzie HVGDCC–CoolMOS, należy zwrócić uwagę na zdecydowanie mniejszą ilość zakłóceń występujących w układzie zbudowanym z wykorzystaniem tranzystorów z azotku galu (CoolGaN). Amplitudy niepo-



Rys. 5.24. Zestaw podstawowych przebiegów przekształtnika HVGDCC, zarejestrowanych w układzie wyposażonym w tranzystory CoolGaN i pracującym w trybie ZCS. CH1 – prąd wejściowy przekształtnika i_{in} (CWTUM/06/B), CH2 – napięcie kondensatora przełączanego C_2 (THDP0200), CH3 – napięcie kondensatora przełączanego C_2 (THDP0200), CH4...CH8 – sygnały sterujące pracą tranzystorów $Q_1...Q_5$ (pomiar na wyjściu kontrolera sondą TPP1000). Warunki pracy układu: $U_{in} = 69,6\text{ V}$, $U_{out} = 385,60\text{ V}$, $P_{out} = 524\text{ W}$, $f_{sw} = 52,91\text{ kHz}$, $\eta = 91,70\%$

żądanych oscylacji występujących w momencie zmiany konfiguracji obwodu głównego badanego przekształtnika są wyraźnie niższe niż amplitudy właściwych pulsów ładujących i rozładowujących jego kondensatory przełączane, podczas gdy w układzie z tranzystorami typu CoolMOS relacja ta była odwrotna. Ponadto, w przypadku przekształtnika HVGDCC–CoolGaN, wyraźnie widoczne w przebiegu jego prądu wejściowego są jedynie oscylacje towarzyszące rozpoczęciu interwałów $M3$ oraz $M4$. Zakłócenia związane z pozostałymi komutacjami są niemal niezauważalne, co stanowi efekt zastosowania w obwodzie mocy tego układu tranzystorów z azotku galu, charakteryzujących się mniejszymi — w porównaniu do łączników typu CoolMOS — wartościami pojemności wyjściowej, a dzięki obudowie przystosowanej do montażu powierzchniowego także zredukowanymi wartościami indukcyjności pasożytniczych. Należy również zauważyć, iż w przypadku przekształtnika HVGDCC–CoolGaN przebiegi impulsów ładujących i rozładowujących jego kondensatory przełączane nie są odkształcone. Obserwowany przebieg prądu wejściowego badanego układu jest bardzo zbliżony do jego teoretycznego odpowiednika, a w początkowej fazie poszczególnych przeładowań nie obserwuje się dodatkowych tętnień znanych z przebiegów układu HVGDCC–CoolMOS.

Skutkiem zastosowania w obwodzie mocy przekształtnika HVGDCC tranzystorów CoolGaN była redukcja maksymalnych wartości prądów oscylacyjnych pojawiających się w badanym układzie w związku z każdą rekonfiguracją jego struktury wewnętrznej. W efekcie, zmniejszeniu uległ także poziom zakłóceń obserwowanych w przebiegach napięć kondensatorów przełączanych oraz sygnałów sterujących pracą poszczególnych tranzystorów. Korzystając więc z przebiegów zamieszczonych na rys. 5.20 oraz rys. 5.24, można wstępnie przyjąć, że zastąpienie tranzystorów krzemowych (CoolMOS) tranzystorami z azotku galu (GaN), w wielopoziomowym przekształtniku rezonansowym o przełączanych kondensatorach, prowadzi do wyraźnego zmniejszenia ilości zakłóceń emitowanych przez ten układ. Aby dokładnie określić i porównać ilość zakłóceń generowanych przez każdy z badanych przekształtników, należałoby dokonać pomiaru ich emisji promieniowanej oraz przewodzonej w szerokim spektrum częstotliwości. Z uwagi na fakt, iż laboratorium, w którym prowadzono badania eksperymentalne, nie dysponuje sprzętem przeznaczonym do prowadzenia analiz z zakresu kompatybilności elektromagnetycznej urządzeń, a samo zagadnienie wykracza poza przyjęte ramy tematyczne niniejszej pracy, postanowiono, iż temat kompatybilności elektromagnetycznej opracowanych przekształtników nie będzie szerzej omawiany.

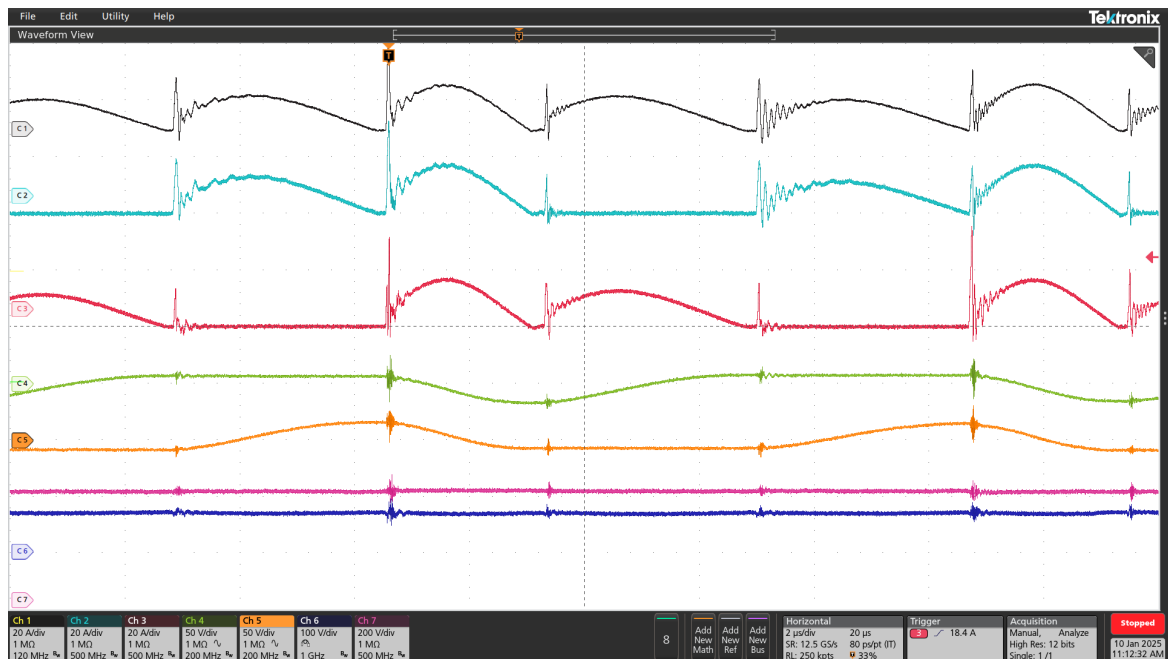
Porównując podstawowe przebiegi obu przekształtników, warto również zwrócić uwagę na czasy trwania poszczególnych przeładowań. W przypadku każdego z badanych przekształtników, czasy trwania odpowiadających sobie interwałów są do siebie zbliżone, co potwierdza, że każdy z analizowanych układów został wykonany w sposób symetryczny, a niewielkie rozbieżności widoczne na prezentowanych oscylogramach wynikają z tolerancji komponentów wykorzystanych do ich budowy. Co więcej, na podstawie prezentowanych oscylogramów można stwierdzić, że parametry obwodów rezonansowych obu badanych przekształtników są podobne. Porównując jednak czasy trwania poszczególnych przeładowań występujących w rzeczywistych układach z tymi wyznaczonymi w sposób analityczny, można zaobserwować wyraźne rozbieżności. Wynika to z faktu zastosowania w roli pojemności rezonansowych kondensatorów ceramicznych, które wykazują silną zależność ich pojemności od wartości przyłożonego do nich napięcia stałego. W badanym przypadku zjawisko to spowodowało wyraźne zmniejszenie wypadkowej pojemności obwodów rezonansowych obu przekształtników i w konsekwencji doprowadziło do wyraźnego zwiększenia częstotliwości ich pracy. Niezależnie jednak od tego, na podstawie przedstawionych oscylogramów (rys. 5.20 oraz rys. 5.24) można stwierdzić, że każdy z badanych przekształtników działa zgodnie z założeniami topologii HVGDCC.

Przebiegi prądów tranzystorów w przekształtnikach HVGDCC pracujących w trybie ZCS zbudowanych z wykorzystaniem tranzystorów CoolMOS oraz CoolGaN

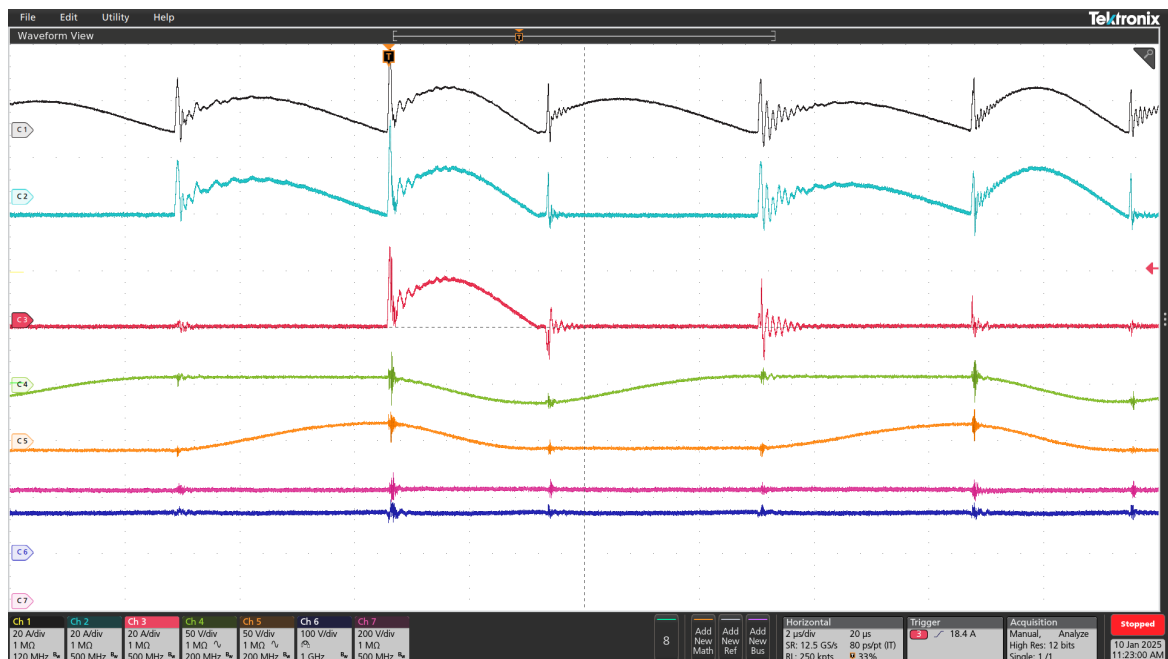
W kolejnym etapie prac eksperymentalnych dokonano porównania przebiegów prądów przepływających przez poszczególne tranzystory przekształtników HVGDCC–CoolMOS oraz HVGDCC–CoolGaN, pracujących w trybie ZCS. Ze względu na wcześniej omówione ograniczenie konstrukcyjne i sprzętowe, pomiaru prądów tranzystorów Q_1 , Q_3 oraz Q_4 w przekształtniku zbudowanym z wykorzystaniem tranzystorów CoolMOS dokonano w dwóch etapach, a oscylogramy przedstawiające zarejestrowane przebiegi zamieszczono na rys. 5.25 oraz rys. 5.26. W celu uwidocznienia większej ilości szczegółów w omawianych przebiegach, rejestracji dokonano w skali czasu zawężonej do $2\mu\text{s}/\text{div}$. W zmierzonych przebiegach wyraźnie widać, iż omawiane w poprzednim akapicie zakłócenia mają przebieg oscylacyjny, a ścieżka ich przepływu często wiedzie przez kilka tranzystorów.

Szczególnie ciekawym przypadkiem jest zakłócenie obserwowane w przebiegu prądu tranzystora Q_4 , występujące w czasie przełączenia przekształtnika HVGDCC–CoolMOS z konfiguracji $M1$ do $M2$ (rys. 5.26). Tranzystor ten (Q_4), w każdej z tych konfiguracji ($M1$ oraz $M2$), pozostaje w stanie blokowania, a mimo to w momencie rozpoczęcia interwału $M2$, w przebiegu jego prądu pojawia się zakłócenie o charakterze oscylacyjnym tłumionym, trwające przez około 880 ns. Anomalia ta jest również widoczna w przebiegu prądu tranzystora Q_1 oraz prądu wejściowego badanego przekształtnika. Dodatkowo, zakłócenie to nakłada się na przebieg prądu płynącego w przekształtniku w czasie ładowania jego kondensatora przełączanego C_3 . Skutkuje to jego odkształceniem, polegającym na tym, że w początkowej fazie interwału $M2$ zostaje on niejako zmodulowany przebiegiem wspomnianego zakłócenia. Zważywszy na fakt, że w czasie, kiedy oscylacje te pojawiają się w badanym układzie, tranzystor Q_4 pozostaje w stanie blokowania, a mimo to można je zaobserwować w jego przebiegu prądu, należy stwierdzić, że ścieżka ich przepływu wiedzie przez pojemność wyjściową tego łącznika. W związku z tym, w celu ich wyeliminowania, zasadnym byłoby zastosowanie łączników charakteryzujących się mniejszą pojemnością wyjściową.

Analogiczny zestaw przebiegów zarejestrowano również w układzie HVGDCC–CoolGaN podczas jego pracy w trybie ZCS. Wyniki przeprowadzonych pomiarów przedstawia oscylogram zamieszczony na rysunku 5.27. Mimo iż w trakcie badań układu HVGDCC–CoolGaN zastosowano sondy cęgowe o znacznie szerszym paśmie przenoszenia (120 MHz) niż cewki Rogowskiego (30 MHz) użyte przy pomiarach układu HVGDCC–CoolMOS, poziom zakłóceń obserwowanych w przekształtniku wyposażonym w tranzystory GaN był zauważalnie niższy niż w przypadku przekształtnika HVGDCC–CoolMOS. Co więcej, w przebiegach



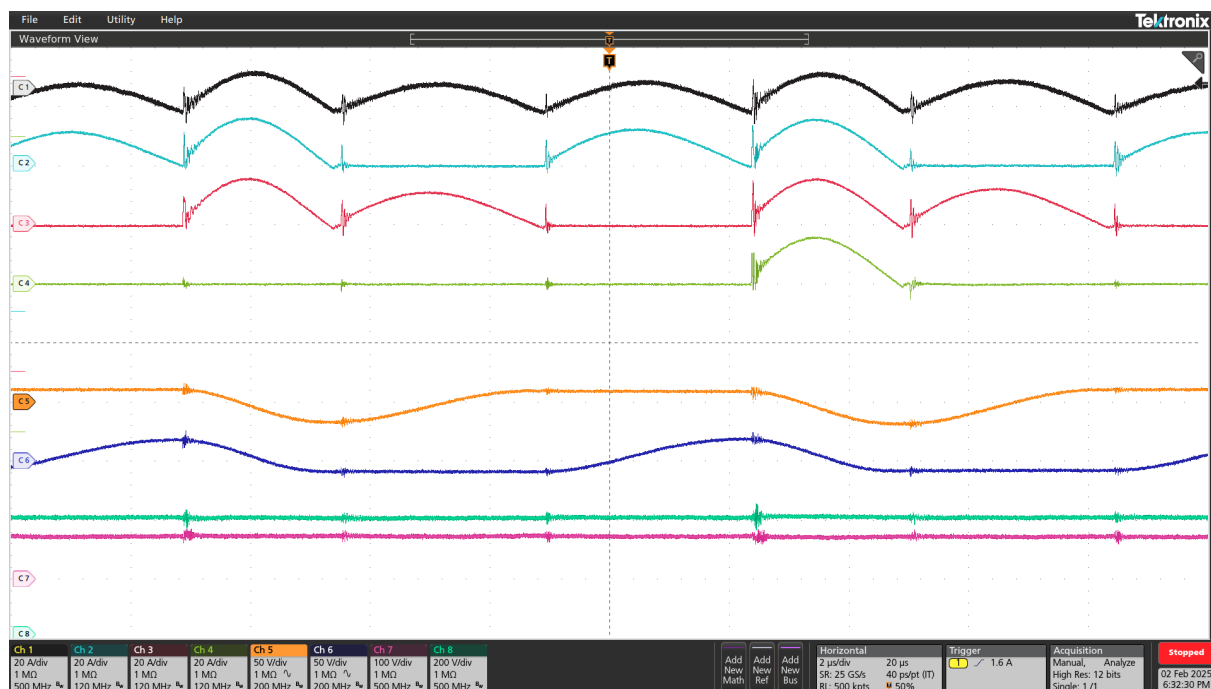
Rys. 5.25. Przebiegi prądów tranzystorów przekształtnika HVGDC-CoolMOS pracującego w trybie ZCS. CH1 – prąd wejściowy przekształtnika i_{in} (TCP0030A), CH2...3 – prądy tranzystorów Q_1 oraz Q_4 (CWTUM/06/B), CH4...5 – napięcia kondensatorów przełączanych C_2 oraz C_3 (THDP0200), CH6 – napięcie wejściowe przekształtnika U_{in} (THDP0200), CH7 – napięcie wyjściowe przekształtnika U_{out} (P5205), Warunki pracy układu: $U_{in} = 70,21\text{ V}$, $U_{out} = 385,84\text{ V}$, $P_{out} = 527\text{ W}$, $f_{sw} = 49,85\text{ kHz}$, $\eta = 88,87\%$



Rys. 5.26. Przebiegi prądów tranzystorów przekształtnika HVGDC-CoolMOS pracującego w trybie ZCS. CH1 – prąd wejściowy przekształtnika i_{in} (TCP0030A), CH2...3 – prądy tranzystorów Q_1 oraz Q_4 (CWTUM/06/B), CH4...5 – napięcia kondensatorów przełączanych C_2 oraz C_3 (THDP0200), CH6 – napięcie wejściowe przekształtnika U_{in} (THDP0200), CH7 – napięcie wyjściowe przekształtnika U_{out} (P5205), Warunki pracy układu: $U_{in} = 70,21\text{ V}$, $U_{out} = 385,84\text{ V}$, $P_{out} = 527\text{ W}$, $f_{sw} = 49,85\text{ kHz}$, $\eta = 88,87\%$

prądów tranzystorów wyjściowych nie zaobserwowano oscylacji niezwiązanych z ich przełączaniem, co oznacza, że — w przeciwieństwie do układu z tranzystorami CoolMOS — w przekształtniku HVGDCC–CoolGaN zakłócenia w przebiegu prądu tranzystora Q_4 nie występują w czasie pomiędzy interwałami $M1$ oraz $M2$.

Uzupełnienie wyżej omówionych rejestracji stanowią przebiegi napięć kondensatorów przełączanych obu badanych układów oraz przebiegi napięć zarejestrowanych na ich zaciskach wejściowych i wyjściowych. Dysponując przebiegami napięć wejściowych i wyjściowych, można wyznaczyć współczynnik wzmocnienia napięciowego (G_U), który dla każdego z badanych układów wynosi około 5,52. Wartość ta nieco odbiega od wyliczeń teoretycznych, jednak zważywszy na fakt, iż w czasie obliczeń nie uwzględniono napięć przewodzenia diod prostowniczych oraz spadków napięć występujących na poszczególnych rezystancjach pasożytniczych badanych przekształtników, wartość tę należy przyjąć za poprawną. Dodatkowym elementem potwierdzającym, że każdy z badanych układów pracuje zgodnie z założeniami topologii HVGDCC, jest kształt przebiegów napięć kondensatorów przełączanych, który w pełni odpowiada przebiegom zarejestrowanym w czasie badań symulacyjnych oraz wyznaczonym w czasie prac analitycznych.



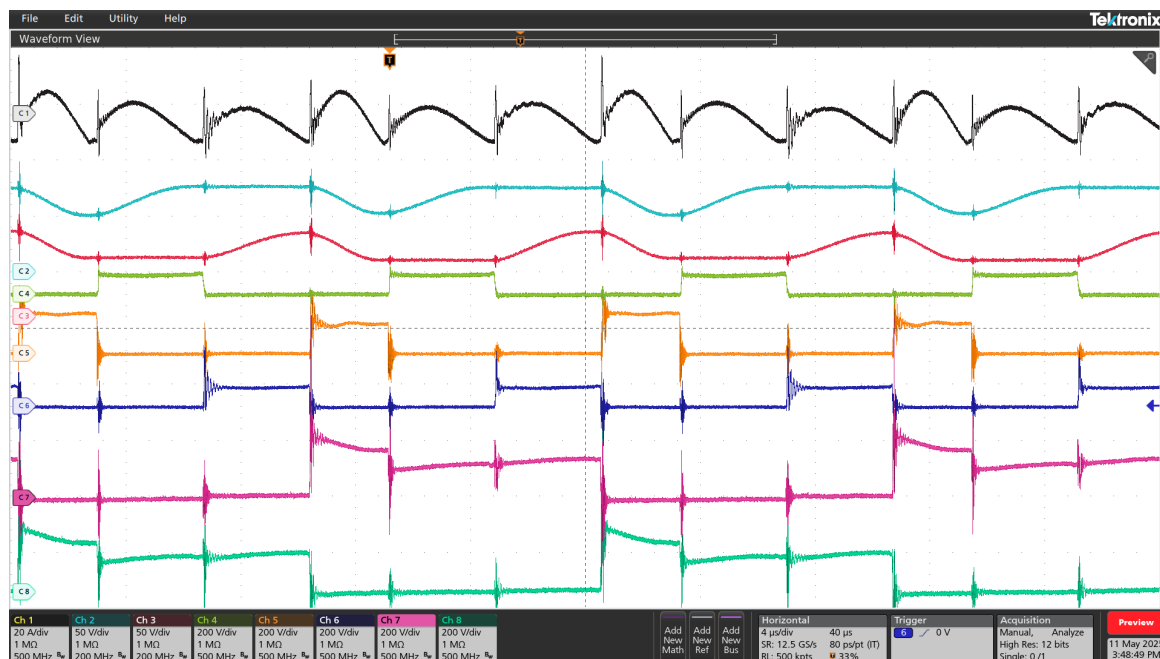
Rys. 5.27. Przebiegi prądów tranzystorów przekształtnika HVGDCC–CoolGaN pracującego w trybie ZCS. CH1 – prąd wejściowy przekształtnika i_{in} (CWTUM/06/B), CH2 – prąd tranzystora Q_1 (TCP0030A), CH3 – prąd tranzystora Q_3 (TCP0030), CH4 – prąd tranzystora Q_4 (TCP0030), CH5 – napięcie kondensatora przełączanego C_2 (THDP0200), CH6 – napięcie kondensatora przełączanego C_3 (THDP0200), CH7 – napięcie wejściowe przekształtnika U_{in} (THDP0200), CH8 – napięcie wyjściowe przekształtnika U_{out} (P5205), Warunki pracy układu: $U_{in} = 69,2 \text{ V}$, $U_{out} = 384,28 \text{ V}$, $P_{out} = 518 \text{ W}$, $f_{sw} = 52,91 \text{ kHz}$, $\eta = 91,77 \%$

Przebiegi napięć tranzystorów i diod prostowniczych w przekształtnikach HVGDCC-CoolMOS oraz HVGDCC-CoolGaN pracujących w trybie ZCS

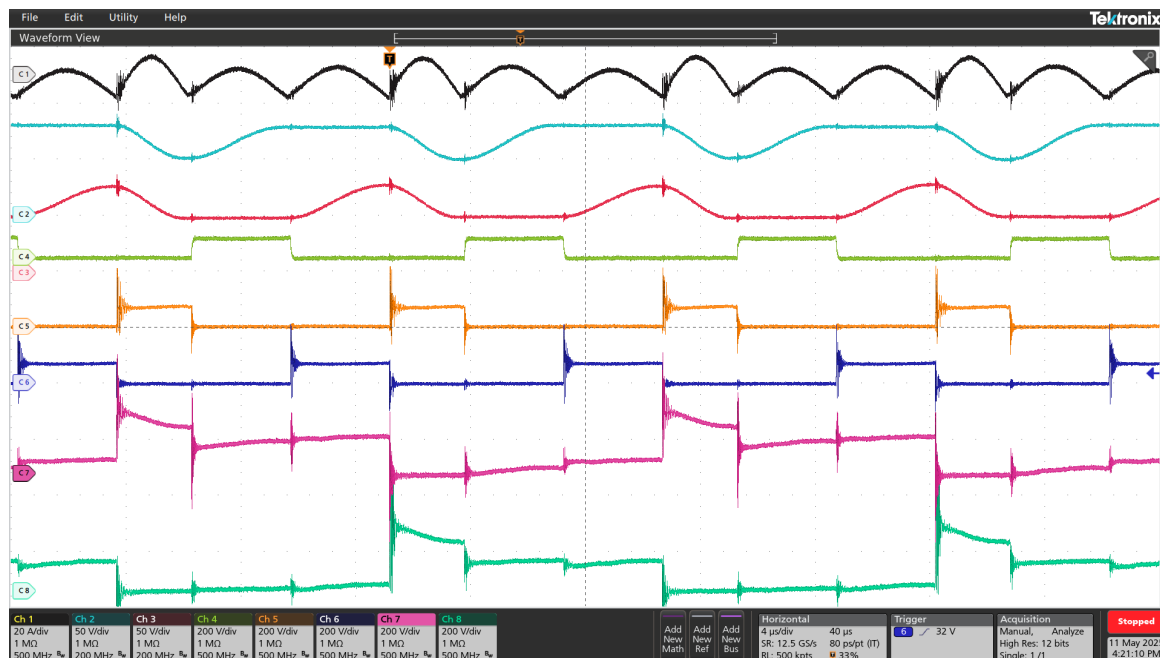
W następnym etapie prowadzonych prac badawczych zarejestrowano oraz przeanalizowano przebiegi napięć występujących na tranzystorach oraz diodach prostowniczych wchodzących w skład obwodów mocy przekształtników HVGDCC-CoolMOS oraz HVGDCC-CoolGaN. W czasie prowadzonych rejestracji każdy z badanych przekształtników pracujących w trybie ZCS, a oscylogramy przedstawiające zarejestrowane przebiegi zamieszczono na rys. 5.28–5.31. Z zaprezentowanych oscylogramów wynika, iż wartości napięć długotrwale blokowanych przez poszczególne łączniki pracujące w sekcji wyjściowej (diody D_4 – D_5 oraz tranzystory Q_4 – Q_5) każdego z badanych przekształtników, niezależnie od rodzaju zastosowanego łącznika, nie przekraczają 260 V. W przypadku elementów wchodzących w skład ich obwodów wejściowych (diody D_1 – D_3 oraz tranzystory Q_1 – Q_3), napięcia, z jakimi muszą pracować, nie przekraczają 100 V. Potwierdza to więc, że przekształtniki o topologii HVGDCC, zgodnie z przewidywaniami, charakteryzują się relatywnie niskimi wartościami napięć blokowanych przez łączniki pracujące w ich obwodach mocy.

W obserwowanych przebiegach można także dostrzec zakłócenia o charakterze oscylacyjnym tłumionym, których amplitudy początkowe osiągają nawet 180 V. Moment ich wystąpienia pokrywa się z chwilą realizacji przełączeń w układzie, co wskazuje, iż mogą one powstawać w związku z występowaniem w obwodach mocy badanych układów indukcyjności i pojemności pasożytniczych. Częściowo oscylacje te mogą również wynikać z niedoskonałości zastosowanego systemu pomiarowego, w którym, wskutek zakłóceń generowanych przez badany układ, w pętach tworzonych przez przewody pomiarowe sond różnicowych indukują się niepożądane sygnały zakłócające pomiar.

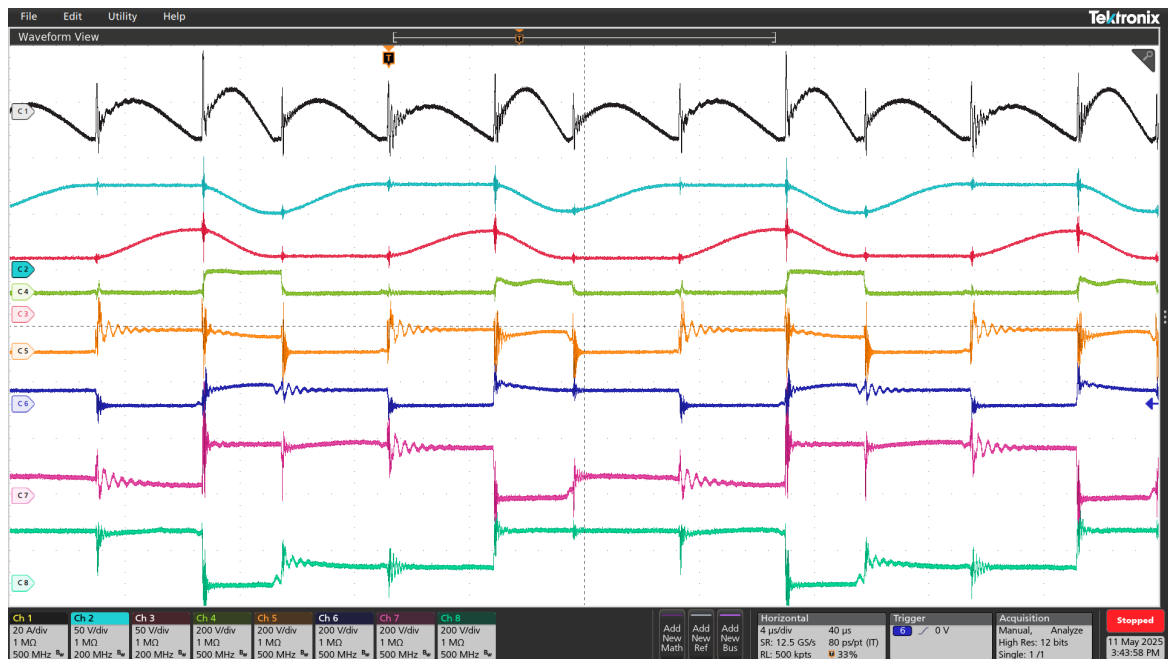
Porównując przebiegi napięć występujących na tranzystorach przekształtników HVGDCC-CoolMOS (rys. 5.28) oraz HVGDCC-CoolGaN (rys. 5.29), można stwierdzić, iż ogólny poziom zakłóceń obserwowanych w tych przebiegach jest zbliżony dla każdego z badanych przekształtników. W przebiegach napięć tranzystorów każdego z badanych przekształtników występują zakłócenia oscylacyjne tłumione o znacznych amplitudach początkowych. Ich czas trwania jest relatywnie krótki i w większości przypadków nie przekracza 1 μ s. Z kolei amplitudy początkowe tych oscylacji osiągają około 120 V. Zakłócenia tego typu występują zarówno w tranzystorach stopnia wejściowego, jak i wyjściowego, jednak w przebiegach tranzystorów pracujących po stronie wejściowej układu jest ich wyraźnie mniej.



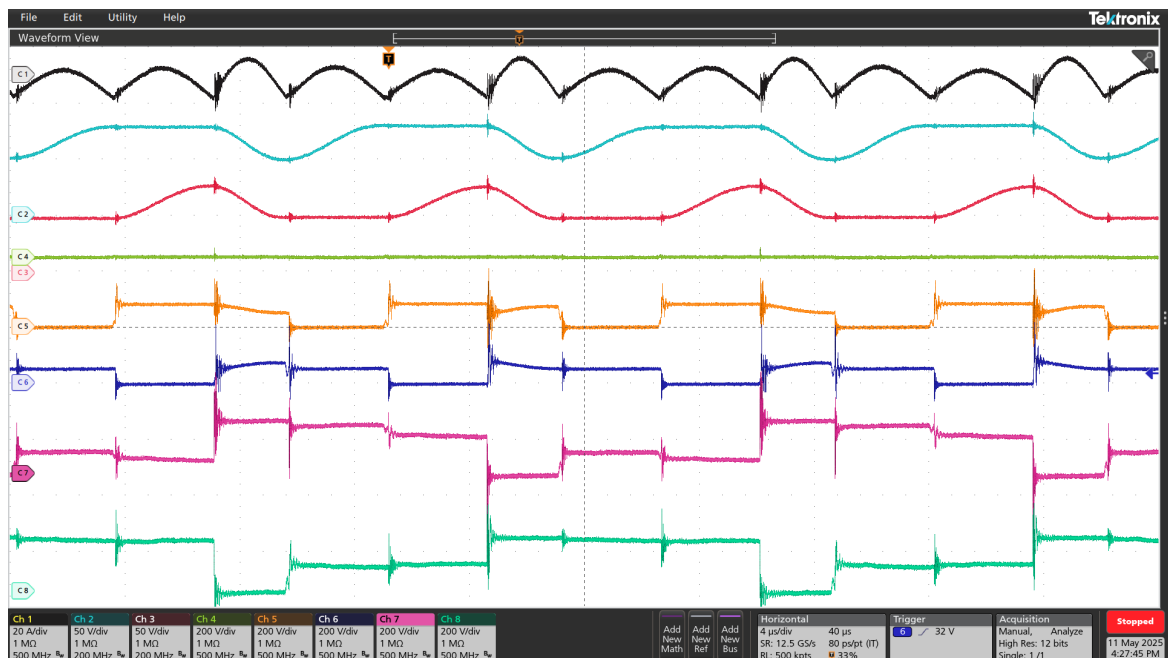
Rys. 5.28. Przebiegi napięć blokowanych przez tranzystory przekształtnika HVGDC-CoolMOS pracującego w trybie ZCS. CH1 – prąd wejściowy przekształtnika i_{in} (CWTUM/06/B, CH2...3 – napięcia kondensatorów przełączanych C_2 oraz C_3 (THDP0200), CH4...8 – napięcia tranzystorów $Q_1...Q_5$ (GDP-025), Warunki pracy układu: $U_{in} = 70,80 \text{ V}$, $U_{out} = 389,61 \text{ V}$, $P_{out} = 535 \text{ W}$, $f_{sw} = 49,85 \text{ kHz}$, $\eta = 89,03 \%$



Rys. 5.29. Przebiegi napięć blokowanych przez tranzystory przekształtnika HVGDC-CoolGaN pracującego w trybie ZCS. CH1 – prąd wejściowy przekształtnika i_{in} (CWTUM/06/B), CH2...3 – napięcia kondensatorów przełączanych C_2 oraz C_3 (THDP0200), CH4...8 – napięcia tranzystorów $Q_1...Q_5$ (GDP-025), Warunki pracy układu: $U_{in} = 69,88 \text{ V}$, $U_{out} = 387,95 \text{ V}$, $P_{out} = 525 \text{ W}$, $f_{sw} = 52,91 \text{ kHz}$, $\eta = 91,73 \%$



Rys. 5.30. Przebiegi napięć blokowanych przez diody prostownicze przekształtnika HVGDC-CoolMOS pracującego w trybie ZCS. CH1 – prąd wejściowy przekształtnika i_{in} (CWTUM/06/B, CH2...3 – napięcia kondensatorów przełączanych C_2 oraz C_3 (THDP0200), CH4...8 – napięcia diod prostowniczych $D_1...D_5$ (GDP-025), Warunki pracy układu: $U_{in} = 70,20\text{ V}$, $U_{out} = 386,02\text{ V}$, $P_{out} = 527\text{ W}$, $f_{sw} = 49,85\text{ kHz}$, $\eta = 88,95\%$



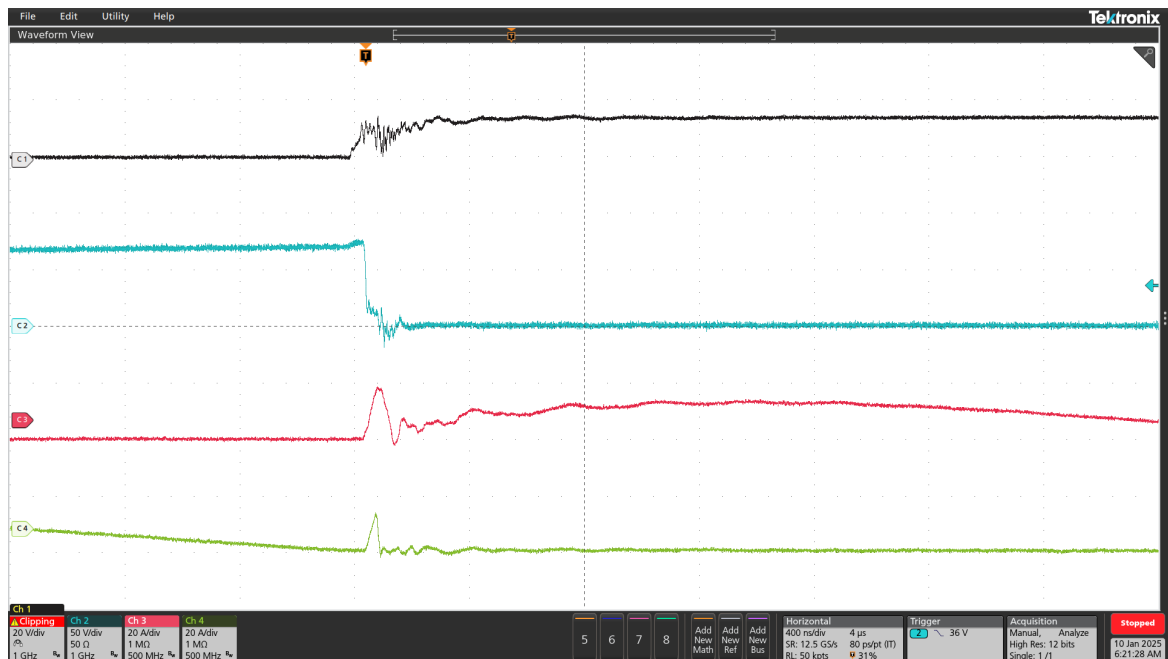
Rys. 5.31. Przebiegi napięć blokowanych przez diody prostownicze przekształtnika HVGDC-CoolGaN pracującego w trybie ZCS. CH1 – prąd wejściowy przekształtnika i_{in} (CWTUM/06/B), CH2...3 – napięcia kondensatorów przełączanych C_2 oraz C_3 (THDP0200), CH4...8 – napięcia diod prostowniczych $D_1...D_5$ (GDP-025), Warunki pracy układu: $U_{in} = 70,33\text{ V}$, $U_{out} = 390,53\text{ V}$, $P_{out} = 531\text{ W}$, $f_{sw} = 52,91\text{ kHz}$, $\eta = 91,72\%$

Nieco większe rozbieżności pojawiają się w przypadku przebiegów napięć blokowanych przez diody prostownicze badanych przekształtników. W układzie wykorzystującym w swojej strukturze tranzystory CoolGaN (rys. 5.31) w przebiegach napięć tych elementów występują zakłócenia, które mają charakter oscylacyjny tłumiony, z amplitudą początkową nieprzekraczającą 120 V i czasem trwania zakłócenia nie dłuższym niż 1 μ s. W przekształtniku zbudowanym z wykorzystaniem tranzystory CoolMOS w przebiegach napięć diod prostowniczych (rys. 5.30) także pojawiają się zakłócenia o charakterze oscylacyjnym tłumionym i w większości przypadków powstają one w momencie rozpoczęcia kolejnych interwałów pracy przekształtnika. Oscylacje te nakładają się na typowe przebiegi napięć występujących w tym czasie na diodach tego przekształtnika i prowadzą do ich wyraźnego odkształcenia. Najwyższe obserwowane amplitudy początkowe tych oscylacji, podobnie jak miało to miejsce w przypadku diod układu HVGDCC–CoolGaN, osiągają około 120 V i występują w przebiegach napięć diod D_4 oraz D_5 . Ich czas trwania jest jednak zdecydowanie dłuższy i w skrajnych przypadkach bywa porównywalny z czasem trwania poszczególnych taktów pracy przekształtnika. Fakt występowania tego typu zakłóceń w przekształtnikach o topologii HVGDCC powinien być uwzględniony na etapie ich projektowania, poprzez dobór odpowiedniej klasy napięciowej diod prostowniczych.

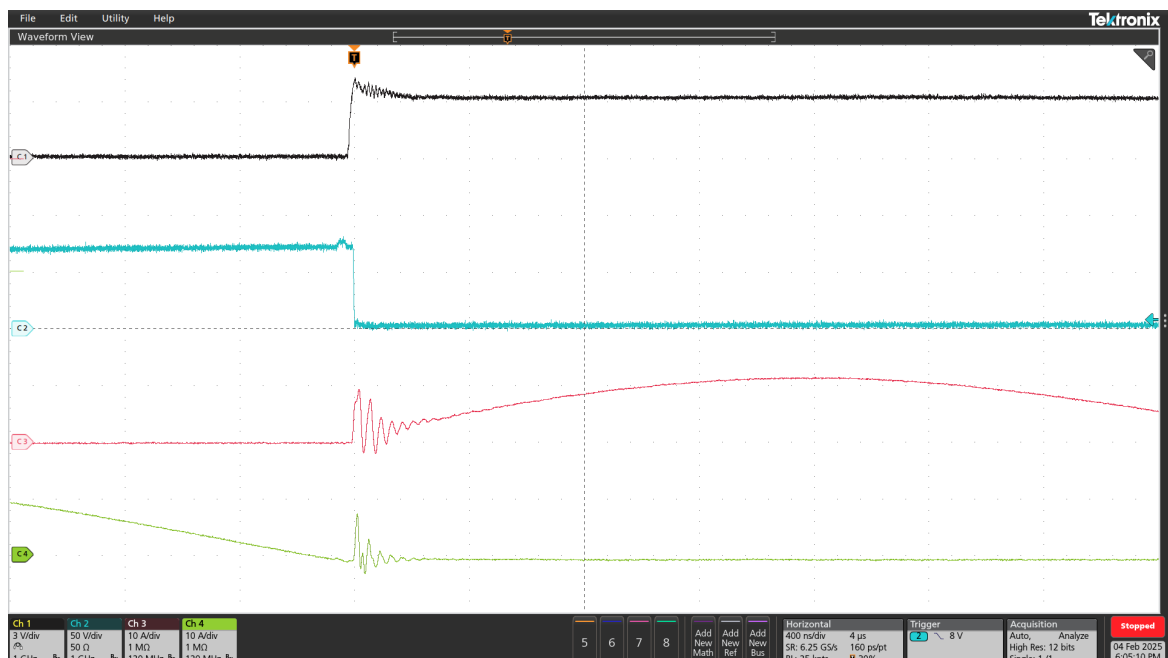
Analizując przebiegi zamieszczone na rys. 5.28–5.31, warto również zwrócić uwagę na przebiegi napięć kondensatorów przełączanych, które tym razem zostały zarejestrowane w trybie sprzężenia DC. Dzięki temu, poprzez analizę poziomu ich rozładowania, można stwierdzić, iż badane przekształtniki w czasie trwania testów były obciążone w umiarkowany sposób, a poziom tętnień ich napięć wyniósł około 30 V.

Przełączenia tranzystorów w przekształtnikach HVGDCC zbudowanych z wykorzystaniem tranzystorów CoolMOS oraz CoolGaN i pracujących w trybie ZCS

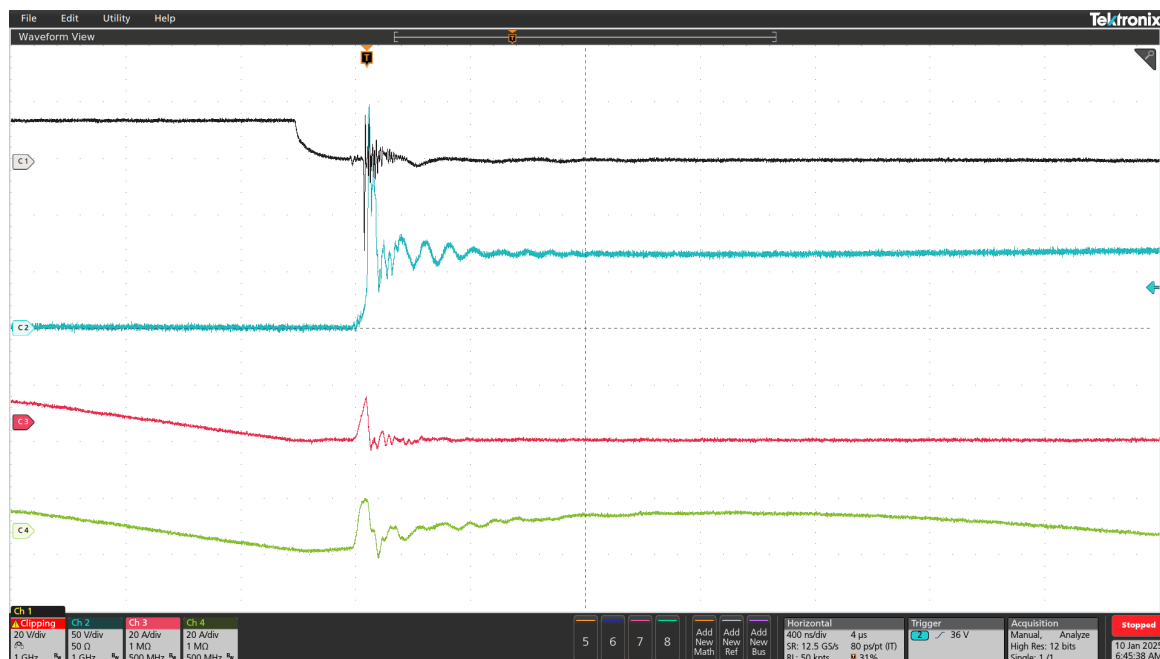
Aby przeanalizować zjawiska łączeniowe zachodzące w wielopoziomowych przekształtnikach rezonansowych o przełączanych kondensatorach, zbudowanych z wykorzystaniem różnych rodzajów tranzystorów, dokonano licznych rejestracji oscyloskopowych przedstawiających przebiegi napięć i prądów związanych z realizacją procesu załączania i wyłączania poszczególnych tranzystorów w układach HVGDCC–CoolMOS oraz HVGDCC–CoolGaN, pracujących w trybie ZCS. Przebieg wspomnianych procesów zachodzących w każdym z badanych przekształtników zilustrowano przy pomocy oscylogramów przedstawiających przebiegi napięć i prądów tranzystora Q_1 , zarówno w przekształtniku HVGDCC–CoolMOS, jak również HVGDCC–CoolGaN. Wyniki przeprowadzonych rejestracji, przedstawiają oscylogramy zamieszczone na rys. 5.32–5.33, zaś proces jego wyłączania — te umieszczone na rys. 5.34–5.35.



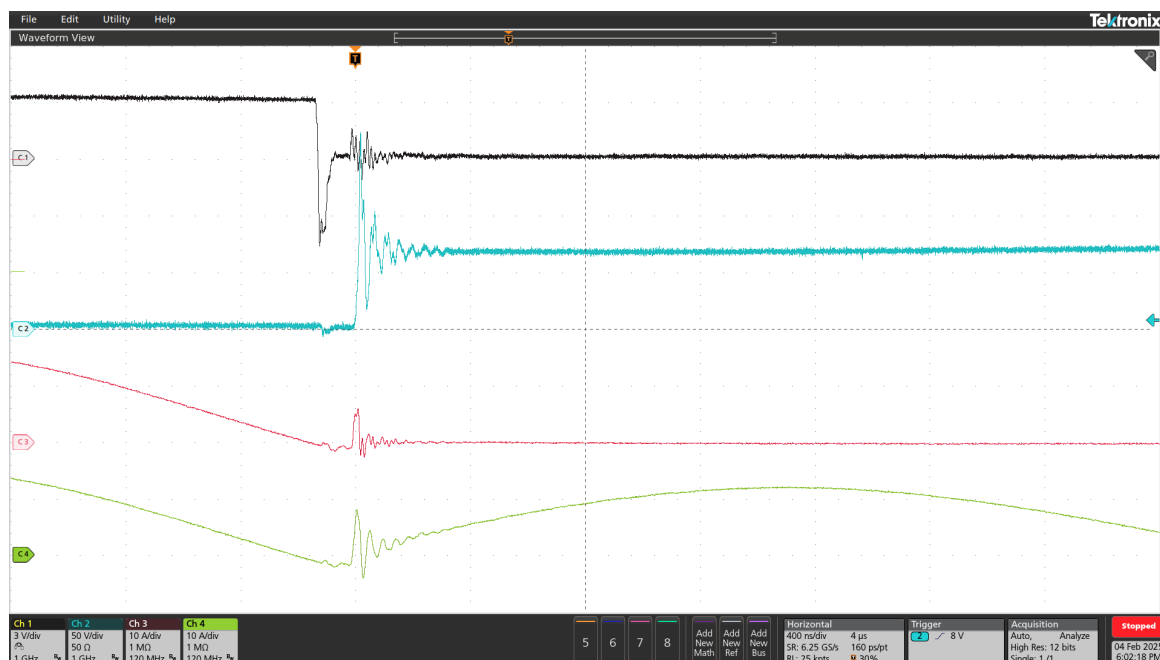
Rys. 5.32. Przebiegi napięć i prądów ukazujące przebieg procesu załączania tranzystora Q_1 w przekształtniku HVGDCC-CoolMOS pracującym w trybie ZCS. CH1 – napięcie bramka-źródło tranzystora Q_1 (TPP1000), CH2 – napięcie dren-źródło tranzystora Q_1 (IsoVu TIVP1), CH3 – prąd drenu tranzystora Q_1 (CWTUM/06/B), CH4 – prąd drenu tranzystora Q_3 (CWTUM/06/B), Warunki pracy układu: $U_{in} = 69,90 \text{ V}$, $U_{out} = 383,11 \text{ V}$, $P_{out} = 522 \text{ W}$, $f_{sw} = 49,85 \text{ kHz}$, $\eta = 88,25 \%$



Rys. 5.33. Przebiegi napięć i prądów ukazujące proces załączania tranzystora Q_1 w przekształtniku HVGDCC-CoolGaN pracującym w trybie ZCS. CH1 – napięcie bramka-źródło tranzystora Q_1 (TPP1000), CH2 – napięcie dren-źródło tranzystora Q_1 (IsoVu TIVP1), CH3 – prąd drenu tranzystora Q_1 (TCP0030), CH4 – prąd drenu tranzystora Q_3 (TCP0030), Warunki pracy układu: $U_{in} = 69,43 \text{ V}$, $U_{out} = 385,67 \text{ V}$, $P_{out} = 524 \text{ W}$, $f_{sw} = 52,91 \text{ kHz}$, $\eta = 91,26 \%$



Rys. 5.34. Przebiegi napięć i prądów ukazujące przebieg procesu wyłączenia tranzystora Q_1 w przekształtniku HVGDC-CoolMOS pracującym w trybie ZCS. CH1 – napięcie bramka-źródło tranzystora Q_1 (TPP1000), CH2 - napięcie dren-źródło tranzystora Q_1 (IsoVu TIVP1), CH3 - prąd drenu tranzystora Q_1 (CWTUM/06/B), CH4 - prąd drenu tranzystora Q_3 (CWTUM/06/B), Warunki pracy układu: $U_{in} = 69,90\text{ V}$, $U_{out} = 383,11\text{ V}$, $P_{out} = 522\text{ W}$, $f_{sw} = 49,85\text{ kHz}$, $\eta = 88,25\%$



Rys. 5.35. Przebiegi napięć i prądów ukazujące przebieg procesu wyłączenia tranzystora Q_1 w przekształtniku HVGDC-CoolGaN pracującym w trybie ZCS. CH1 – napięcie bramka-źródło tranzystora Q_1 (TPP1000), CH2 - napięcie dren-źródło tranzystora Q_1 (IsoVu TIVP1), CH3 - prąd drenu tranzystora Q_1 (TCP0030), CH4 - prąd drenu tranzystora Q_3 (TCP0030), Warunki pracy układu: $U_{in} = 69,43\text{ V}$, $U_{out} = 385,67\text{ V}$, $P_{out} = 524\text{ W}$, $f_{sw} = 52,91\text{ kHz}$, $\eta = 91,26\%$

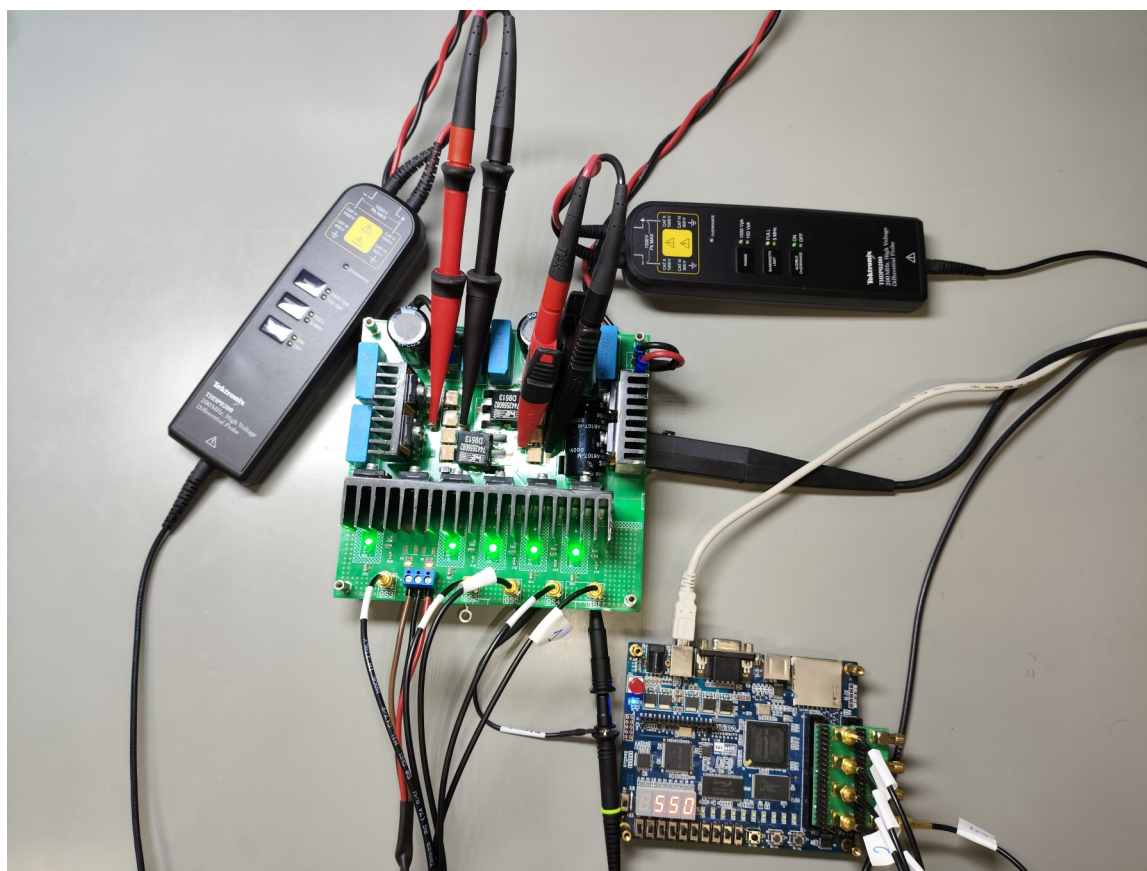
W czasie pomiarów, dla każdego z badanych przypadków zarejestrowano przebiegi napięcia sterującego pracą tranzystora Q_1 (bramka–źródło), napięcia pojawiającego się pomiędzy jego drenem a źródłem, a także przebieg prądu drenu tego tranzystora. Dodatkowo, dla lepszego zobrazowania stanu pracy układu, rejestracji poddano również przebieg prądu przepływającego przez tranzystor Q_3 . Z uwagi na fakt, iż głównym celem prac eksperymentalnych, których wyniki omówiono w niniejszym podrozdziale, było porównanie jakości przełączeń zachodzących w przekształtnikach HVGDC–CoolMOS oraz HVGDC–CoolGaN, wszelkich rejestracji dokonywano w skali czasu zawężonej do 400 ns/div, co pozwoliło zachować odpowiedni poziom szczegółowości analizowanych sygnałów.

Oscylogram zamieszczony na rys. 5.32 przedstawia zestaw przebiegów zarejestrowanych w czasie załączania tranzystora Q_1 pracującego w przekształtniku HVGDC–CoolMOS. Analizując przedstawione tam sygnały, można stwierdzić, iż do przełączenia tranzystora Q_1 dochodzi tuż po zaniku prądu łącznika Q_3 , co potwierdza, że badany przekształtnik pracuje w trybie ZCS. W przebiegach prądów tranzystorów Q_1 oraz Q_3 pojawiają się zakłócenia w postaci impulsów prądu towarzyszących komutacji pomiędzy tymi dwoma łącznikami. Fakt ich występowania wiąże się z koniecznością naładowania pojemności wyjściowych poszczególnych tranzystorów, a ich wartości maksymalne wynoszą około 20 A w przypadku impulsu prądu obserwowanego w przebiegu tranzystora Q_1 oraz około 14 A w przypadku impulsu występującego w przebiegu prądu tranzystora Q_3 . Analogiczny zestaw przebiegów zarejestrowano również w układzie HVGDC–CoolGaN, a z porównania obu oscylogramów wynika, że wartości maksymalne impulsów prądu obserwowanych w układzie wyposażonym w tranzystory CoolGaN, w momencie załączania tranzystora Q_1 , są w przybliżeniu dwukrotnie mniejsze niż te występujące w takiej samej sytuacji w układzie HVGDC–CoolMOS. Ponadto, pozytywnym skutkiem wykorzystania tranzystorów GaN do budowy przekształtnika o topologii HVGDC jest redukcja poziomu oscylacji pojawiających się w sygnałach napięciowych, wynikających z przepływu impulsowych prądów ładujących pojemności wyjściowe poszczególnych tranzystorów.

Oscylogramy zamieszczone na rys. 5.34–5.35 przedstawiają przebiegi wizualizujące proces wyłączenia tranzystora Q_1 , kolejno w przekształtniku HVGDC–CoolMOS oraz HVGDC–CoolGaN. Rozpoczynając ich szerszą analizę, warto zaznaczyć, iż skala pionowa wykorzystana w czasie rejestracji przebiegów prądu w układzie HVGDC–CoolGaN jest dwukrotnie węższa niż ta, z którą dokonano rejestracji w układzie HVGDC–CoolMOS. Mając to na uwadze i dokonując porównania przebiegów prądu widocznych na obu oscylogramach, można stwierdzić, iż amplitudy pojawiających się w nich zakłóceń oscylacyjnych są w przybliżeniu dwukrotnie większe w układzie, w którym zastosowano tranzystory CoolMOS, w porównaniu do tych obserwowanych w jego odpowiedniku wykonanym na bazie tranzystorów CoolGaN. Po-

nadto, jak wynika z przedstawionych przebiegów, zarówno okresy, jak i czasy trwania zaburzeń oscylacyjnych obserwowanych w układzie wyposażonym w tranzystory CoolGaN są wyraźnie krótsze niż w przypadku tych widocznych w przebiegach zarejestrowanych w przekształtniku HVGDCC-CoolMOS. Niepożądane zaburzenia oscylacyjne, poza przebiegami prądów tranzystorów Q_1 oraz Q_3 , można także dostrzec w przebiegach ich napięć u_{DS} . Zarówno w przypadku układu z tranzystorami CoolMOS, jak i CoolGaN, po wyłączeniu tranzystora Q_1 w przebiegu jego napięcia pojawiają się zaburzenia o charakterze oscylacyjnym tłumionym i znacznych amplitudach, sięgających kolejno 175 V oraz 200 V w przypadku przekształtników HVGDCC-CoolGaN oraz HVGDCC-CoolMOS.

Na rys. 5.36 zamieszczono fotografię przedstawiającą przekształtnik HVGDCC-CoolMOS w czasie prowadzonych badań laboratoryjnych. Poza badanym układem na zdjęciu można dostrzec kontroler FPGA sterujący pracą poszczególnych tranzystorów oraz zestaw sond oscyloskopowych przyłączonych do punktów pomiarowych badanego przekształtnika. W momencie wykonania fotografii układ pracował w trybie ZCS, a celem prowadzonych prac była weryfikacja poprawności jego dzia-



Rys. 5.36. Przekształtnik HVGDCC-CoolMOS w czasie pomiarów eksperymentalnych. Widoczne dołączone sondy: niskonapięciowa, mierząca sygnał sterujący (na wejściu sterownika bramkowego) tranzystora Q_1 , sondy różnicowe mierzące napięcia na kondensatorach przełączanych (C_2 , C_3) oraz sonda prądowa TCP0030A rejestrująca prąd wejściowy przekształtnika

łania. W związku z tym rejestracji poddano przebiegi napięć występujących pomiędzy okładkami kondensatorów przełączanych C_2 oraz C_3 , prądu wejściowego badanego układu oraz sygnału sterującego pracą jednego z tranzystorów. Z uwagi na to, że żadna z elektrod kondensatorów przełączanych nie jest bezpośrednio połączona z potencjałem odniesienia (GND), rejestracji napięć występujących pomiędzy ich okładkami dokonano za pomocą sond różnicowych *Tektronix THDP0200* o paśmie przenoszenia wynoszącym 200 MHz. W celu zminimalizowania zakłóceń, przewody pomiarowe każdej z tych sond skrecono, ograniczając w ten sposób pętlę, w której mogłyby indukować się zakłócenia zaburzające pomiar. Pomiaru prądu wejściowego układu dokonano przy pomocy sondy prądowej *Tektronix TCP0030*, którą dołączono do specjalnie przygotowanej pętli pomiarowej znajdującej się po przeciwnej stronie obwodu drukowanego. Sygnał sterujący pracą tranzystora zarejestrowano przy pomocy standardowej sondy niskonapięciowej (*Tektronix TPP1000*) o maksymalnym paśmie przenoszenia sięgającym 1 GHz. W tym przypadku przedstawiono zdjęcie przekształtnika, w którym nie zostały jeszcze wprowadzone modyfikacje pozwalające na realizację pomiarów sygnałów sterujących za pomocą sond wyposażonych w tzw. „sprężynki”.

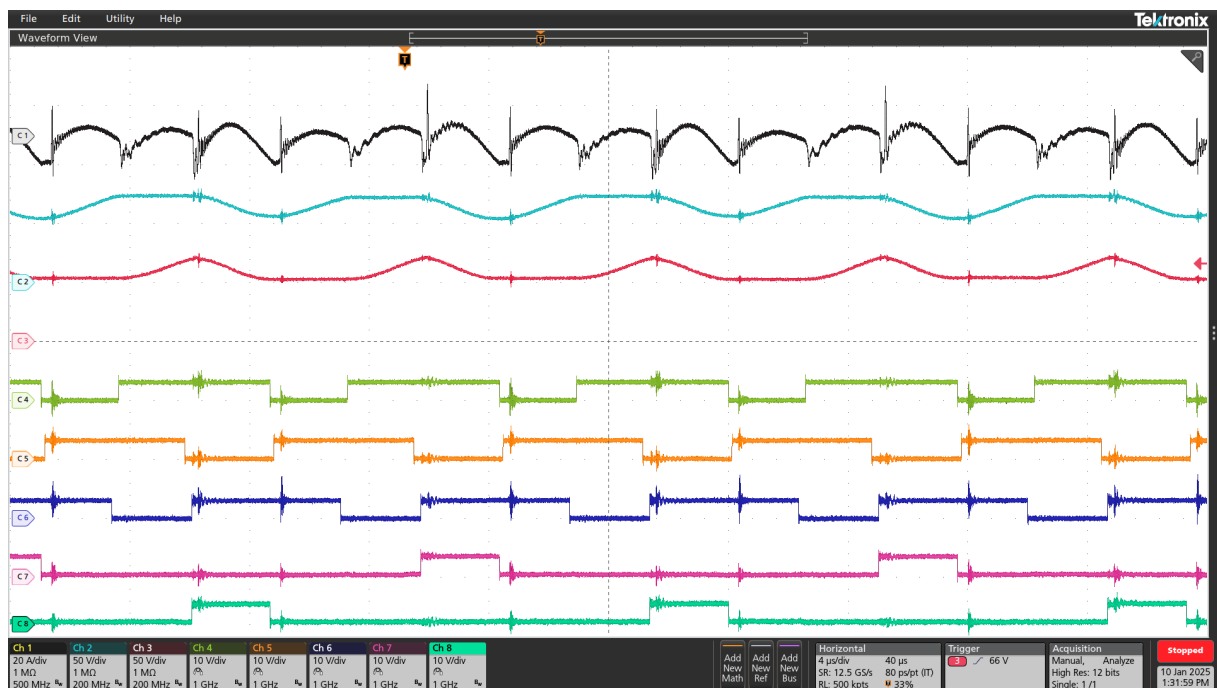
5.6.2 Przekształtniki HVGDCC w wersji z tranzystorami CoolMOS oraz CoolGaN pracujące w trybie ZVS

Podobnie jak miało to miejsce w rozdziale poprzednim, tak również i w tym przedstawiono szereg oscylogramów zarejestrowanych w czasie prac eksperymentalnych prowadzonych nad przekształtnikami o topologii HVGDCC, wykonanymi zarówno w wersji z tranzystorami CoolMOS, jak i CoolGaN. Różnica pomiędzy przebiegami prezentowanymi w tej części pracy, a tymi zamieszczonymi w sekcji poprzedniej dotyczy trybu pracy badanych przekształtników. W podrozdziale poprzednim analizowano przebiegi zarejestrowane w czasie, gdy badane układy pracowały w swoim podstawowym trybie pracy (ZCS), w którym przełączenia tranzystorów realizowano w momencie, gdy wartość chwilowa prądu płynącego w obwodzie wynosiła 0 A (pomiędzy kolejnymi przeładowaniami). W tym rozdziale skupiono się zaś na weryfikacji możliwości pracy badanych układów w trybie ZVS, polegającym na załączaniu tranzystorów po uprzednim rozładowaniu ich pojemności wyjściowych C_{oss} , realizowanych wyłącznie za sprawą zmiany sposobu sterowania współpracujących ze sobą łączników. Konstrukcja przekształtnika o topologii HVGDCC pozwala jedynie na realizację przełączeń tranzystorów Q_1 oraz Q_3 w trybie ZVS, jednak może do tego dochodzić kilkakrotnie w ciągu jednego cyklu pracy przekształtnika. W założeniu, wprowadzenie układu w tryb pracy ZVS pozwala na redukcję strat łączeniowych związanych z rozładowywaniem pojemności wyjściowych tranzystorów C_{oss} w czasie ich załączania. W związku z tym uznano, iż właściwym będzie przeprowadzenie dodatko-

wych badań eksperymentalnych obrazujących przebieg procesu załączania tranzystorów przy zerowym napięciu w przekształtniku o nietypowej (wielopoziomowej) topologii HVGDCC. Badania przeprowadzono zarówno w układzie HVGDCC–CoolMOS, jak również HVGDCC–CoolGaN, a prezentowane w kolejnych akapitach wyniki badań potwierdzają, iż układy o tej topologii mogą w pewnym ograniczonym zakresie realizować przełączenia w trybie ZVS. Wyniki przeprowadzonych rejestracji zaprezentowano w sposób umożliwiający porównanie jakości przełączeń oraz obserwację zjawisk zachodzących w czasie odpowiadających sobie przełączeń, realizowanych przez przekształtniki HVGDCC–CoolMOS oraz HVGDCC–CoolGaN.

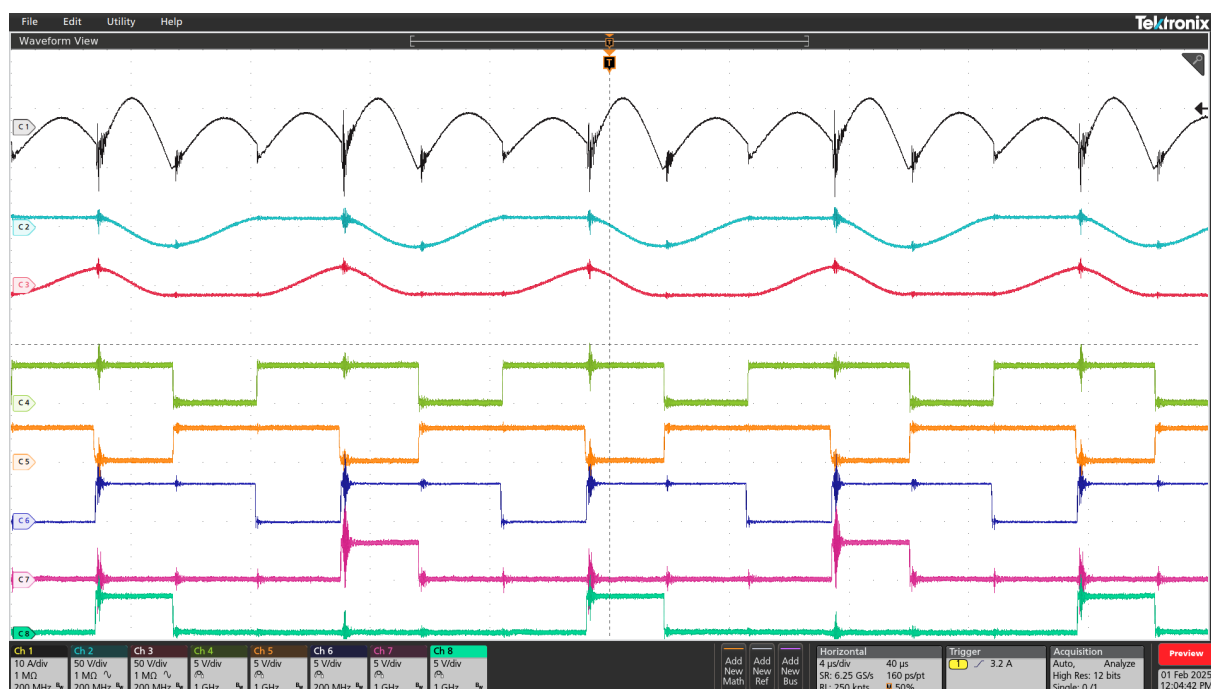
Przebiegi charakterystyczne dla układów o topologii HVGDCC pracujących w trybie ZVS zbudowanych z wykorzystaniem tranzystorów CoolMOS oraz CoolGaN

Serię badań eksperymentalnych prowadzonych nad przekształtnikami o topologii HVGDCC pracującymi w trybie ZVS rozpoczęto od porównania najbardziej charakterystycznych dla tego typu układów przebiegów napięć i prądów, do których zalicza się przebieg ich prądu wejściowego, przebiegi napięć kondensatorów przełączanych oraz sygnałów sterujących pracą poszczególnych tranzystorów. Zamieszczony na rys. 5.37 oscylogram przedstawia zestaw wspomnianych przebiegów, których rejestracji dokonano w układzie HVGDCC–CoolMOS, pracującym w trybie ZVS. Jak można zaważyć, przebieg prądu wejściowego badanego przekształtnika jest wyraźnie odkształcony. Wspomniane odkształcenia polegają na skokowym zaniku prądu pobieranego ze źródła, do czego dochodzi w efekcie przedwczesnego wyłączenia tranzystorów realizujących proces ładowania kondensatorów rezonansowych. Taki kształt przebiegu prądu wejściowego pobieranego przez badany przekształtnik jest typowy dla rezonansowych układów o przełączanych kondensatorach, pracujących w trybie ZVS. Poza odkształceniami wynikającymi ze skrócenia czasu trwania interwałów ładowania kondensatorów przełączanych, w przebiegu prądu wejściowego badanego układu występują również zakłócenia związane z ładowaniem pojemności wyjściowych poszczególnych tranzystorów znane z układu HVGDCC–CoolMOS pracującego w trybie ZCS. Warto również wspomnieć, iż w wyniku wprowadzenia badanego układu w tryb pracy ZVS z przebiegu jego prądu wejściowego zniknął jeden z impulsów prądu związanych z ładowaniem pojemności wyjściowych tranzystorów CoolMOS, który w układzie pracującym w trybie ZCS występował przy komutacji z trybu $M1$ do $M2$. Pozostałe impulsy prądów ładujących pojemności wyjściowe poszczególnych tranzystorów, występujące w czasie realizacji pozostałych komutacji w układzie zachowują podobne amplitudy, a czas ich trwania jest zbliżony do tego obserwowanego w układzie pracującym w trybie ZCS. Ponadto należy zaznaczyć, iż widocznemu odkształceniu uległy także przebiegi napięć kondensatorów przełącza-



Rys. 5.37. Zestaw podstawowych przebiegów przekształtnika HVGDCC, zarejestrowanych w układzie wyposażonym w tranzystory CoolMOS i pracującym w trybie ZVS. CH1 – prąd wejściowy przekształtnika i_{in} (CWTUM/06/B), CH2 – napięcie kondensatora przełączanego C_2 (THDP0200), CH3 – napięcie kondensatora przełączanego C_2 (THDP0200), CH4...CH8 – sygnały sterujące pracą tranzystorów $Q_1...Q_5$ (pomiar na wyjściu kontrolera sondą TPP1000). Warunki pracy układu: $U_{in} = 70,19 \text{ V}$, $U_{out} = 383,82 \text{ V}$, $P_{out} = 524 \text{ W}$, $f_{sw} = 65,70 \text{ kHz}$, $\eta = 89,83 \%$

nych, do czego doszło w wyniku skrócenia czasu trwania interwałów związanych z ich ładowaniem. Wpływ pracy przekształtnika w trybie ZVS na kształt przebiegu napięcia jest szczególnie widoczny w przypadku kondensatora C_3 . Napięcie obserwowane na tym elemencie pomiędzy rozpoczęciem procesu jego ładowania, a zakończeniem interwału rozładowania kondensatorów przełączanych przybiera kształt zbliżony do trójkątnego, podczas gdy w układzie pracującym w trybie ZCS zmiany w tym przebiegu charakteryzował łagodny przebieg, o kształcie zbliżonym do dodatniego półokresu sinusoidy. Jednocześnie należy zaznaczyć, iż amplitudy zakłóceń obserwowanych w analizowanych sygnałach napięciowych, mimo prowadzenia badań na tym samym stanowisku pomiarowym, są wyraźnie niższe, a czas trwania oscylacji widocznych w tych przebiegach krótszy, niż w przypadku układu pracującego w trybie ZCS. Świadczy to o tym, że ilość zakłóceń elektromagnetycznych emitowanych przez przekształtnik HVGDCC-CoolMOS pracujący w trybie ZVS jest mniejsza niż w przypadku, gdy pracuje on w trybie ZCS. Ponadto, na podstawie przeprowadzonych analiz należy stwierdzić, że cykliczność zmian obserwowanych w przedstawionych przebiegach napięć kondensatorów przełączanych oraz prądu wejściowego przekształtnika HVGDCC-CoolMOS pracującego w trybie ZVS odpowiadają tym znanym



Rys. 5.38. Zestaw podstawowych przebiegów przekształtnika HVGDCC, zarejestrowanych w układzie wyposażonym w tranzystory CoolGaN i pracującym w trybie ZVS. CH1 – prąd wejściowy przekształtnika i_{in} (CWTUM/06/B), CH2 – napięcie kondensatora przełączanego C_2 (THDP0200), CH3 – napięcie kondensatora przełączanego C_2 (THDP0200), CH4...CH8 – sygnały sterujące pracą tranzystorów $Q_1...Q_5$ (pomiar na wyjściu kontrolera sondą TPP1000). Warunki pracy układu: $U_{in} = 69,44\text{ V}$, $U_{out} = 386,16\text{ V}$, $P_{out} = 522\text{ W}$, $f_{sw} = 60,31\text{ kHz}$, $\eta = 91,64\%$

z dotychczas przeprowadzonych analiz teoretycznych oraz badań symulacyjnych.

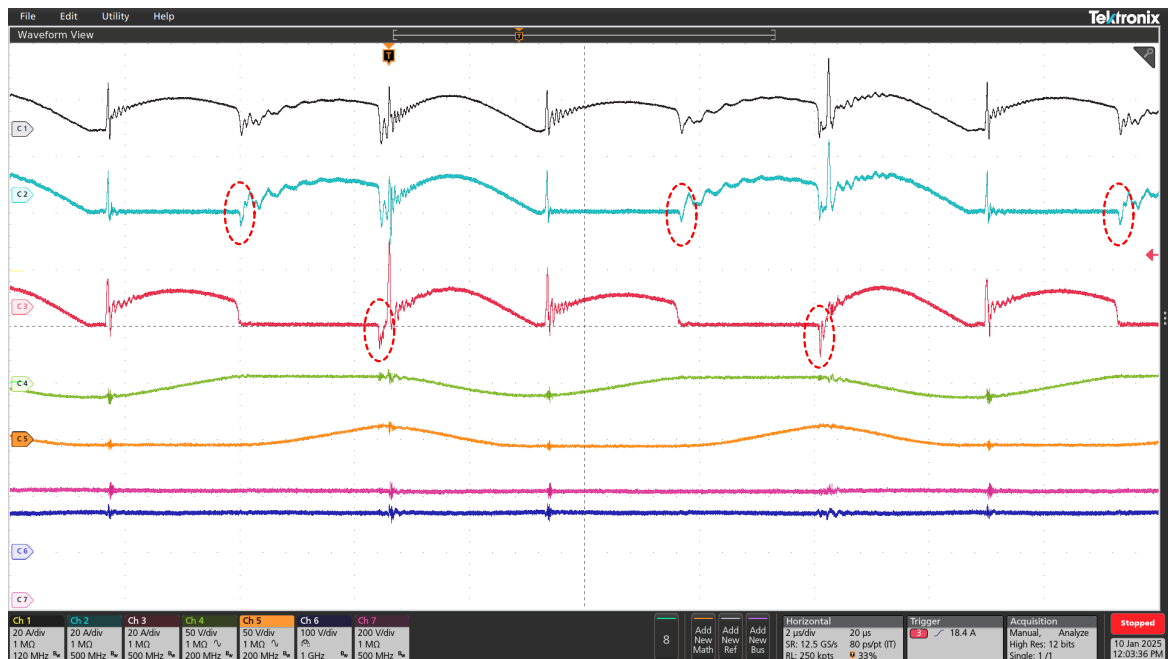
W toku prowadzonych prac eksperymentalnych, na potrzeby porównania układów HVGDCC-CoolMOS oraz HVGDCC-CoolGaN pracujących w trybie ZVS dokonano także licznych rejestracji przebiegów napięć i prądów komponentów wchodzących w skład przekształtnika wykorzystującego w swojej strukturze tranzystory z azotku galu CoolGaN. Podobnie jak to miało miejsce w przypadku układu bazującego na tranzystorach typu CoolMOS, rejestracje rozpoczęto od zestawu najbardziej charakterystycznych przebiegów dla układów o topologii HVGDCC. Zamieszczony na rys. 5.38 oscylogram prezentuje przebiegi prądu wejściowego przekształtnika HVGDCC-CoolGaN oraz napięć jego kondensatorów przełącznych, ukazane na tle sygnałów sterujących pracą tranzystorów obwodu wykonawczego. Analizując wspomniany oscylogram można stwierdzić iż poziom zakłóceń obserwowanych w przebiegach zarejestrowanych w przekształtniku HVGDCC-CoolGaN, pracującym w trybie ZVS jest wyraźnie niższy niż w przypadku układu HVGDCC-CoolMOS pracującego w takich samych warunkach. Podobnie jak miało to miejsce w przypadku porównania układów HVGDCC pracujących w trybie ZCS, również i tym razem amplitudy niepożądanych oscylacji występujących w momencie zmiany

konfiguracji obwodu głównego badanego przekształtnika są wyraźnie niższe niż maksymalne wartości jakie są osiągane przez impulsy realizujące proces ładowania i rozładowywania kondensatorów przełączanych przekształtnika. W przypadku układu wykorzystującego w swoim obwodzie mocy tranzystory CoolMOS, amplitudy wspomnianych zakłóceń wyraźnie przekraczają wartości maksymalne prądów przeładowań rezonansowych wynikających z zasady działania układu. W przebiegu prądu wejściowego przekształtnika HVGDCC-CoolGaN pracującego w trybie ZVS wyraźnie widoczne są jedynie oscylacje towarzyszące rozpoczęciu interwałów rozładowania kondensatorów przełączanych ($M3$ oraz $M4$). Oscylacje prądu wejściowego związane z pozostałymi komutacjami są niemal niezauważalne, co stanowi efekt zastosowania w obwodzie mocy tego układu tranzystorów charakteryzujących się mniejszymi — w porównaniu do łączników typu CoolMOS — wartościami pojemności wyjściowej, a dzięki obudowie przystosowanej do montażu powierzchniowego także zredukowanymi wartościami indukcyjności pasożytniczych. Należy również zauważyć, iż w przypadku przekształtnika HVGDCC-CoolGaN przebiegi impulsów ładujących i rozładowujących jego kondensatory przełączane nie są odkształcone. Obserwowany przebieg prądu wejściowego badanego układu jest bardzo zbliżony do jego teoretycznego odpowiednika, a w początkowej fazie poszczególnych przeładowań nie obserwuje się dodatkowych tętnień widocznych w przebiegu prądu wejściowego układu HVGDCC-CoolMOS.

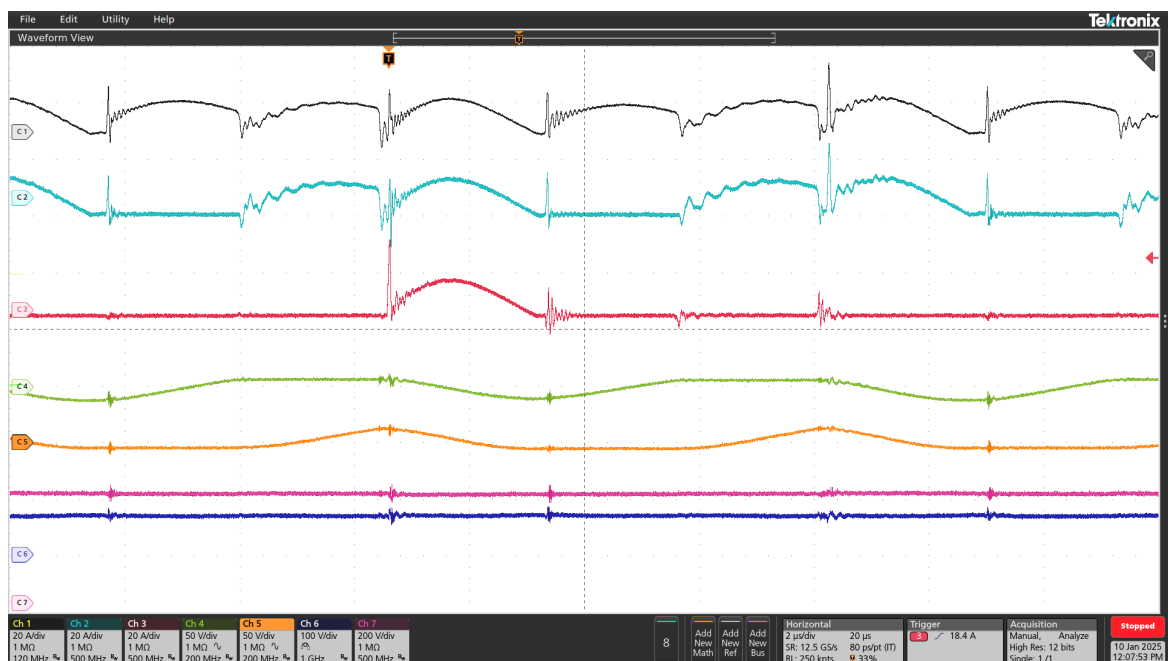
Analizując przebiegi sygnałów sterujących tranzystorów obu badanych przekształtników pracujących w trybie ZVS można również zauważyć, iż te zarejestrowane w przekształtniku HVGDCC-CoolGaN charakteryzują się nieco większą zawartością zakłóceń. Cechą charakterystyczną tranzystorów wykonanych z azotku galu GaN jest niezwykle duża szybkość z jaką realizowane są ich przełączenia. Skutkuje to pojawieniem się w kontrolowanych przez nie obwodach niezwykle szybko narastających i opadających przebiegów napięć i prądów, które odpowiadają za wzrost poziomu emisji promieniowanej i przewodzonej urządzeń wykorzystujących w swojej strukturze tego typu łączniki. Zjawisko to dotyczy również układu HVGDCC-CoolGaN, w którym można je zaobserwować w formie oscylacji indukujących się w wrażliwych na zakłócenia, układach pomiarowych służących do rejestracji sygnałów napięciowych. Z uwagi na fakt, iż laboratorium, w którym prowadzono badania eksperymentalne, nie dysponuje sprzętem przeznaczonym do prowadzenia analiz z zakresu kompatybilności elektromagnetycznej urządzeń, a samo zagadnienie wykracza poza przyjęte ramy tematyczne niniejszej pracy, dalszych badań i analiz dotyczących poziomu zakłóceń elektromagnetycznych generowanych przez badane przekształtniki nie prowadzono.

Przebiegi prądów tranzystorów w przekształtnikach HVGDCC pracujących w trybie ZVS zbudowanych z wykorzystaniem tranzystorów CoolMOS oraz CoolGaN

W kolejnym etapie prac eksperymentalnych dokonano porównania przebiegów prądów przepływających przez poszczególne tranzystory przekształtników HVGDCC-CoolMOS oraz HVGDCC-CoolGaN pracujących w trybie ZVS. Ze względu na wcześniej omówione ograniczenia konstrukcyjne i sprzętowe, pomiaru prądów tranzystorów Q_1 , Q_3 oraz Q_4 w przekształtniku zbudowanym z wykorzystaniem tranzystorów CoolMOS dokonano w dwóch etapach, a oscylogramy przedstawiające zarejestrowane przebiegi zamieszczono na rys. 5.39 oraz rys. 5.40. W celu uwidocznienia większej liczby szczegółów w omawianych przebiegach, wspomniane oscylogramy zarejestrowano w skali czasu zawężonej do $2\mu\text{s}/\text{div}$. Analizując te przebiegi, można zauważyć, iż w prądach poszczególnych tranzystorów, poza zakłóceniami znanymi z analizy prądu wejściowego przekształtnika HVGDCC-CoolMOS, występują także charakterystyczne dla układów pracujących w trybie ZVS krótkie okresy, w których tuż przed rozpoczęciem realizacji kolejnego przeładowania prąd poszczególnych tranzystorów przyjmuje wartości ujemne. W przypadku topologii HVGDCC odkształcenia te można zaobserwować w przebiegu prądu tranzystora Q_1 w chwili przełączenia przekształtnika z konfiguracji $M1$ do $M2$, a także w przypadku tranzystora Q_3 w momencie przełączenia układu z konfiguracji $M2$ do $M3$, jak również w drugiej części cyklu pracy układu pomiędzy konfiguracjami $M2$ i $M4$. Odkształcenia te powstają wskutek przerwania ścieżki przepływu prądu przeładowania rezonansowego spowodowanego wyłączeniem jednego z tranzystorów, zanim prąd ten zdąży naturalnie zaniknąć. Po jego wyłączeniu, w obwodzie przez pewien czas nadal płynie prąd wynikający z energii zgromadzonej w polu magnetycznym dławika, jednak tym razem przez pojemność wyjściową, a następnie także przez diodę podłożową tranzystora, który ma być w następnym takcie pracy przekształtnika załączony przy zerowym napięciu (ZVS). Prąd przepływający przez pojemność wyjściową tranzystora oraz jego diodę podłożową ma zwrot przeciwny do tego, który w normalnych warunkach płynie przez kanał tranzystora, co tłumaczy genezę wyżej opisanych, charakterystycznych odkształceń dla układu pracującego w trybie ZVS. Szczegółowy opis zjawisk zachodzących w czasie pracy układu w trybie ZVS przedstawiono w rozdziale 2.5, a na oscylogramie zamieszczonym na rys. 5.39 czerwoną linią przerywaną zaznaczono moment wystąpienia charakterystycznych odkształceń w prądach tranzystorów układu pracującego w tym trybie.

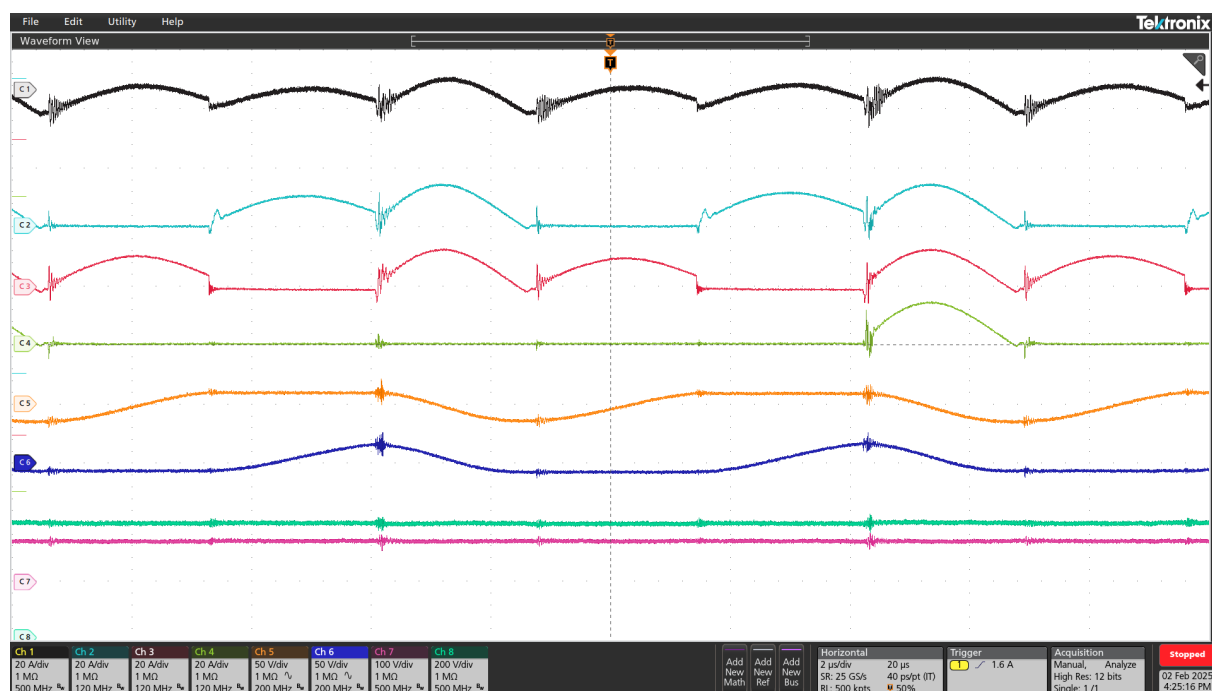


Rys. 5.39. Przebiegi prądów tranzystorów przekształtnika HVGDC-CoolMOS pracującego w trybie ZVS. CH1 – prąd wejściowy przekształtnika i_{in} (TCP0030A), CH2...3 – prądy tranzystorów Q_1 oraz Q_3 (CWTUM/06/B), CH4...5 – napięcia kondensatorów przełączanych C_2 oraz C_3 (THDP0200), CH6 – napięcie wejściowe przekształtnika U_{in} (THDP0200), CH7 – napięcie wyjściowe przekształtnika U_{out} (P5205), Warunki pracy układu: $U_{in} = 70,17\text{ V}$, $U_{out} = 381,45\text{ V}$, $P_{out} = 518\text{ W}$, $f_{sw} = 65,70\text{ kHz}$, $\eta = 89,42\%$



Rys. 5.40. Przebiegi prądów tranzystorów przekształtnika HVGDC-CoolMOS pracującego w trybie ZVS. CH1 – prąd wejściowy przekształtnika i_{in} (TCP0030A), CH2...3 – prądy tranzystorów Q_1 oraz Q_4 (CWTUM/06/B), CH4...5 – napięcia kondensatorów przełączanych C_2 oraz C_3 (THDP0200), CH6 – napięcie wejściowe przekształtnika U_{in} (THDP0200), CH7 – napięcie wyjściowe przekształtnika U_{out} (P5205), Warunki pracy układu: $U_{in} = 70,17\text{ V}$, $U_{out} = 381,45\text{ V}$, $P_{out} = 518\text{ W}$, $f_{sw} = 65,70\text{ kHz}$, $\eta = 89,42\%$

Analogiczny zestaw przebiegów zarejestrowanych w układzie HVGDCC-CoolGaN pracującym w trybie ZVS przedstawia oscylogram zamieszczony na rys. 5.41. Jak można zauważyć, ilość zakłóceń obserwowanych w przebiegach przekształtnika wyposażonego w tranzystory CoolGaN jest wyraźnie mniejsza niż w przypadku tego bazującego na tranzystorach typu CoolMOS. Ponadto, czas trwania ujemnych impulsów prądu tranzystorów, charakterystycznych dla układów pracujących w trybie ZVS, jest wyraźnie krótszy, a ich wartości są zdecydowanie mniejsze niż te obserwowane w przekształtniku HVGDCC-CoolMOS. Jest to efekt wykorzystania do budowy obwodu mocy badanego przekształtnika tranzystorów typu CoolGaN. Ich pojemności wyjściowe, w badanym układzie, rozładowywane są zdecydowanie szybciej niż ma to miejsce w przypadku tranzystorów CoolMOS. W związku z tym ilość energii, jaką należało zgromadzić w polu magnetycznym dławika, aby poprawnie zrealizować procedurę załączania tranzystorów typu GaN przy zerowym napięciu, była wyraźnie mniejsza. Dlatego, w czasie prowadzonych regulacji za pomocą sterownika kontrolującego pracę przekształtnika HVGDCC-CoolGaN, maksymalnie opóźniono moment wyłączenia tranzystorów przerywających ścieżkę przepływu prądu przeładowania rezonansowego, a tym samym także



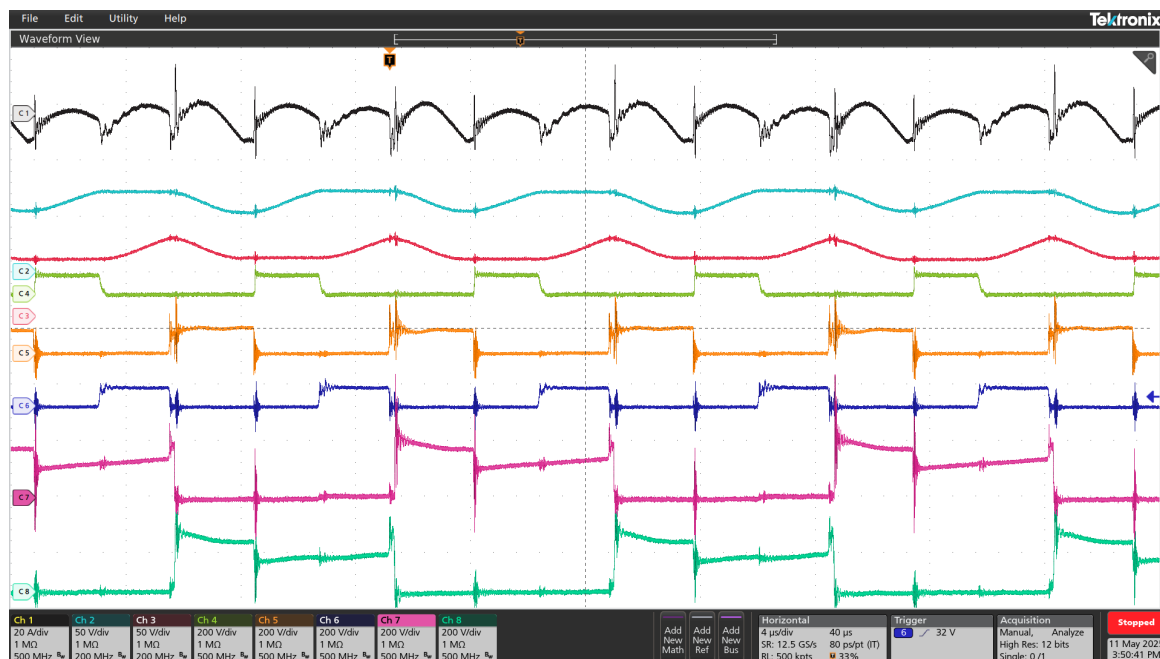
Rys. 5.41. Przebiegi prądów tranzystorów przekształtnika HVGDCC-CoolGaN pracującego w trybie ZVS. CH1 – prąd wejściowy przekształtnika i_{in} (CWTUM/06/B), CH2 – prąd tranzystora Q_1 (TCP0030A), CH3 – prąd tranzystora Q_3 (TCP0030), CH4 – prąd tranzystora Q_4 (TCP0030), CH5 – napięcie kondensatora przełączanego C_2 (THDP0200), CH6 – napięcie kondensatora przełączanego C_3 (THDP0200), CH7 – napięcie wejściowe przekształtnika U_{in} (THDP0200), CH8 – napięcie wyjściowe przekształtnika U_{out} (P5205), Warunki pracy układu: $U_{in} = 69,51 \text{ V}$, $U_{out} = 386,46 \text{ V}$, $P_{out} = 523 \text{ W}$, $f_{sw} = 60,31 \text{ kHz}$, $\eta = 91,71 \%$

chwile rozpoczęcia realizacji procedury ZVS. Dzięki temu ograniczono ilość strat łączeniowych powstających w tranzystorach przerywających ścieżkę przepływu prądu przeładowania rezonansowego, a także w przewodzących wstecznie tranzystorach GaN, które pracując w trzecim kwadrancie charakterystyki cechują się wysokimi wartościami napięcia przewodzenia, a przez to także generują dodatkowe straty energii w układzie.

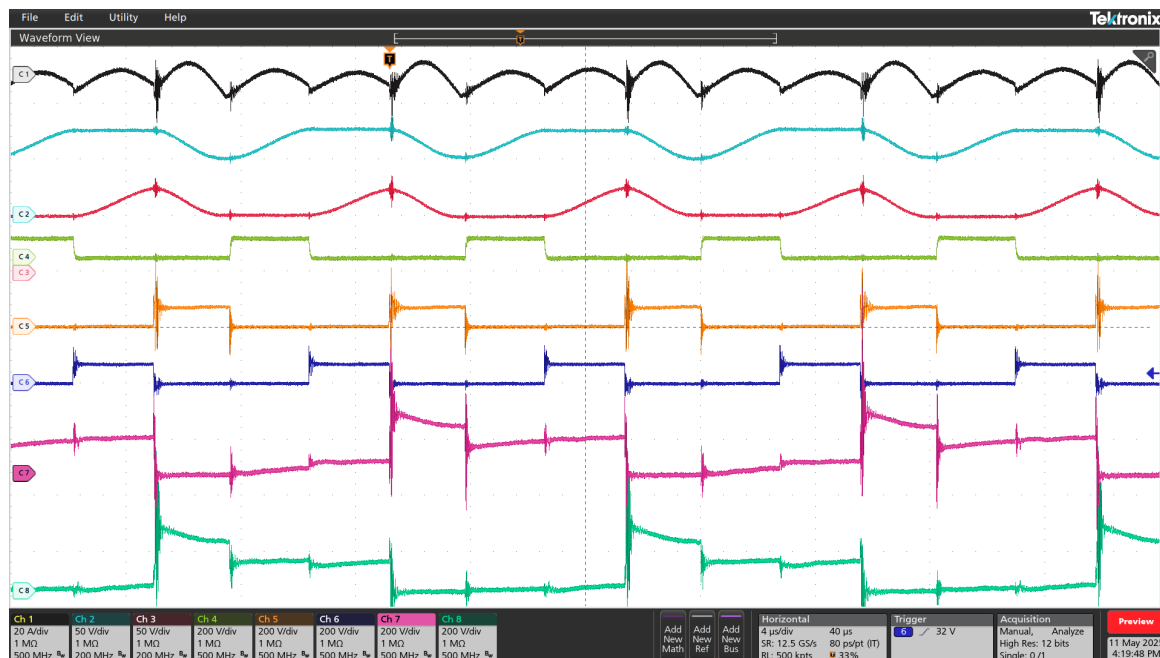
Poza przebiegami prądów tranzystorów, na omawianych oscylogramach zamieszczono także przebiegi napięć ich kondensatorów przełączanych, a także napięć występujących na ich zaciskach wejściowych i wyjściowych. Korzystając z tych przebiegów napięć pojemności rezonansowych, można stwierdzić, iż sekwencja przełączeń zachodzących w układzie realizowana jest zgodnie z opracowaną koncepcją działania układu. Analizując z kolei przebiegi napięcia wejściowego i wyjściowego każdego z badanych przekształtników, można stwierdzić, że pracują one z takim samym współczynnikiem wzmocnienia napięciowego G_U wynoszącym 5,5, co potwierdza, że zbudowane przekształtniki działają poprawnie również w czasie, gdy w ich strukturze tranzystory (część z nich) załączane są przy zerowym napięciu (ZVS).

Przebiegi napięć tranzystorów i diod prostowniczych w przekształtnikach HVGDCC-CoolMOS oraz HVGDCC-CoolGaN pracujących w trybie ZVS

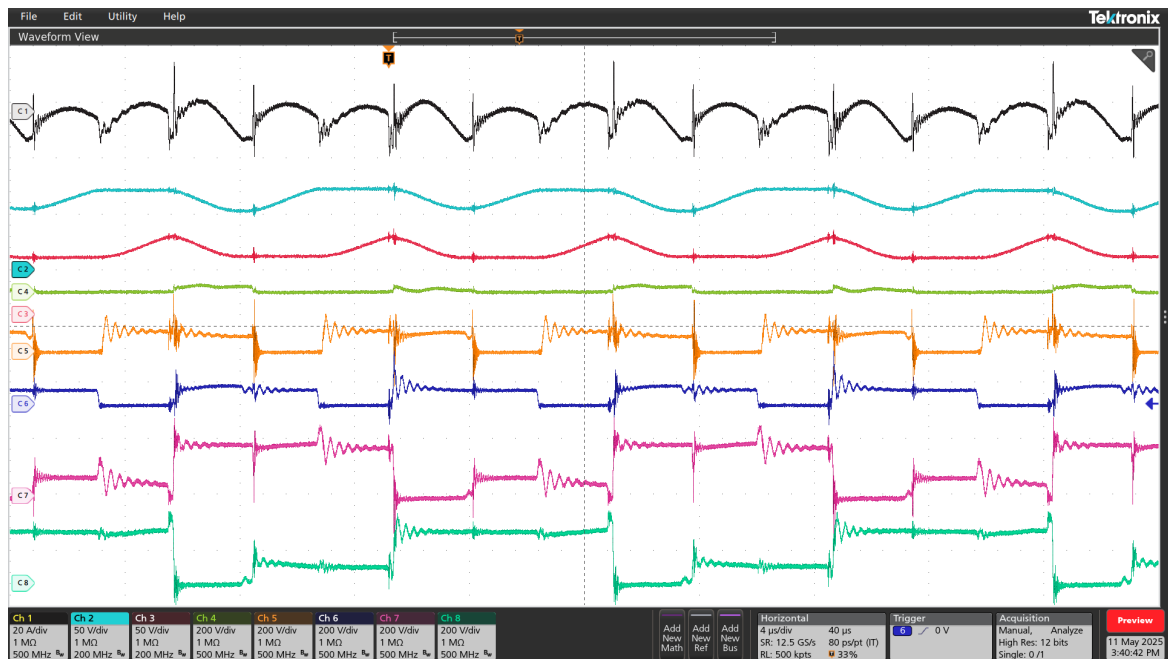
W następnym etapie prowadzonych prac badawczych zarejestrowano oraz przeanalizowano przebiegi napięć występujących na tranzystorach oraz diodach prostowniczych wchodzących w skład obwodów mocy przekształtników HVGDCC-CoolMOS oraz HVGDCC-CoolGaN. W czasie prowadzonych rejestracji każdy z badanych układów pracował w trybie ZVS, a oscylogramy przedstawiające zarejestrowane przebiegi zamieszczono na rys. 5.42–5.45. Jak wynika z zarejestrowanych przebiegów, wartości napięć blokowanych długotrwale przez elementy wejściowe badanych przekształtników (diody D_1 – D_3 oraz tranzystory Q_1 – Q_3) nie przekraczają 100 V, a te odkładające się na łącznikach pracujących w stopniu wyjściowym (diody D_4 – D_5 oraz tranzystory Q_4 – Q_5) w większości przypadków ograniczają się do około 260 V, a więc wartości te odpowiadają tym, które zaobserwowano w układzie pracującym w trybie ZCS. Poza napięciami długotrwale blokowanymi przez poszczególne łączniki, w obserwowanych przebiegach wyraźnie widać także zakłócenia pojawiające się przy każdej zmianie konfiguracji układu. Podobnie jak miało to miejsce w przypadku układów pracujących w trybie ZCS, tak również po ich przełączeniu w tryb pracy ZVS ilość obserwowanych zakłóceń w przebiegach napięć diod prostowniczych i tranzystorów układu HVGDCC-CoolGaN jest niższa niż w przypadku odpowiadających im przebiegów zarejestrowanych w układzie z tranzystorami CoolMOS.



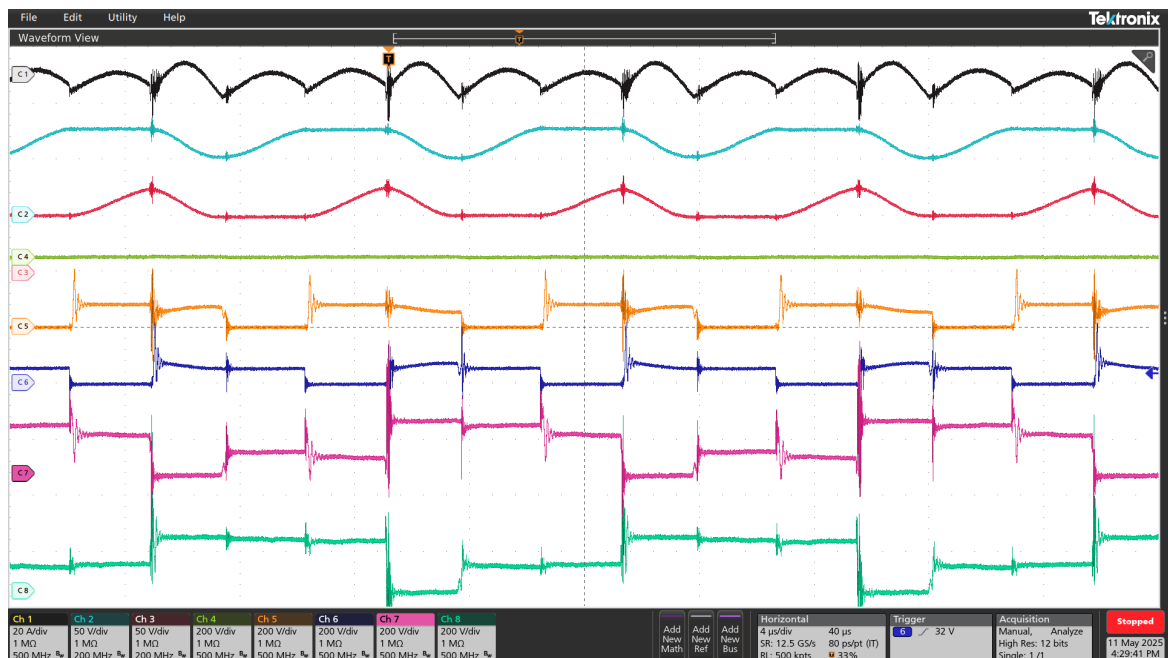
Rys. 5.42. Przebiegi napięć blokowanych przez tranzystory przekształtnika HVGDC-CoolMOS pracującego w trybie ZVS. CH1 – prąd wejściowy przekształtnika i_{in} (CWTUM/06/B, CH2...3 – napięcia kondensatorów przełączanych C_2 oraz C_3 (THDP0200), CH4...8 – napięcia tranzystorów $Q_1...Q_5$ (GDP-025), Warunki pracy układu: $U_{in} = 70,80\text{ V}$, $U_{out} = 389,61\text{ V}$, $P_{out} = 535\text{ W}$, $f_{sw} = 65,70\text{ kHz}$, $\eta = 89,03\%$



Rys. 5.43. Przebiegi napięć blokowanych przez tranzystory przekształtnika HVGDC-CoolGaN pracującego w trybie ZVS. CH1 – prąd wejściowy przekształtnika i_{in} (CWTUM/06/B), CH2...3 – napięcia kondensatorów przełączanych C_2 oraz C_3 (THDP0200), CH4...8 – napięcia tranzystorów $Q_1...Q_5$ (GDP-025), Warunki pracy układu: $U_{in} = 69,0\text{ V}$, $U_{out} = 383,40\text{ V}$, $P_{out} = 516\text{ W}$, $f_{sw} = 60,31\text{ kHz}$, $\eta = 91,62\%$



Rys. 5.44. Przebiegi napięć blokowanych przez diody prostownicze przekształtnika HVGDC-CoolMOS pracującego w trybie ZVS. CH1 – prąd wejściowy przekształtnika i_{in} (CWTUM/06/B, CH2...3 – napięcia kondensatorów przełączanych C_2 oraz C_3 (THDP0200), CH4...8 – napięcia diod prostowniczych $D_1...D_5$ (GDP-025), Warunki pracy układu: $U_{in} = 70,87 \text{ V}$, $U_{out} = 387,46 \text{ V}$, $P_{out} = 530 \text{ W}$, $f_{sw} = 65,70 \text{ kHz}$, $\eta = 89,87 \%$



Rys. 5.45. Przebiegi napięć blokowanych przez diody prostownicze przekształtnika HVGDC-CoolGaN pracującego w trybie ZVS. CH1 – prąd wejściowy przekształtnika i_{in} (CWTUM/06/B), CH2...3 – napięcia kondensatorów przełączanych C_2 oraz C_3 (THDP0200), CH4...8 – napięcia diod prostowniczych $D_1...D_5$ (GDP-025), Warunki pracy układu: $U_{in} = 69,88 \text{ V}$, $U_{out} = 388,50 \text{ V}$, $P_{out} = 527 \text{ W}$, $f_{sw} = 60,31 \text{ kHz}$, $\eta = 91,64 \%$

Wprowadzenie układu HVGDCC–CoolMOS w tryb pracy ZVS skutkuje pojawieniem się dodatkowych oscylacji w przebiegach napięć jego tranzystorów, związanych z przerywaniem ścieżki przepływu prądu przeładowania rezonansowego, co jest w szczególności widoczne w przebiegach napięć tranzystorów stopnia wejściowego układu (Q_1 – Q_3). Podobnych oscylacji nie obserwuje się jednak w przekształtniku HVGDCC–CoolGaN, co wskazuje, iż fakt ich występowania może być związany ze znaczną wartością chwilową prądu, przy jakiej w przekształtniku z tranzystorami CoolMOS należy przerwać ścieżkę przepływu prądu przeładowania rezonansowego, aby wprowadzić go w tryb pracy ZVS. Poziom zakłóceń obserwowanych w przebiegach napięć tranzystorów stopnia wyjściowego (Q_4 oraz Q_5) jest zbliżony zarówno do tego obserwowanego w układzie HVGDCC–CoolGaN pracującym w trybie ZVS, jak również do tego obserwowanego w przebiegach rejestrowanych w czasie badań przekształtników pracujących w trybie ZCS.

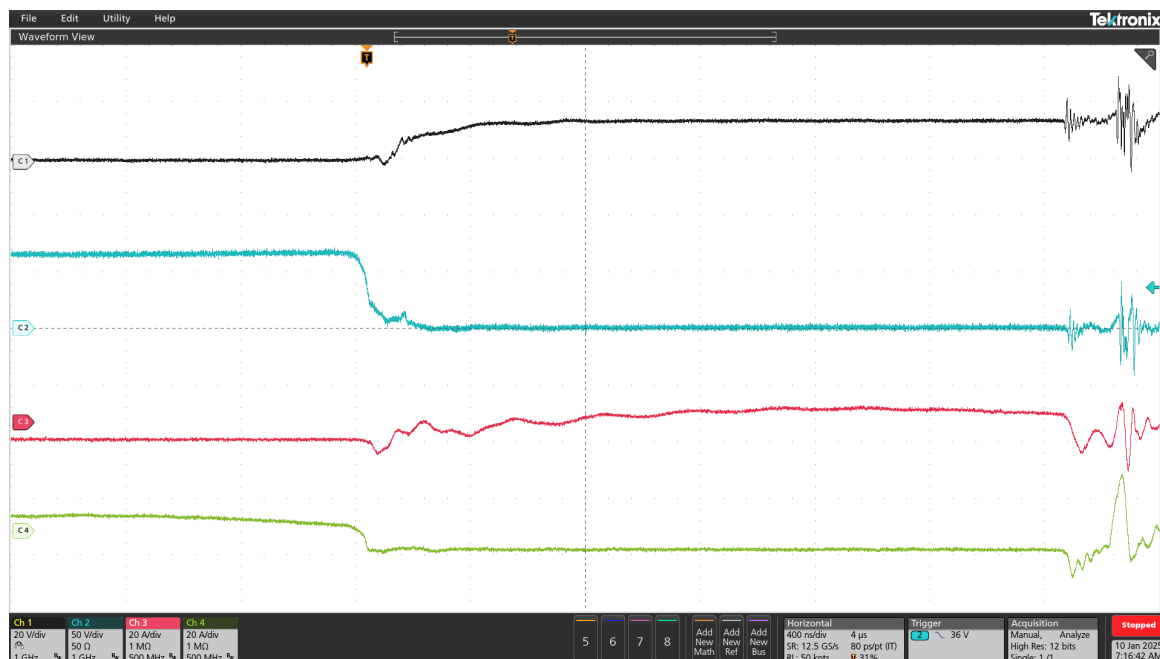
Nieco większe rozbieżności występują w przebiegach napięć blokowanych przez diody prostownicze badanych przekształtników. W układzie z tranzystorami CoolMOS, pracującym w trybie ZVS (rys. 5.44), przebiegi napięć diod prostowniczych wykazują zakłócenia o charakterze tłumionych oscylacji, przypominające te obserwowane w czasie badań układu HVGDCC–CoolMOS pracującego w trybie ZCS. Zaburzenia te pojawiają się na początku kolejnych interwałów pracy przekształtnika i nakładają się na typowe przebiegi napięć diod prostowniczych, prowadząc do ich wyraźnego odkształcenia. Wspomniane zakłócenia są szczególnie widoczne w przebiegach napięć diod znajdujących się w stopniu wyjściowym badanego układu (D_4 oraz D_5). Ich amplitudy początkowe sięgają około 80 V, a czas trwania oscylacji w skrajnych przypadkach jest porównywalny z czasem trwania jednego taktu pracy przekształtnika.

W przebiegach napięć blokowanych przez diody przekształtnika wyposażonego w tranzystory CoolGaN również występują zakłócenia o charakterze oscylacyjnym (rys. 5.45). Za sprawą mniejszych pojemności wyjściowych zastosowanych tranzystorów oraz zredukowanych indukcyjności pasywnych w poszczególnych gałęziach ich okres jest jednak zdecydowanie krótszy niż w przekształtniku z tranzystorami CoolMOS. Czas, w którym wspomniane oscylacje są widoczne w przebiegach napięć diod przekształtnika HVGDCC–CoolGaN, jest również zdecydowanie krótszy i nie przekracza 800 ns. Amplitudy początkowe zakłóceń obserwowanych w tym przekształtniku są jednak nieco wyższe niż w układzie HVGDCC–CoolMOS. Widoczne jest to szczególnie w przebiegach diod stopnia wyjściowego, w momencie rozpoczęcia interwałów pracy układu określanych jako $M3$ lub $M4$.

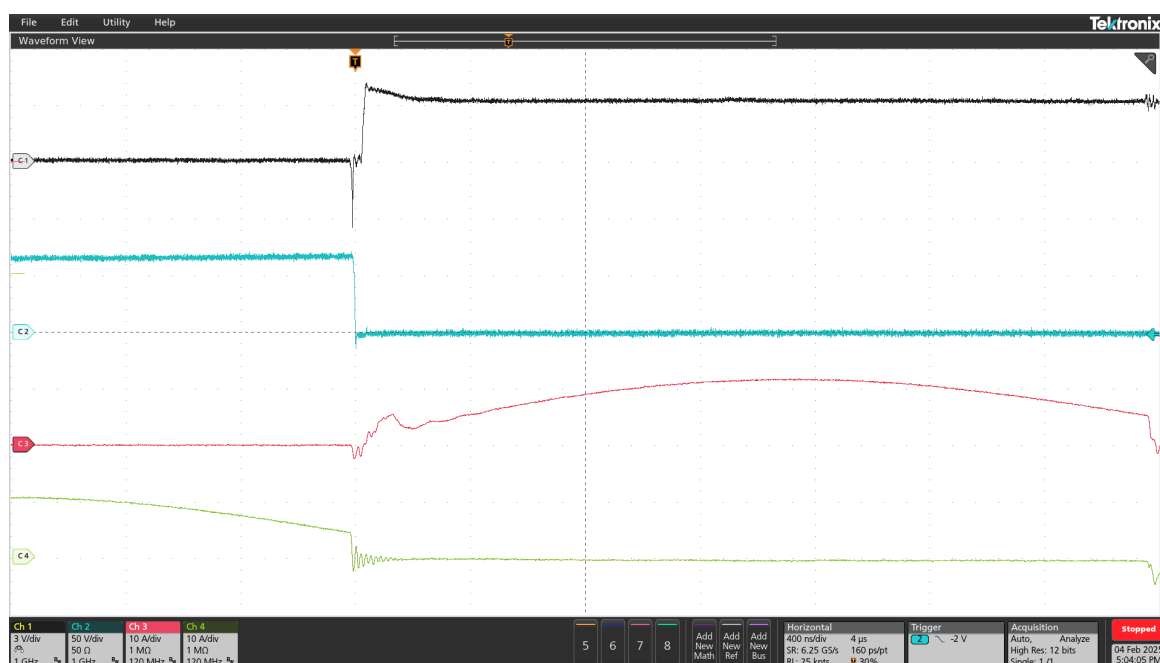
Przełączenia tranzystorów w przekształtnikach HVGDCC zbudowanych z wykorzystaniem tranzystorów CoolMOS oraz CoolGaN i pracujących w trybie ZVS

W celu przeanalizowania zjawisk łączeniowych zachodzących w wielopoziomowych przekształtnikach rezonansowych o przełączanych kondensatorach, zbudowanych z wykorzystaniem różnych rodzajów łączników, przeprowadzono liczne rejestracje oscyloskopowe obrazujące przebiegi napięć i prądów związanych z procesem załączania i wyłączania poszczególnych tranzystorów w układach HVGDCC-CoolMOS oraz HVGDCC-CoolGaN pracujących w trybie ZVS. Przebieg tych procesów w każdym z badanych przekształtników zilustrowano na podstawie oscylogramów przedstawiających przebiegi napięcia i prądu tranzystora Q_1 , zarejestrowane zarówno w układzie HVGDCC-CoolMOS, jak i HVGDCC-CoolGaN. Oscylogramy zamieszczone na rys. 5.32–5.33 ilustrują przebieg procesu załączania wspomnianego tranzystora, natomiast te na rys. 5.34–5.35 — proces jego wyłączania.

Porównując przebiegi zarejestrowane w momencie załączania tranzystora Q_1 w każdym z badanych przekształtników, szczególną uwagę należy zwrócić na ten obrazujący zmiany napięcia u_{DS} (dren–źródło) tego łącznika. Jak wynika z przedstawionych oscylogramów, proces załączania tranzystora Q_1 przy zerowym napięciu rozpoczyna się od przerwania ścieżki przepływu prądu przeładowania rezonansowego, do czego dochodzi za sprawą łącznika Q_3 . Jego moment wyłączenia jest wyraźnie widoczny w przebiegu prądu tego tranzystora (kanał czwarty – zielony). W efekcie dotychczas płynący w obwodzie prąd przeładowania rezonansowego zaczyna płynąć pod wpływem energii zgromadzonej w polu magnetycznym dławika przez pojemność wyjściową tranzystora Q_1 , a następnie także przez jego diodę podłożową w tranzystorze CoolMOS lub wstecznie spolaryzowany kanał tranzystora CoolGaN. Zjawisko to można zaobserwować w formie krótkiego impulsu prądu o ujemnej wartości, widocznego w przebiegu tranzystora Q_1 (kanał trzeci – czerwony), w okresie pomiędzy wyłączeniem łącznika Q_3 a pojawieniem się impulsu sterującego pracą tranzystora Q_1 (kanał pierwszy – czarny). Efektem wprowadzenia łącznika Q_1 w stan przewodzenia wstecznego jest rozładowanie jego pojemności wyjściowej, co wyraźnie widać w przebiegu jego napięcia u_{DS} . Fakt zaniku napięcia pomiędzy drenem a źródłem badanego tranzystora pozwala na jego załączenie bez generowania strat związanych z rozładowywaniem energii zgromadzonej w jego pojemności wyjściowej na rezystancji przewodzącego kanału tego tranzystora. Potwierdzeniem poprawnej realizacji procesu ZVS jest to, że zanik napięcia na tranzystorze Q_1 (rozładowanie jego pojemności wyjściowej) następuje jeszcze przed pojawieniem się stanu wysokiego w sygnale sterującym jego bramką.



Rys. 5.46. Przebiegi napięć i prądów ukazujące przebieg procesu załączania tranzystora Q_1 w przekształtniku HVGDC-CoolMOS pracującym w trybie ZVS. CH1 – napięcie bramka-źródło tranzystora Q_1 (TPP1000), CH2 - napięcie dren-źródło tranzystora Q_1 (IsoVu TIVP1), CH3 - prąd drenu tranzystora Q_1 (CWTUM/06/B), CH4 - prąd drenu tranzystora Q_3 (CWTUM/06/B), Warunki pracy układu: $U_{in} = 70,41 \text{ V}$, $U_{out} = 381,56 \text{ V}$, $P_{out} = 518 \text{ W}$, $f_{sw} = 65,70 \text{ kHz}$, $\eta = 88,67 \%$



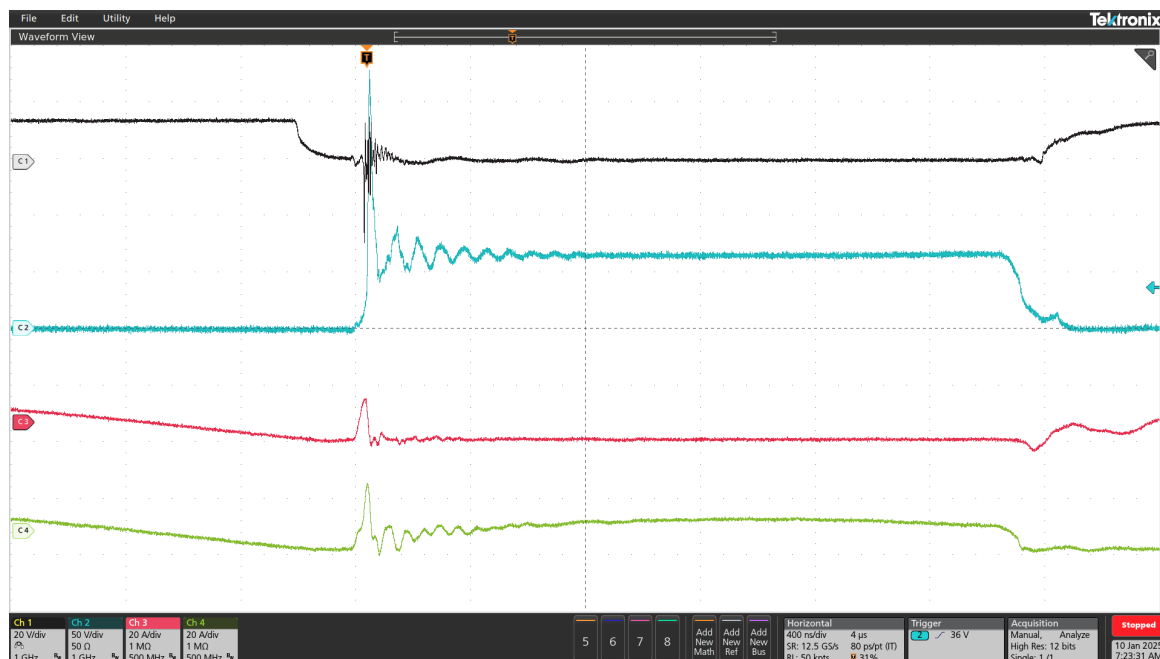
Rys. 5.47. Przebiegi napięć i prądów ukazujące proces załączania tranzystora Q_1 w przekształtniku HVGDC-CoolGaN pracującym w trybie ZVS. CH1 – napięcie bramka-źródło tranzystora Q_1 (TPP1000), CH2 - napięcie dren-źródło tranzystora Q_1 (IsoVu TIVP1), CH3 - prąd drenu tranzystora Q_1 (TCP0030), CH4 - prąd drenu tranzystora Q_3 (TCP0030), Warunki pracy układu: $U_{in} = 69,62 \text{ V}$, $U_{out} = 386,70 \text{ V}$, $P_{out} = 526 \text{ W}$, $f_{sw} = 60,31 \text{ kHz}$, $\eta = 91,18 \%$

W każdym z badanych przekształtników proces załączania tranzystora Q_1 w trybie ZVS przebiega poprawnie. Jednak z przebiegów zarejestrowanych w układzie HVGDCC-CoolMOS wynika, iż jego pojemność wyjściowa w czasie realizacji procedury ZVS rozładowywana jest jedynie do około 10 V, co wiąże się z tym, iż w momencie jego załączenia pojawiają się pewne straty wynikające ze stratnego rozładowania energii zgromadzonej w jego pojemności wyjściowej przy tym właśnie napięciu.

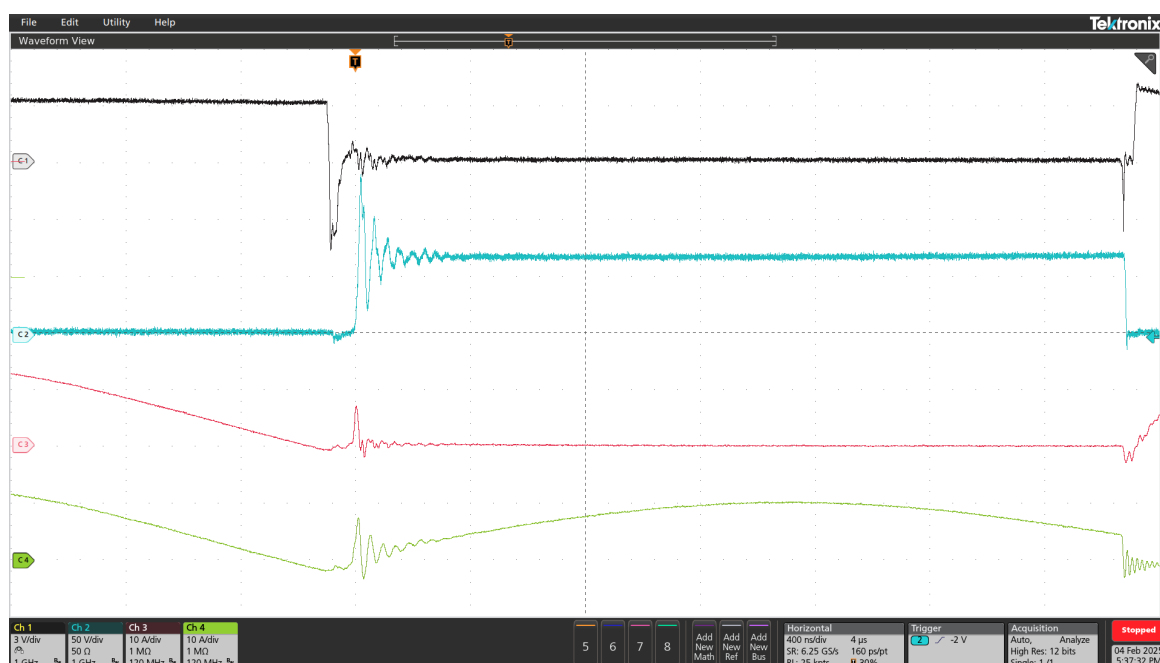
W przypadku tranzystora Q_1 pracującego w przekształtniku HVGDCC-CoolGaN procedura ZVS kończy się całkowitym rozładowaniem jego pojemności wyjściowej i eliminacją związanych z nią strat załączania. Warto także zwrócić uwagę na przebiegi prądu tranzystora Q_3 , zarejestrowane w momencie rozpoczęcia procedury ZVS. W układzie HVGDCC-CoolGaN cały proces rozpoczyna się od przerwania ścieżki przepływu prądu przeładowania rezonansowego przy jego wartości chwilowej wynoszącej około 5 A. Jak wiadomo z przedstawionych oscylogramów, ilość energii zgromadzonej w tym czasie w polu magnetycznym dławika jest wystarczająca do całkowitego rozładowania pojemności tranzystora Q_1 . W przypadku przekształtnika HVGDCC-CoolMOS do przerwania prądu przeładowania dochodzi przy jego wartości chwilowej przekraczającej 10 A, a mimo to po realizacji procedury ZVS na tranzystorze CoolMOS utrzymuje się napięcie o wartości około 10 V.

Analizując przebiegi przedstawione na rys. 5.46 - 5.47 można zauważyć, iż w przypadku układu HVGDCC-CoolGaN wszelkie przełączenia realizowane są zdecydowanie szybciej niż w jego odpowiedniku z tranzystorami CoolMOS. Należy jednak mieć na uwadze, że strome zbocza przebiegów, charakterystyczne dla układów z tranzystorami GaN, mogą prowadzić do zwiększenia poziomu emisji zakłóceń.

Oscylogramy zamieszczone na rys. 5.48–5.49 przedstawiają proces wyłączenia tranzystora Q_1 , kolejno w przekształtniku HVGDCC-CoolMOS oraz HVGDCC-CoolGaN. Porównując ze sobą przebiegi widoczne na wspomnianych oscylogramach, można stwierdzić, iż odpowiadają one tym zarejestrowanym w czasie prac eksperymentalnych prowadzonych nad układami pracującymi w trybie ZCS. Rozpoczynając ich szerszą analizę, warto zaznaczyć, iż skala pionowa wykorzystana w czasie rejestracji przebiegów prądu w układzie HVGDCC-CoolGaN jest dwukrotnie węższa niż ta, z którą dokonano rejestracji w układzie HVGDCC-CoolMOS. Można zatem stwierdzić, iż amplitudy pojawiających się w nich zakłóceń oscylacyjnych są w przybliżeniu dwukrotnie większe w układzie, w którym zastosowano tranzystory CoolMOS, w porównaniu do tych obserwowanych w układzie HVGDCC-CoolGaN. Ponadto, jak wynika z przedstawionych przebiegów, zarówno okresy, jak i czasy trwania zaburzeń oscylacyjnych obserwowanych w układzie wyposażonym w tranzystory CoolGaN są wyraźnie krótsze niż w przypadku tych widocznych w przebiegach zarejestrowanych w przekształtniku HVGDCC-CoolMOS. Zaburzenia oscylacyjne, poza przebiegami prądów tranzystorów Q_1 oraz Q_3 , można także dostrzec w przebiegach



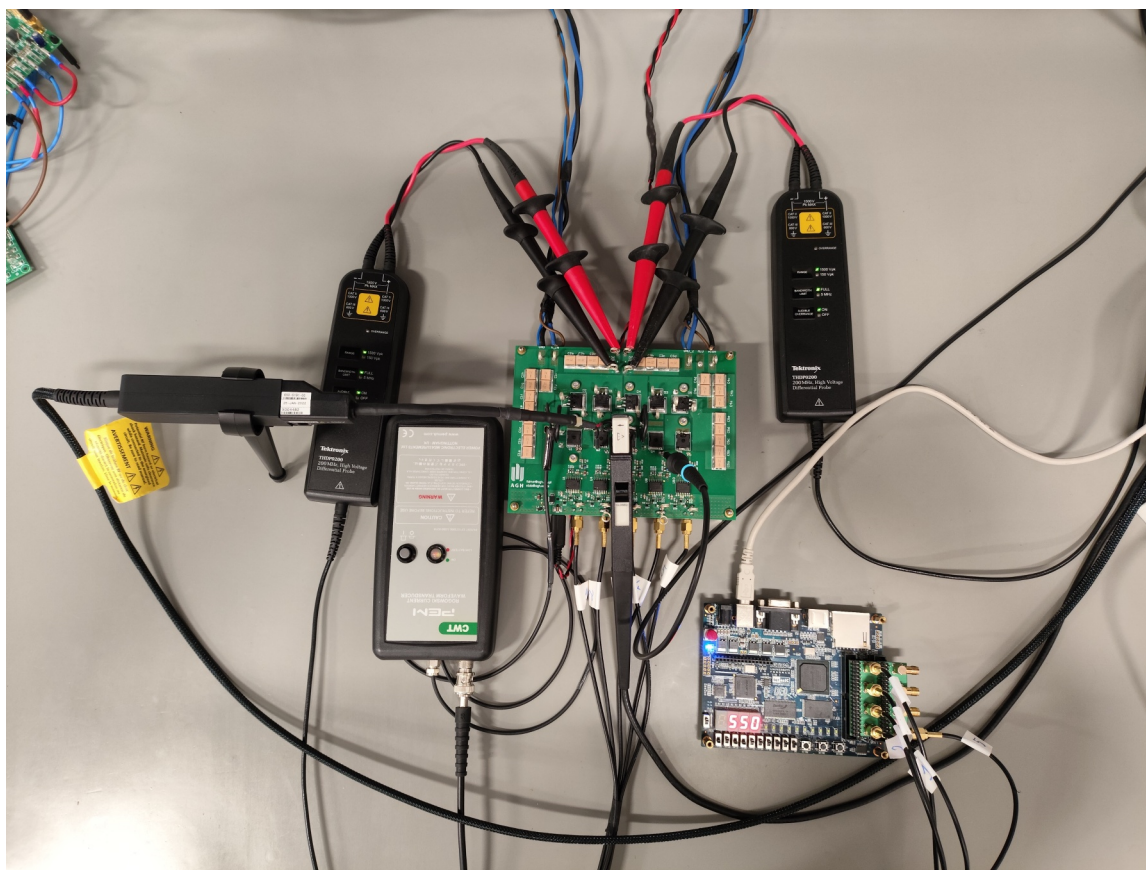
Rys. 5.48. Przebiegi napięć i prądów ukazujące przebieg procesu wyłączenia tranzystora Q_1 w przekształtniku HVGDC-CoolMOS pracującym w trybie ZVS. CH1 – napięcie bramka-źródło tranzystora Q_1 (TPP1000), CH2 - napięcie dren-źródło tranzystora Q_1 (IsoVu TIVP1), CH3 - prąd drenu tranzystora Q_1 (CWTUM/06/B), CH4 - prąd drenu tranzystora Q_3 (CWTUM/06/B), Warunki pracy układu: $U_{in} = 70,17\text{ V}$, $U_{out} = 380,17\text{ V}$, $P_{out} = 515\text{ W}$, $f_{sw} = 65,70\text{ kHz}$, $\eta = 88,66\%$



Rys. 5.49. Przebiegi napięć i prądów ukazujące przebieg procesu wyłączenia tranzystora Q_1 w przekształtniku HVGDC-CoolGaN pracującym w trybie ZVS. CH1 – napięcie bramka-źródło tranzystora Q_1 (TPP1000), CH2 - napięcie dren-źródło tranzystora Q_1 (IsoVu TIVP1), CH3 - prąd drenu tranzystora Q_1 (TCP0030), CH4 - prąd drenu tranzystora Q_3 (TCP0030), Warunki pracy układu: $U_{in} = 69,47\text{ V}$, $U_{out} = 385,81\text{ V}$, $P_{out} = 524\text{ W}$, $f_{sw} = 60,31\text{ kHz}$, $\eta = 90,86\%$

ich napięcie u_{DS} . W każdym z badanych układów, po wyłączeniu tranzystora Q_1 w przebiegu jego napięcia pojawiają się zaburzenia o charakterze oscylacyjnym tłumionym i znacznych amplitudach, sięgających kolejno 140 V oraz 230 V w przypadku przekształtników z tranzystorami CoolGaN oraz CoolMOS. Zakłócenia występują także w przebiegach sygnałów sterujących pracą tranzystora Q_1 w obu badanych układach, a moment ich wystąpienia odpowiada chwili pojawienia się zaburzeń w pozostałych przebiegach związanych z realizacją procesu wyłączania tego tranzystora. Należy także zaznaczyć, iż relatywnie długi impuls o ujemnej wartości, występujący w sygnale sterującym tranzystorem CoolGaN, jest efektem celowego działania sterownika bramkowego. Zabezpiecza on tranzystor GaN, charakteryzujący się niskim napięciem progowym, przed przypadkowym załączeniem spowodowanym zakłóceniami występującymi w układzie.

Fotografię przekształtnika HVGDCC-CoolGaN, wykonaną w czasie rejestracji przebiegów wizualizujących zjawiska łączeniowe związane z pracą jednego z tranzystorów tego układu, zamieszczono na rys. 5.50. Na przedstawionej fotografii, poza



Rys. 5.50. Przekształtnik HVGDCC-CoolGaN w czasie pomiarów eksperymentalnych. Widoczne dołączone sondy: niskonapięciowa TPP1000 mierząca sygnał sterujący tranzystora Q_4 , sondy różnicowe mierzące napięcia na kondensatorach przełączanych (C_2 , C_3), cewka Rogowskeigo (CWTUM/06/B) rejestrująca prąd wejściowy przekształtnika, cęgową sondą prądową TCP0030 mierzącą prąd drenu tranzystora Q_3 oraz sonda różnicowa (IsoVu TIVP1) rejestrująca napięcie tranzystora Q_3

samym przekształtnikiem, można dostrzec zestaw sond realizujących różnego rodzaju pomiary. Za pomocą sond różnicowych (Tektronix THDP0200) dołączonych do odpowiednio przygotowanych punktów pomiarowych dokonano pomiaru napięć występujących na kondensatorach przełącznych badanego układu. Przebieg prądu wejściowego przekształtnika zarejestrowano, korzystając z cewki Rogowskiego, a do rejestracji przebiegu prądu i napięcia badanego łącznika wykorzystano kolejno sondę cęgową (Tektronix TCP0030) oraz sondę różnicową typu Tektronix IsoVu – TIVP1.

Badania termowizyjne przekształtnika HVGDCC-CoolGaN pracującego w trybie ZCS oraz ZVS

W czasie trwania badań eksperymentalnych prowadzonych nad przekształtnikiem HVGDCC, wykonanym w wersji wykorzystującej tranzystory typu CoolGaN, zauważono, iż po zmianie trybu pracy układu z ZCS na ZVS jego sprawność zmniejszyła się o około jeden punkt procentowy. Fakt ten udokumentowano, zapisując wskazania (rys. 5.51) analizatora mocy Hioki PW8001 w czasie, gdy układ pracował w trybie ZCS, a następnie także po przełączeniu jego trybu pracy na ZVS. Z przedstawionych na rys. 5.51 rejestracji wynika, że mimo zbliżonych warunków prądowo-napięciowych, w jakich pracował badany układ, po uruchomieniu trybu ZVS jego sprawność zmniejszyła się o około jeden punkt procentowy. Świadczy to o zwiększeniu ilości strat występujących w badanym układzie, które należy powiązać ze zmianą jego trybu pracy z ZCS na ZVS. Przypuszczalnie, źródłem dodatkowych strat energii występujących w badanym układzie po przełączeniu w tryb pracy ZVS są straty związane z wyłączaniem tranzystorów odpowiedzialnych za ładowanie kondensatorów rezonansowych przy niezerowym prądzie oraz zwiększone straty przewodzenia diod prostowniczych. Aby potwierdzić te przypuszczenia, przeprowadzono dodat-



(a)

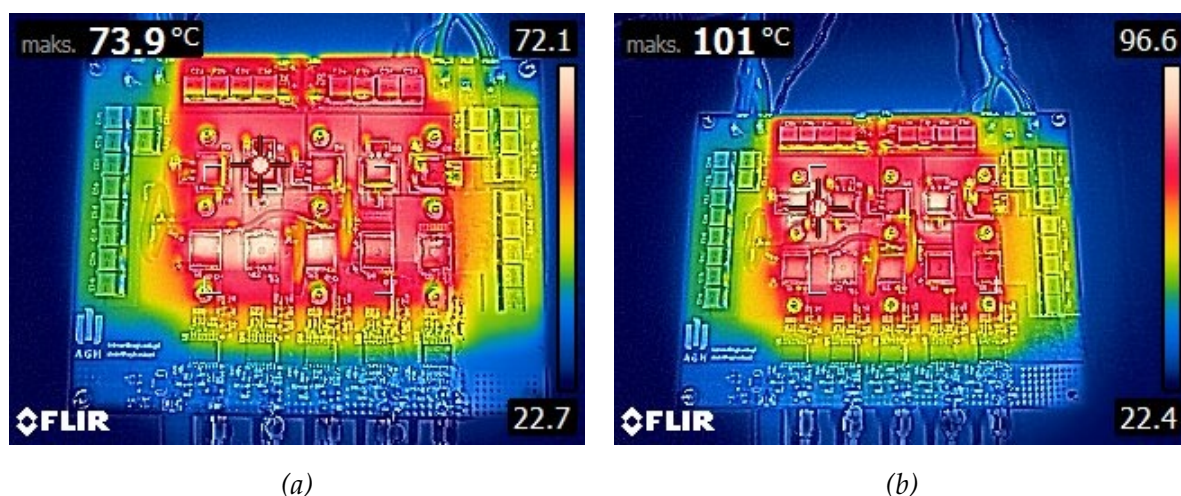


(b)

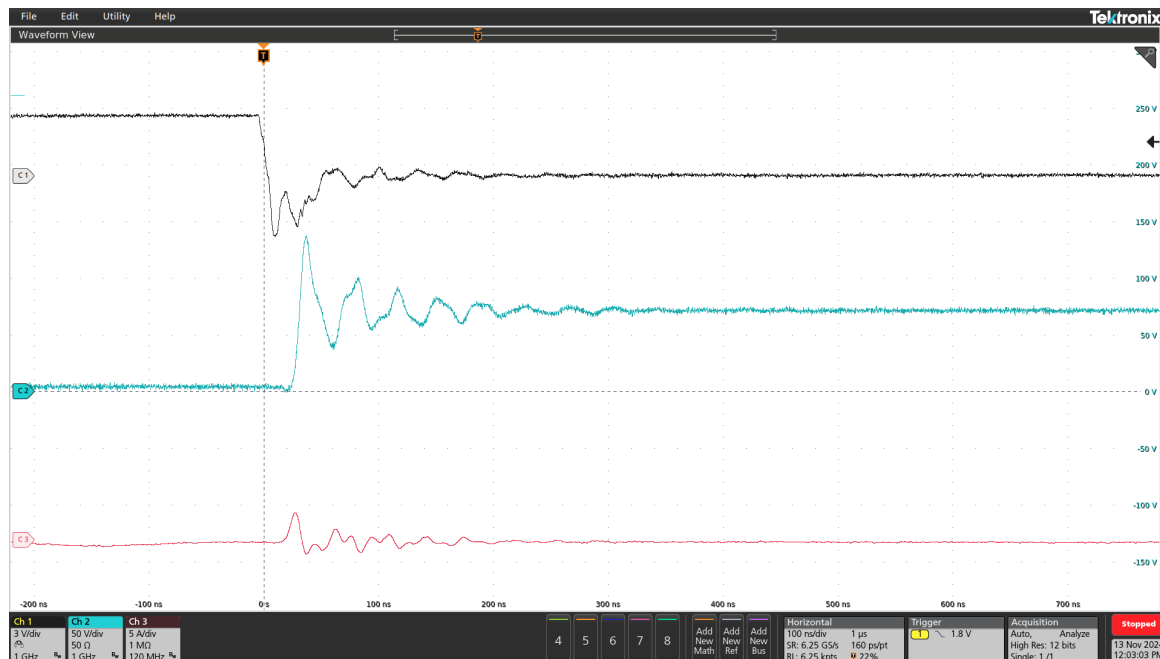
Rys. 5.51. Parametry przekształtnika HVGDCC-CoolGaN zarejestrowane przez analizator mocy HIOKI PW8001 w przypadku, gdy badany układ: a) pracował w trybie ZCS, b) pracował w trybie ZVS

kowy eksperyment, w którym wykorzystano kamerę termowizyjną. Przy jej pomocy zbadano, w jakim stopniu nagrzewają się tranzystory układu pracującego w trybie ZVS, a następnie otrzymany wynik porównano z rezultatem analogicznie przeprowadzonego testu na układzie pracującym w trybie ZCS. W obu przypadkach zdjęcia w skali podczerwieni wykonano po dziesięciu minutach od momentu uruchomienia przekształtnika. W chwili załączenia układu wszystkie jego komponenty miały temperaturę pokojową. Po uruchomieniu temperatura poszczególnych komponentów zaczęła narastać w miarę upływającego czasu. Po siedmiu minutach od uruchomienia przekształtnika temperatura wszystkich komponentów ustabilizowała się. Wykonane fotografie przedstawiono na rys. 5.52, a z ich analizy wynika, że po przełączeniu przekształtnika w tryb pracy ZVS nastąpił istotny wzrost temperatury diod prostowniczych D_2 oraz D_3 . Różnica w maksymalnej obserwowanej na powierzchni obwodu drukowanego temperaturze, w przypadku pracy układu w trybie ZCS oraz ZVS, wynosi aż 27°C .

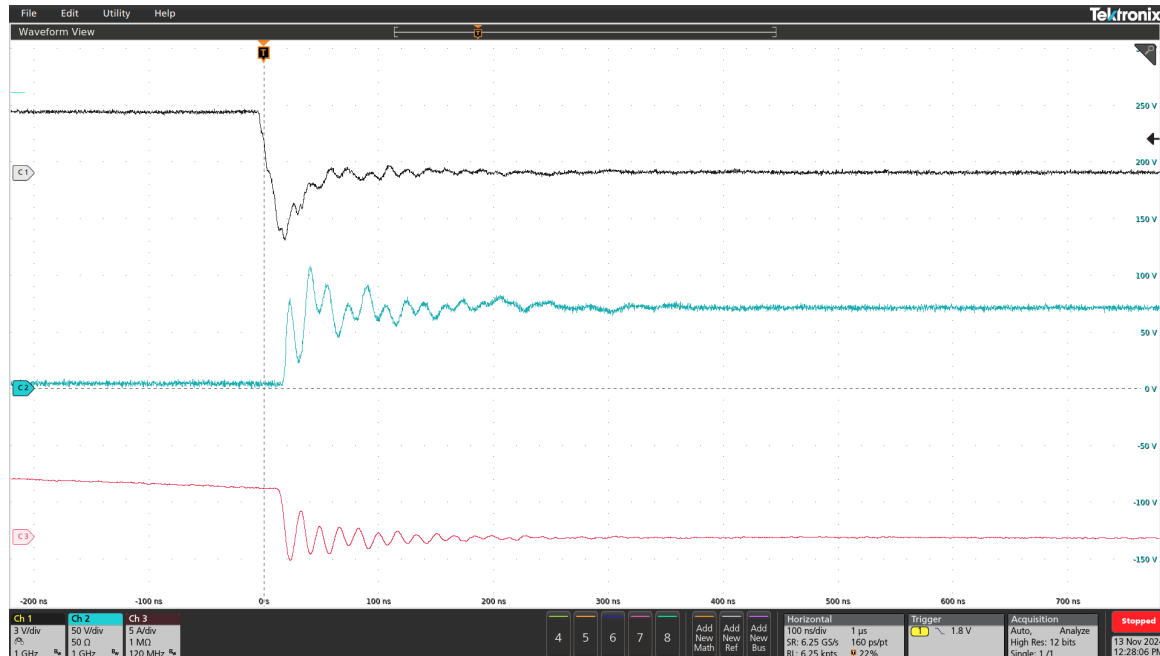
Dalsza weryfikacja problemu obniżonej sprawności przekształtnika HVGDC-CoolGaN pracującego w trybie ZVS polegała na zbadaniu komutacji w czasie wyłączenia poszczególnych tranzystorów. W tym celu zarejestrowano oscylogramy przedstawiające komutację tranzystora Q_3 w układzie pracującym w trybie ZCS oraz ZVS. Wyniki przeprowadzonych rejestracji przedstawiają oscylogramy zamieszczone na rys. 5.53 (ZCS) oraz rys. 5.54 (ZVS). Każdy z nich zawiera zestaw przebiegów, w skład którego wchodzi: prąd drenu tranzystora Q_3 , zarejestrowany przy pomocy sondy prądowej TCP0030, przebieg napięcia występującego pomiędzy drenem a źródłem tranzystora Q_3 (sonda IsoVu TIVP1) oraz sygnał sterujący pracą tego łącznika, zarejestrowany pomiędzy jego źródłem a bramką przy pomocy sondy niskonapięciowej TPP1000. Analizując zarejestrowane oscylogramy, można zauważyć, że w przypadku gdy układ pracuje w trybie ZVS (rys. 5.54), tranzystory biorące udział w ładowaniu



Rys. 5.52. Zdjęcia przekształtnika HVGDC-CoolGaN wykonane w skali podczerwieni w przypadku, gdy badany układ: a) pracował w trybie ZCS, b) pracował w trybie ZVS



Rys. 5.53. Przebiegi przedstawiające komutację w momencie wyłączenia tranzystora Q_3 w przekształtniku HVGDCC-CoolGaN pracującym w trybie ZCS. CH1 – napięcie bramka-źródło tranzystora Q_3 (TPP1000), CH2 - napięcie dren-źródło tranzystora Q_3 (IsoVu TIVP1), CH3 - prąd drenu tranzystora Q_3 (TCP0030), Warunki pracy układu: $U_{in} = 70,01 \text{ V}$, $U_{out} = 398,93 \text{ V}$, $P_{out} = 301,85 \text{ W}$, $f_{sw} = 52,91 \text{ kHz}$, $\eta = 94,18 \%$



Rys. 5.54. Przebiegi przedstawiające komutację w momencie wyłączenia tranzystora Q_3 w przekształtniku HVGDCC-CoolGaN pracującym w trybie ZVS. CH1 – napięcie bramka-źródło tranzystora Q_3 (TPP1000), CH2 - napięcie dren-źródło tranzystora Q_3 (IsoVu TIVP1), CH3 - prąd drenu tranzystora Q_3 (TCP0030), Warunki pracy układu: $U_{in} = 70,01 \text{ V}$, $U_{out} = 399,30 \text{ V}$, $P_{out} = 301,94 \text{ W}$, $f_{sw} = 60,31 \text{ kHz}$, $\eta = 93,14 \%$

kondensatorów przełączanych wyłączane są w nieoptymalnych warunkach. W czasie komutacji, przy przejściu ze stanu przewodzenia do blokowania, zarówno napięcie, jak i prąd mają niezerowe wartości chwilowe. Prowadzi to do powstania strat łączeniowych związanych z tym procesem.

Ponadto, analizując możliwości powstawania zwiększonej ilości strat po przełączeniu układu w tryb pracy ZVS, należy również zwrócić uwagę na charakterystyczny mechanizm przewodzenia wstecznego tranzystorów GaN, który istotnie wpływa na ilość energii traconej w czasie, gdy w danym obwodzie nie przewodzi żaden z tranzystorów z uwagi na występowanie czasu martwego. W badanym przekształtniku okres ten trwa 70 ns i jest on niezbędny do skutecznego rozładowania pojemności wyjściowej tranzystora. Cechą charakterystyczną tranzystorów GaN jest to, że napięcie ich przewodzenia wstecznego jest wyższe niż napięcie przewodzenia typowej diody zwrotnej. Dla zastosowanych w badanym przekształtniku tranzystorów IGT40R070D1 napięcie to wynosi 2 V, a ostateczna wartość spadku napięcia występującego na tego typu łączniku pracującym w trzecim kwadrancie swojej charakterystyki zależy także od aktualnej wartości napięcia występującego pomiędzy jego bramką a źródłem [111]. W analizowanym przypadku, w czasie komutacji, napięcie na bramce tranzystora przejmującego przewodzenie prądu ładującego kondensatory przełączane wynosi zero. Dlatego w przypadku badanego przekształtnika ostateczna wartość napięcia przewodzenia wstecznego tego tranzystora odpowiadać będzie tej wyszczególnionej w dokumentacji łącznika [100]. Łącząc ten fakt z koniecznością przejścia przewodzenia prądu ładującego kondensator przełączany po jego uprzednim przerwaniu przez inny tranzystor, w związku z realizacją warunków koniecznych do wejścia układu w tryb pracy ZVS, prowadzi to do powstawania dodatkowych strat w obwodzie badanego przekształtnika.

Analizując proces wyłączania tranzystora Q_3 w przekształtniku pracującym w trybie ZCS (rys. 5.53), można zauważyć, że w momencie zmiany stanu sygnału sterującego z wysokiego na niski wartość prądu przepływającego przez ten element jest równa zero. Oznacza to, że łącznik ten przełącza się w warunkach optymalnych, bez generowania dodatkowych strat łączeniowych. Co więcej, jeżeli ten tranzystor wyłączany jest już po zaniku prądu w obwodzie, to w czasie martwym również nie powstaną straty związane z przewodzeniem wstecznym łącznika, który zostanie załączony w kolejnym takcie pracy układu.

Z porównania fotografii układu HVGDCC-CoolGaN pracującego w trybie ZCS oraz ZVS, wykonanych kamerą termowizyjną (rys. 5.52), wynika, że spadek jego sprawności energetycznej występujący po przełączeniu w tryb pracy ZVS, w pewnym stopniu wiąże się również ze wzrostem strat występujących w diodach prostowniczych jego obwodu mocy. Wprowadzenie układu w tryb pracy ZVS skutkuje skróceniem czasu trwania pulsów ładowania kondensatorów przełączanych o około 20 %

w porównaniu do tych występujących w przekształtniku pracującym w trybie ZCS. Prowadzi to do skrócenia czasu pomiędzy kolejnymi pulsami prądu przepływającego przez poszczególne diody i tym samym także wzrostu jego wartości średniej oraz skutecznej, czego efektem jest wzrost strat przewodzenia w diodach badanego układu.

5.6.3 Sprawność przekształtników HVGDCC-CoolMOS oraz HVGDCC-CoolGaN

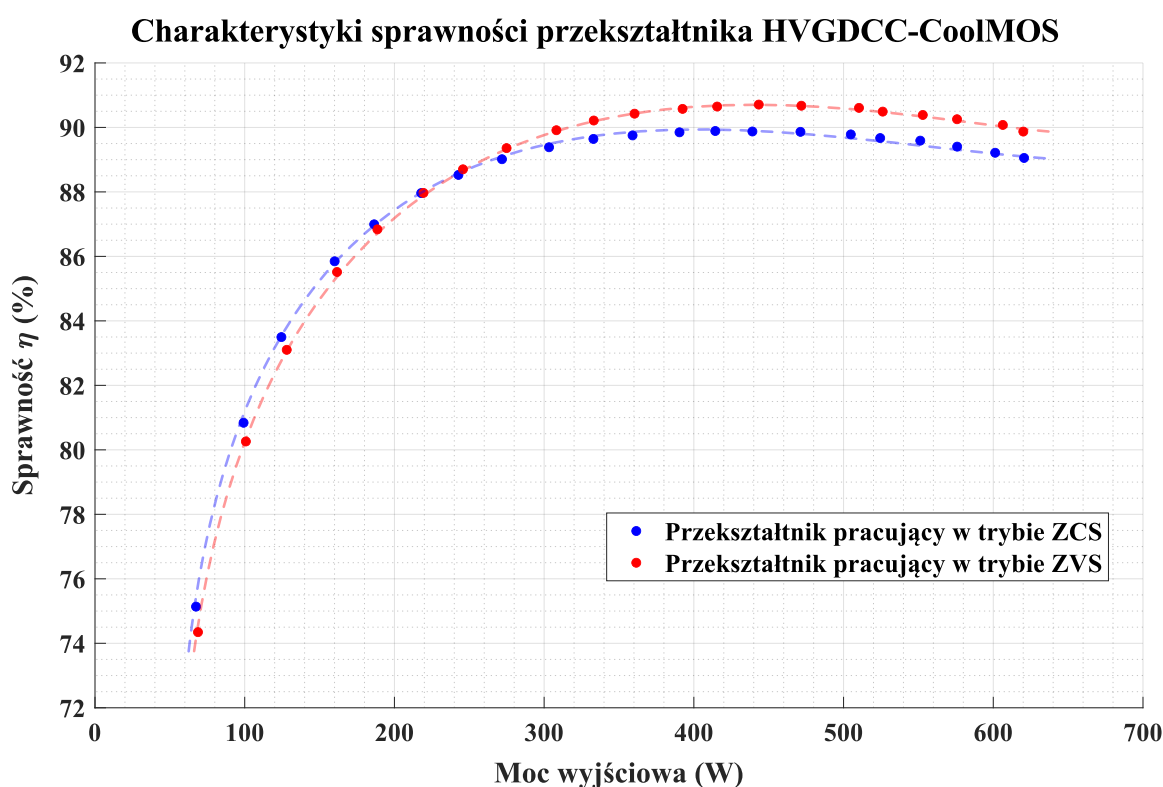
Głównym celem ostatniego etapu badań eksperymentalnych przekształtników o topologii HVGDCC, wykonanych w wersji z tranzystorami CoolMOS, a następnie także CoolGaN, była rejestracja ich charakterystyk sprawności. Rejestracje przeprowadzono za pomocą analizatora mocy Hioki PW8001, a w czasie pomiarów moc obciążenia dołączonego do wyjścia badanych układów zmieniano w sposób równomierny w zakresie od 50 W do 650 W, tworząc w ten sposób zestaw około dwudziestu punktów pomiarowych, w których kolejno realizowano pomiar sprawności badanych układów. Dla każdego z badanych przekształtników dokonano rejestracji dwóch krzywych przedstawiających zależność jego sprawności od mocy wyjściowej, w czasie gdy pracował w trybie ZCS, a następnie także ZVS.

Charakterystyki sprawności przekształtnika HVGDCC-CoolMOS

Rejestrację charakterystyk sprawności rozpoczęto od przekształtnika, w którego obwodzie wykonawczym zastosowano tranzystory CoolMOS. Charakterystyki sprawności, zarejestrowane w czasie pracy układu w trybach ZCS i ZVS, przedstawiono na rys. 5.55. Z przedstawionego wykresu wynika, że sprawność badanego przekształtnika zmienia się w zależności od stopnia jego obciążenia, a także zależy od tego, w jakim trybie pracuje badany przekształtnik (ZCS lub ZVS). Rozbieżności obserwowane pomiędzy zarejestrowanymi charakterystykami są nieznaczne i w całym zakresie zmian mocy obciążenia (60 W do 600 W) nie przekraczają jednego punktu procentowego. Przy obciążeniu układu wynoszącym około 60 W obie charakterystyki są do siebie bardzo zbliżone, a sprawność badanego przekształtnika w trybie ZCS wynosi około 75%, natomiast po zmianie trybu pracy na ZVS spada do 74,5%. Obie charakterystyki krzyżują się przy mocy obciążenia wynoszącej 250 W, osiągając w tych warunkach sprawność na poziomie 89%. W zakresie obciążeń mniejszych od 250 W, w kwestii osiąganego sprawności, dominuje przekształtnik pracujący w trybie ZCS. Maksymalna różnica pomiędzy zarejestrowanymi charakterystykami sprawności, w zakresie mocy obciążenia mieszczących się w przedziale od 60 W do 250 W, sięga 0,5 punktu procentowego. Dla mocy obciążenia większych od 250 W wyższą sprawność uzyskuje przekształtnik pracujący w trybie ZVS. Charakterystyka sprawności prze-

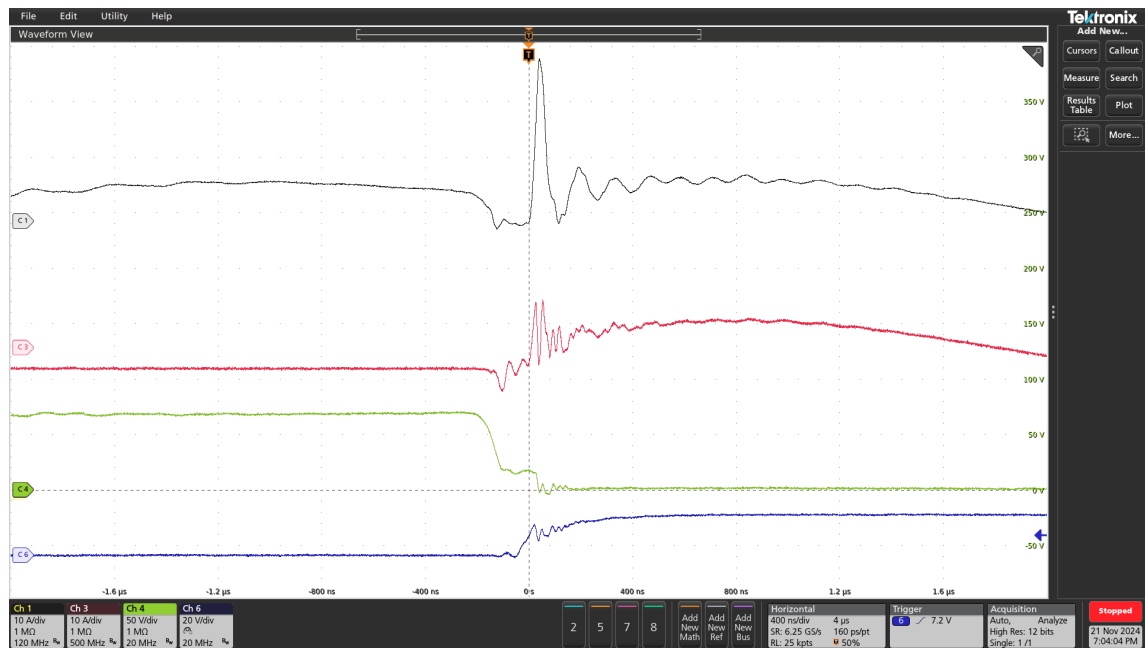
kształtnika HVGDC-CoolMOS pracującego w trybie ZCS osiąga swoje maksimum, równe 90%, przy mocy wyjściowej wynoszącej 420 W. Maksimum krzywej sprawności zarejestrowanej dla tego samego przekształtnika po zamianie jego trybu pracy na ZVS wynosi 90,8% i występuje przy obciążeniu mocą 440 W.

Analizując przedstawioną krzywą sprawności, warto jeszcze raz zwrócić uwagę na początkowy fragment prezentowanej charakterystyki. W przedziale mocy wyjściowych mniejszych od 250 W wyższą sprawność uzyskuje przekształtnik pracujący w podstawowym trybie przełączania (ZCS), a po przełączeniu go w tryb pracy ZVS jego sprawność nieznacznie spada. Świadczy to o tym, że po przełączeniu układu w tryb pracy ZVS pojawiają się w nim dodatkowe straty, których potencjalnym źródłem są zwiększone straty przewodzenia diod prostowniczych oraz dodatkowe straty łączeniowe tranzystorów. Efektem przełączenia przekształtnika w tryb pracy ZVS jest skrócenie czasu trwania interwału ładowania jego kondensatorów przełączanych, co realizowane jest poprzez przerwanie ścieżki przepływu prądu ładującego kondensator przełączany za pomocą jednego z tranzystorów układu. Skrócenie czasu trwania interwału ładowania kondensatorów przełączanych wiąże się ze wzrostem wartości średnich i skutecznych prądów przepływających przez poszczególne elementy przekształtnika, w tym także przez diody, co prowadzi do zwiększenia ich

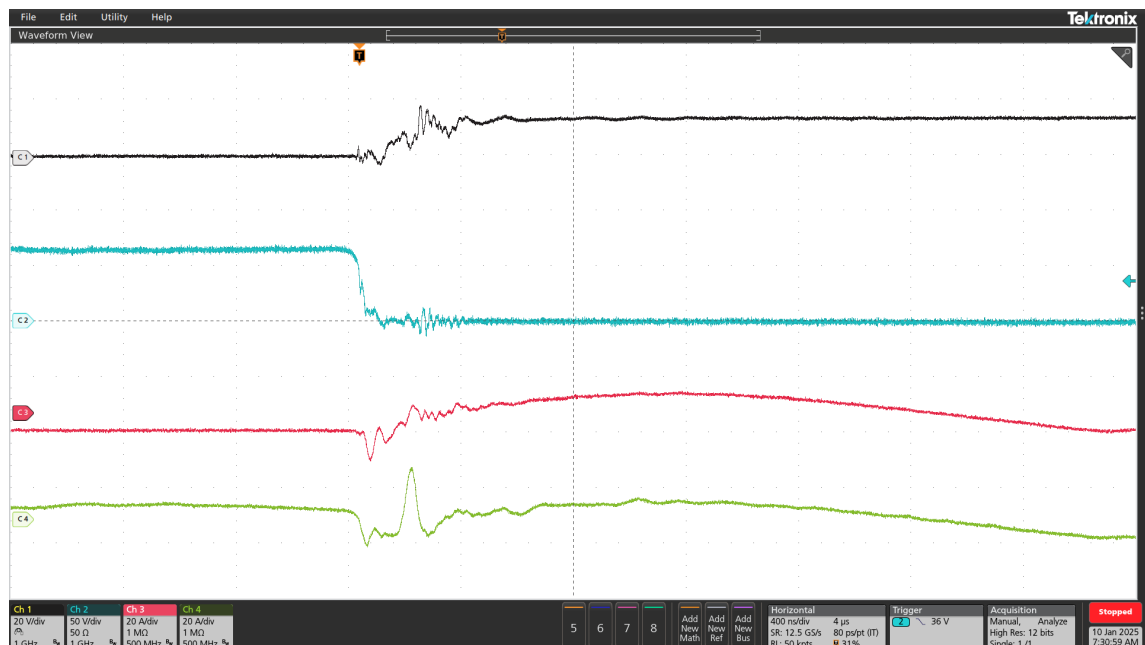


Rys. 5.55. Charakterystyki sprawności przekształtnika HVGDC wykonanej w wersji z tranzystorami typu CoolMOS zarejestrowane przy pomocy analizatora mocy HIOKI PW8001 w czasie prac eksperymentalnych prowadzonych nad układem pracującym w trybie ZCS oraz ZVS

strat przewodzenia. Ponadto, praca układu w trybie ZVS wiąże się z cyklicznym przerywaniem prądów obwodu rezonansowego za pomocą tranzystorów układu, co prowadzi do powstawania dodatkowych strat łączeniowych w tranzystorach, które zmniejszają zysk płynący z miękkiego rozładowywania ich pojemności wyjściowych. Dodatkowo, w zakresie niewielkich mocy wyjściowych badanego przekształtnika, amplitudy prądów ładujących kondensatory przełączane często są na tyle małe, że ilość energii zgromadzonej w indukcyjności rezonansowej w momencie przerywania ścieżki przepływu prądu ładującego kondensator przełączany jest niewystarczająca do pełnego rozładowania pojemności wyjściowej tranzystora. Układ może również nieoptymalnie pracować, jeśli ilość energii zgromadzonej w dławiku nie będzie wystarczająca, aby przez cały okres trwania czasu martwego podtrzymać przepływ prądu przez diodę antyrównoległą tranzystora i tym samym wymusić na jego pojemności wyjściowej napięcie bliskie zeru (V_F). Jeśli do rozładowania indukcyjności rezonansowej dojdzie zanim zakończy się czas martwy, napięcie na tranzystorze ponownie narasta do wartości wynikającej z bilansu napięć układu, a jego miękkie załączenie w tym cyklu pracy staje się niemożliwe do zrealizowania. Przykładowy oscylogram przedstawiający niepełne rozładowanie pojemności wyjściowej tranzystora zamieszczono na rys. 5.56, na którym można zaobserwować, że w następstwie przerywania prądu ładującego jeden z kondensatorów przełączanych w stan przewodzenia wchodzi dioda antyrównoległa tranzystora Q_3 (ujemna wartość prądu drenu), a wskutek tego napięcie na tym tranzystorze zmniejsza się do około 20 V. Po osiągnięciu tej wartości prąd w obwodzie zaczyna zanikać, a napięcie tranzystora utrzymuje w przybliżeniu stałą wartość. Następnie, napięcie u_{GS} tranzystora Q_3 narasta, powodując jego załączenie. Dochodzi do tego w sytuacji, gdy jego napięcie u_{DS} wynosi około 20 V, a to z kolei prowadzi do powstania strat związanych z twardym rozładowaniem jego pojemności wyjściowej (C_{oss}). Po zwiększeniu mocy obciążenia, ilość energii zgromadzonej w indukcyjności rezonansowej w momencie przerywania ścieżki przepływu prądu ładującego kondensatory przełączane wzrasta do poziomu umożliwiającego poprawne przeprowadzenie procesu ZVS. Wtedy też ilość energii zaoszczędzonej w związku z eliminacją strat związanych z rozładowywaniem pojemności wyjściowej tranzystorów (C_{oss}) zwiększa się na tyle, aby skompensować dodatkowe straty przewodzenia powstające w diodach prostowniczych oraz dodatkowe straty łączeniowe tranzystorów pojawiające się w momencie, gdy dochodzi do przerywania ścieżki przepływu prądu ładującego kondensatory przełączane przy jego niezerowej wartości. Na rys. 5.57 zamieszczono oscylogram, na którym można zaobserwować proces załączania tranzystora Q_3 w warunkach pozwalających na prawidłową realizację procedury ZVS. Na przedstawionym oscylogramie wyraźnie widać, iż cały proces rozpoczyna się od przerywania prądu obwodu rezonansowego, zrealizowanego poprzez wyłączenie tranzystora Q_1 . W efekcie, w przebiegu prądu



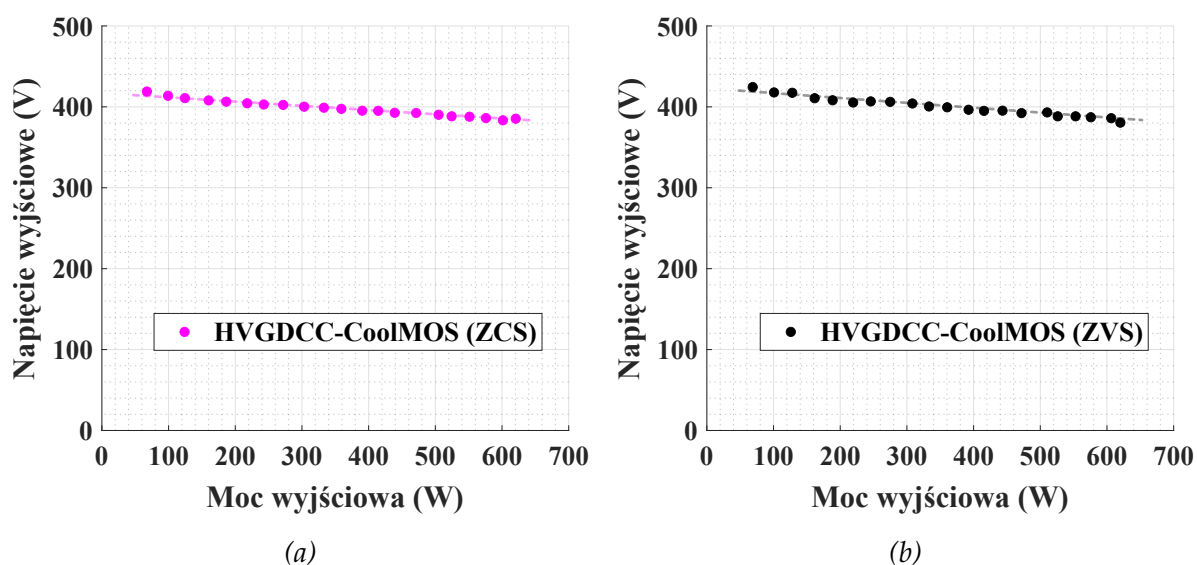
Rys. 5.56. Zestaw przebiegów przedstawiających próbę załączenia tranzystora Q_3 w układzie HVGDC-CoolMOS pracującym w trybie ZVS przy mocy wyjściowej niewystarczającej do jego realizacji. CH1 – prąd wejściowy przekształtnika (TCP0030), CH3 - prąd drenu tranzystora Q_3 (CWTUM/06/B), CH4 - napięcie dren-źródło tranzystora Q_3 (IsoVu TIVP1), CH5 - napięcie bramka-źródło tranzystora Q_3 (TPP1000), Warunki pracy układu: $U_{in} = 69,73 \text{ V}$, $U_{out} = 417,16 \text{ V}$, $P_{out} = 201,13 \text{ W}$, $f_{sw} = 65,70 \text{ kHz}$, $\eta = 87,08 \%$



Rys. 5.57. Zestaw przebiegów przedstawiających próbę załączenia tranzystora Q_3 w układzie HVGDC-CoolMOS pracującym w trybie ZVS przy mocy gwarantującej niemal pełne rozładowanie jego pojemności wyjściowej. CH1 – prąd wejściowy przekształtnika (TCP0030), CH2 - prąd drenu tranzystora Q_3 (CWTUM/06/B), CH3 - napięcie dren-źródło tranzystora Q_3 (IsoVu TIVP1), CH4 - napięcie bramka-źródło tranzystora Q_3 (TPP1000), Warunki pracy układu: $U_{in} = 70,21 \text{ V}$, $U_{out} = 380,79 \text{ V}$, $P_{out} = 516 \text{ W}$, $f_{sw} = 65,70 \text{ kHz}$, $\eta = 89,20 \%$

tranzystora Q_3 pojawia się ujemny impuls prądu, polaryzujący w kierunku przewodzenia jego diodę antyrównoległą i rozładowujący jego pojemność wyjściową. Można zaobserwować, iż proces ten doprowadził do rozładowania pojemności wyjściowej tranzystora Q_3 jeszcze przed zmianą stanu jego sygnału sterującego.

Korzystając z danych zarejestrowanych przez analizator mocy HIOKI PW8001, wykreślono także charakterystyki obrazujące zależność napięcia wyjściowego badanego przekształtnika od jego mocy wyjściowej (rys. 5.58). Charakterystyki wykreślono dla układu pracującego w trybie ZCS oraz ZVS. Z ich analizy wynika, iż wspomniana zależność ma charakter liniowy, a napięcie wyjściowe przekształtnika maleje wraz ze wzrostem mocy jego obciążenia. Napięcie wyjściowe badanego układu maleje o około 4 V na każde dodatkowe 100 W jego obciążenia. W efekcie, napięcie wyjściowe przekształtnika HVGDCC-CoolMOS przy jego mocy wyjściowej wynoszącej 600 W osiąga około 380 V.

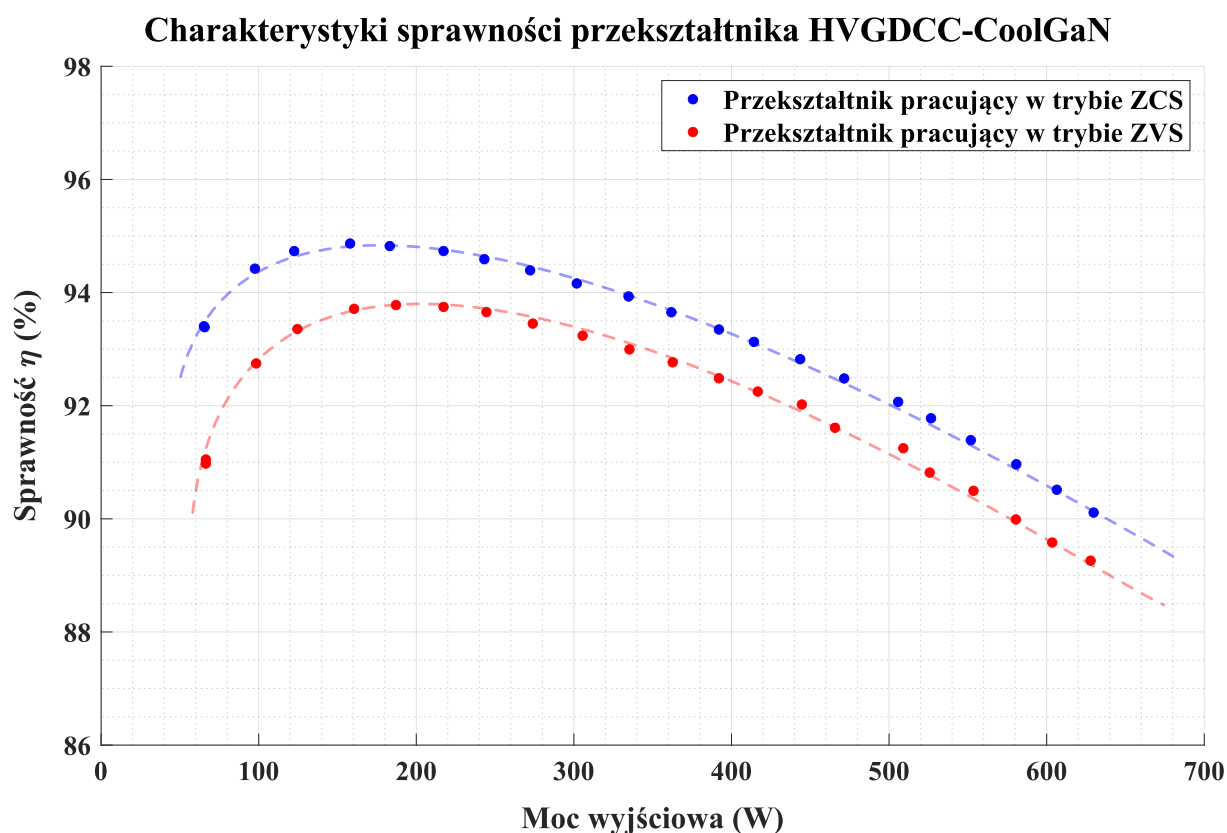


Rys. 5.58. Charakterystyki przedstawiające zależność napięcia wyjściowego przekształtnika HVGDCC wykonanego w wersji z tranzystorami typu CoolMOS zarejestrowane przy pomocy analizatora mocy HIOKI PW8001 w czasie badań eksperymentalnych prowadzonych nad układem pracującym w trybie: a) ZCS, b) ZVS

Charakterystyki sprawności przekształtnika HVGDCC-CoolGaN

Charakterystyki sprawności przekształtnika HVGDCC-CoolGaN zarejestrowano w taki sam sposób, jak dokonano tego w układzie zbudowanym z wykorzystaniem tranzystorów CoolMOS. Pomiary przeprowadzono dla układu pracującego w trybie ZCS oraz ZVS, a każda z zarejestrowanych charakterystyk została wykreślona na podstawie około 20 równomiernie rozmieszczonych punktów pomiarowych, pokrywających zakres mocy wyjściowych przekształtnika w przedziale od 50 W

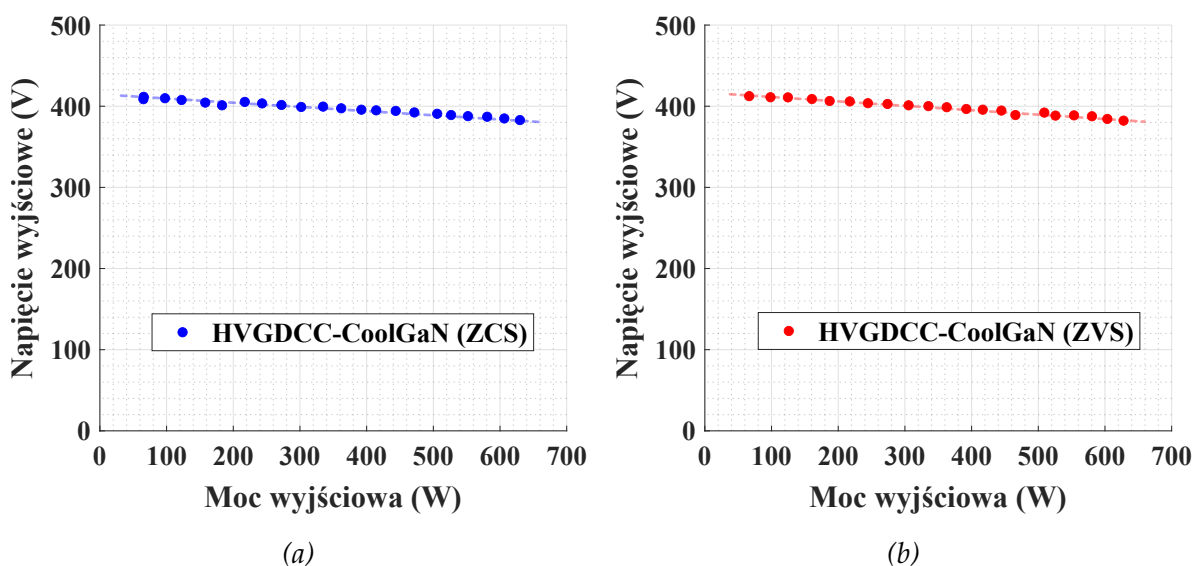
do 600 W. Zarejestrowane charakterystyki sprawności układu pracującego w trybie ZCS oraz ZVS zamieszczono na rys. 5.59. Z przedstawionego wykresu wynika, że sprawność badanego przekształtnika zmienia się w zależności od stopnia jego obciążenia oraz zależy od trybu pracy układu. Przekształtnik HVGDCC-CoolGaN obciążony mocą 60 W i pracujący w trybie ZCS osiąga sprawność 93,4 %. Ten sam układ, w podobnych warunkach, jednak pracujący w trybie ZVS, osiąga sprawność 91,0 %. W podobnych warunkach, jednak pracujący w trybie ZVS, przekształca energię ze sprawnością niższą o około 2,5 %. Przy mocy obciążenia wynoszącej 160 W układ, w którym przełączenia realizowane są przy zerowym prądzie, osiąga 94,8 % sprawności, co jednocześnie stanowi maksimum jego charakterystyki. Jego odpowiednik, w którym tranzystory załączane są przy zerowym napięciu, swoje maksimum sprawności (93,8 %) osiąga przy mocy obciążenia wynoszącej 200 W. W zakresie większych mocy obciążenia różnica sprawności osiąganych przez układ pracujący w trybie ZCS i ZVS sięga jednego punktu procentowego na korzyść układu, w którym tranzystory przełączają się przy zerowym prądzie. Porównując obie charakterystyki, należy zwrócić uwagę na fakt, iż różnica w sprawności obu układów nie zwiększa się wraz ze wzrostem ich mocy wyjściowej. Świadczy to o tym, że dominujące w zakresie większych obciążeń straty przewodzenia w obu przypadkach pozostają na podobnym



Rys. 5.59. Charakterystyki sprawności przekształtnika HVGDCC wykonanego w wersji z tranzystorami typu CoolGaN zarejestrowane w czasie eksperymentalnej weryfikacji układu pracującego w trybie ZCS oraz ZVS

poziomie, a różnica w sprawności układu zarejestrowana dla obu tych przypadków (praca w ZCS oraz ZVS) wynika z dodatkowych strat łączeniowych powstających po przełączeniu przekształtnika w tryb pracy ZVS.

Korzystając z danych zarejestrowanych przez analizator mocy HIOKI PW8001, wykreślono także charakterystyki obrazujące zależność napięcia wyjściowego badanego przekształtnika od mocy dołączonego do niego obciążenia (rys. 5.60). Charakterystyki wykreślono dla układu pracującego w trybie ZCS oraz ZVS. Z ich analizy wynika, iż wspomniana zależność ma charakter liniowy, a napięcie wyjściowe przekształtnika maleje wraz ze wzrostem mocy jego obciążenia. Tempo spadku napięcia wyjściowego badanego przekształtnika, podobnie jak w układzie z tranzystorami CoolMOS, wynosi około 4 V na każde dodatkowe 100 W mocy pobieranej z jego wyjścia. Najniższa wartość napięcia wyjściowego, jaką zaobserwowano w czasie prowadzonych badań przekształtnika CoolGaN, wyniosła 380 V i została zmierzona w czasie, gdy badany przekształtnik pracował z mocą wyjściową wynoszącą 600 W. Zmiana trybu pracy przekształtnika nie wpływa w sposób istotny na wartość napięcia pojawiającego się na jego wyjściu. Pozwala to stwierdzić, iż liniowy spadek napięcia wyjściowego przekształtnika, postępujący wraz ze wzrostem jego obciążenia, związany jest z faktem występowania spadków napięć na diodach prostowniczych oraz rezystancjach pasywnych obwodu mocy badanego układu. Efekt ten mógłby zostać ograniczony, np. przez zastosowanie laminatu o grubszej warstwie miedzi, a także przez modyfikację układu polegającą na budowie jego synchronicznego odpowiednika, w którym diody zostałyby zastąpione przez tranzystory.

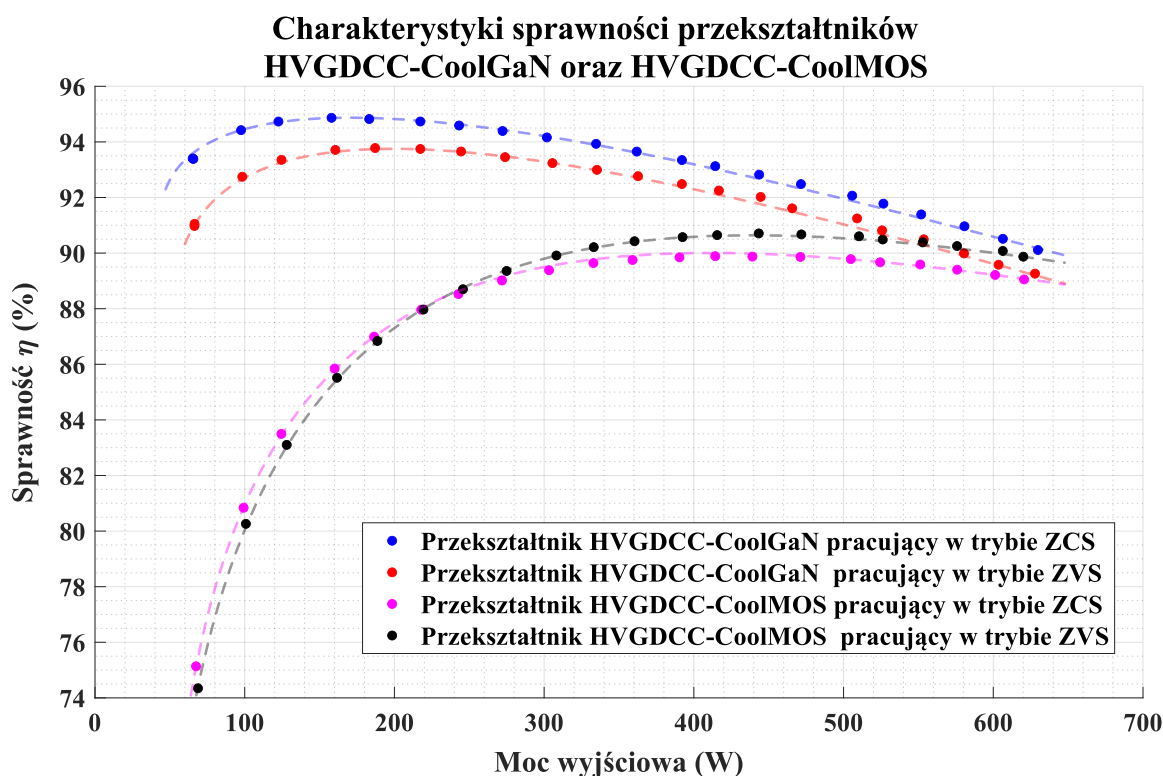


Rys. 5.60. Charakterystyki przedstawiające zależność napięcia wyjściowego przekształtnika HVGDCC wykonanego w wersji z tranzystorami typu CoolGaN zarejestrowane przy pomocy analizatora mocy HIOKI PW8001 w czasie badań eksperymentalnych prowadzonych nad układem pracującym w trybie: a) ZCS, b) ZVS

Porównanie charakterystyk sprawności przekształtników HVGDCC-CoolMOS oraz HVGDCC-CoolGaN

Analizę charakterystyk sprawności badanych układów zakończono porównaniem wszystkich czterech zarejestrowanych krzywych. Porównanie to zrealizowano w formie graficznej, przedstawiając na wspólnym wykresie, zamieszczonym na rys. 5.61, charakterystyki zarejestrowane zarówno w układzie HVGDCC-CoolMOS, jak również HVGDCC-CoolGaN, pracujących w trybie ZCS, a następnie także ZVS.

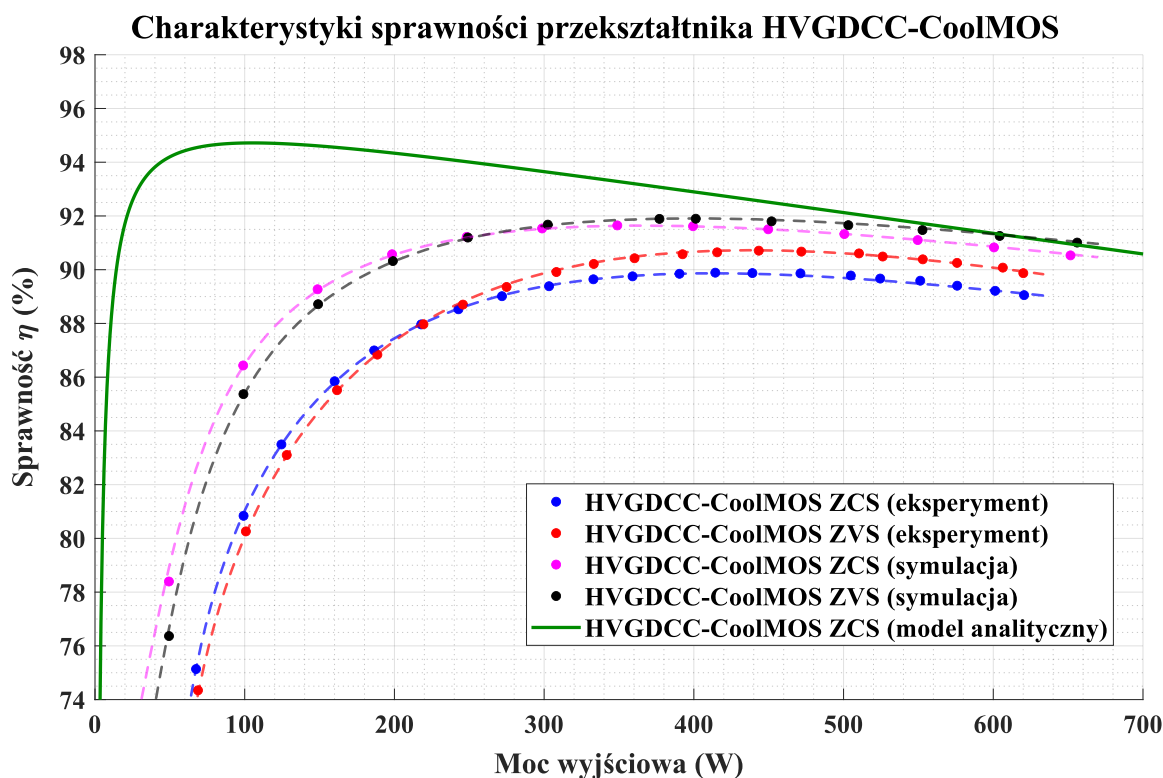
Z przedstawionego wykresu wynika, że niemal w całym zakresie mocy wyjściowych badanych przekształtników najwyższą sprawność uzyskuje przekształtnik HVGDCC-CoolGaN. Krzywe obu układów przecinają się dopiero pod koniec prezentowanych charakterystyk, gdy moc wyjściowa testowanych układów przekracza 500 W. Warto również zwrócić uwagę na początkowy fragment prezentowanego wykresu, w którym zwizualizowano wyniki pomiarów zrealizowanych przy mocy obciążenia badanych układów nieprzekraczającej 100 W. Jak można zauważyć, przekształtnik HVGDCC-CoolGaN zdecydowanie dominuje w tej części charakterystyki, a widoczna różnica sprawności obu układów przekracza kilkanaście punktów procentowych. Mając na uwadze to, że przekształtniki pracują z taką samą mocą wyjściową, która nie przekracza 100 W, a wynikające z poziomu obciążenia wartości prądów płynących w układzie również są niewielkie, można zaryzykować



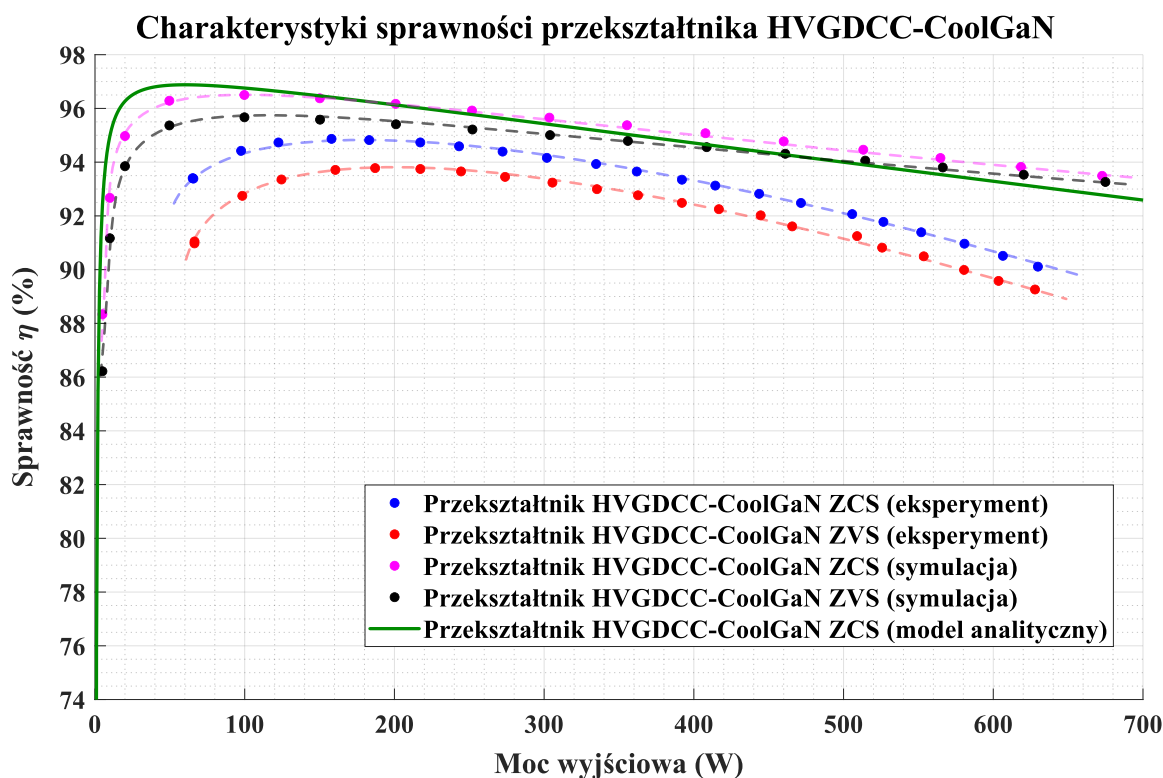
Rys. 5.61. Charakterystyki sprawności przekształtników HVGDCC wykonanych w wersji CoolGaN oraz CoolMOS, pracujących w trybie ZCS i ZVS

stwierdzenie, iż bezpośrednio związane z ich wartościami straty przewodzenia nie są w głównej mierze odpowiedzialne za powstanie tak dużych rozbieżności w charakterystykach sprawności obu badanych układów. Za źródło tych rozbieżności należy zatem uznać straty łączeniowe, które w przypadku układu HVGDCC-CoolMOS są zdecydowanie wyższe niż w przypadku jego odpowiednika, w którym zastosowano tranzystory typu CoolGaN. Warto również zwrócić uwagę na to, że przełączenie przekształtnika HVGDCC-CoolMOS w tryb pracy ZVS przyniosło spodziewany rezultat w postaci ograniczenia strat występujących w układzie, co w prezentowanej charakterystyce można zaobserwować dla mocy większych od 300 W. W przypadku układu HVGDCC-CoolGaN, w zakresie mocy wyjściowych uwzględnionych w prezentowanej charakterystyce, przełączenie go w tryb pracy ZVS skutkuje obniżeniem sprawności tego przekształtnika o około jeden punkt procentowy, co można zaobserwować w całym zakresie mocy wyjściowych, przy których prowadzono rejestracje.

Elementem kończącym rozdział dotyczący badań eksperymentalnych jest porównanie rzeczywistych charakterystyk sprawności badanych przekształtników z ich odpowiednikami zarejestrowanymi w czasie uprzednio opisanych badań symulacyjnych i prac analitycznych. Porównanie to zrealizowano w formie graficznej, przedstawiając przebieg wspomnianych krzywych właściwych dla układu HVGDCC-CoolMOS oraz HVGDCC-CoolGaN na wykresach zamieszczonych kolejno na rys. 5.62 oraz rys. 5.63. Jak można zauważyć, dla każdego z badanych przekształtników, przebieg analitycznej oraz symulacyjnej krzywej sprawności nieco przewyższa te zarejestrowane w układach rzeczywistych. Największe rozbieżności obserwuje się w zakresie niskich mocy obciążenia badanych układów, w którym udział strat łączeniowych w całkowitym bilansie mocy traconej w przekształtniku jest znaczny. W przypadku przekształtnika HVGDCC-CoolMOS, obserwowane różnice są największe, a powodem ich wystąpienia może być nieuwzględnienie w opracowanym modelu komponentu strat związanych z ładowaniem pojemności wyjściowych poszczególnych tranzystorów. Podobnie jak miało to miejsce w przypadku energii rozpraszanej w czasie rozładowywania pojemności wyjściowych tranzystorów (E_{oss}), ilość energii traconej w związku z ich ładowaniem (E_{qoss}) jest również silnie zależna od wartości napięcia przyłożonego do danego tranzystora. Jak wynika z wniosków przedstawionych w publikacji [118], ilość strat powstających w związku z ładowaniem pojemności wyjściowych, w układach półmostkowych, może nawet dwukrotnie przekraczać straty powstające w związku z ich rozładowywaniem. W układach wielopoziomowych analityczne wyznaczenie strat związanych z ładowaniem pojemności wyjściowych jest zdecydowanie trudniejsze, w związku z czym, w toku prowadzonych prac badawczych zdecydowano się pominąć ten etap na rzecz przeprowadzenia symulacyjnych badań sprawności, których rezultaty również przedstawiono na rys. 5.62 oraz rys. 5.63.



Rys. 5.62. Porównanie charakterystyk sprawności przekształtnika HVGDCC-CoolMOS zarejestrowanych w czasie badań eksperymentalnych, symulacyjnych oraz wyznaczonych na podstawie opracowanego modelu analitycznego przekształtnika



Rys. 5.63. Porównanie charakterystyk sprawności przekształtnika HVGDCC-CoolGaN zarejestrowanych w czasie badań eksperymentalnych, symulacyjnych oraz wyznaczonych na podstawie opracowanego modelu analitycznego przekształtnika

Warto jednak zaznaczyć, iż wykres przedstawiający charakterystyki sprawności zarejestrowane dla układu HVGDCC-CoolGaN, prezentuje zdecydowanie lepszą zbieżność pomiędzy wynikami przeprowadzonych analiz teoretycznych oraz badań eksperymentalnych. Charakterystykę sprawności przedstawioną na rys. 5.63 wyznaczono korzystając z takiego samego modelu analitycznego, jak w czasie analiz układu z tranzystorami CoolMOS. Oznacza to, że krzywa sprawności wyznaczona dla tranzystorów CoolGaN również nie uwzględnia strat E_{oss} . Biorąc jednak pod uwagę to, że tranzystory CoolGaN cechują się mniejszymi wartościami ich pojemności wyjściowych, a przez to także wyraźnie mniejszymi stratami związanymi z ich ładowaniem (E_{qoss}), błąd wynikający z pominięcia tego parametru ma zdecydowanie mniejszy wpływ na przebieg charakterystyki tego układu niż w przypadku jego odpowiednika wykonanego z wykorzystaniem tranzystorów CoolMOS. Tym samym, na podstawie porównania obu charakterystyk, parametrów zastosowanych tranzystorów oraz konkluzji zawartych w publikacji [118], za uzasadniony należy uznać wcześniej wysunięty wniosek, zgodnie z którym główną przyczyną rozbieżności pomiędzy analityczną krzywą sprawności przekształtnika HVGDCC-CoolMOS a charakterystyką zmierzoną w rzeczywistym układzie jest pominięcie w modelu analitycznym strat związanych z ładowaniem pojemności wyjściowych tranzystorów.

Przechodząc do porównania wyników badań symulacyjnych, należy zauważyć, iż mimo zastosowania zaawansowanych metod modelowania ich charakterystyk, również one nie prezentują pełnej zbieżności z wynikami przeprowadzonych prac eksperymentalnych. Symulator, zarówno w przypadku układu HVGDCC-CoolMOS, jak i HVGDCC-CoolGaN, najgorzej radzi sobie z wyznaczeniem sprawności w początkowej części charakterystyki, czyli strat łączeniowych. W zakresie wyższych mocy wyjściowych, w okolicy maksimum sprawności badanych przekształtników, rozbieżności obserwowane pomiędzy wynikami badań symulacyjnych oraz eksperymentalnych nie przekraczają dwóch punktów procentowych, co stanowi wartość zadowalającą i wystarczającą do realizacji prac projektowo-inżynierskich. Z przedstawionych charakterystyk można również wywnioskować, że zarówno w badaniach symulacyjnych, jak i analitycznych, straty przewodzenia zostały niedoszacowane. Potwierdzeniem tego faktu są powiększające się, w zakresie dużych mocy wyjściowych, rozbieżności pomiędzy rzeczywistymi charakterystykami sprawności badanych układów a ich symulacyjnymi i analitycznymi odpowiednikami.

6. Podsumowanie

6.1 Zrealizowane cele badawcze

Cele badawcze przewidziane do realizacji w ramach niniejszej pracy doktorskiej zostały sformułowane w formie listy zamieszczonej w rozdziale 1.4. Pierwszy z nich zakładał zapoznanie autora rozprawy z aktualnym stanem wiedzy i techniki w obszarze wielopoziomowych przekształtników rezonansowych o przełączanych kondensatorach. Można uznać, że cel ten został zrealizowany poprzez przeprowadzenie studiów literaturowych dotyczących tego typu układów jeszcze przed rozpoczęciem właściwych prac badawczych i eksperymentalnych. Przeprowadzenie tych analiz dokumentuje rozdział niniejszej pracy (1.3), w którym opisano aktualny stan wiedzy w zakresie tego typu układów energoelektronicznych.

W niniejszej rozprawie doktorskiej zaprezentowano opis innowacyjnej topologii wielopoziomowego przekształtnika rezonansowego o przełączanych kondensatorach, której koncepcja została opatentowana, a autor niniejszej rozprawy jest współtwórcą tego patentu [21].

W rozdziale drugim przedstawiono szczegółowy opis opatentowanej topologii HVGDCC, uwzględniając w nim wszystkie możliwe stany pracy tego przekształtnika oraz szczegółowo opisując algorytmy sterujące, wymagane do realizacji każdego z siedmiu możliwych do osiągnięcia w tym układzie współczynników wzmocnienia napięciowego. Ponadto, na etapie badań eksperymentalnych przekształtnika HVGDCC-CoolMOS dowiedziono, że układ jest w stanie skokowo regulować swoje napięcie wyjściowe, ustalając jego wartość na jednym z siedmiu dostępnych poziomów, z których najwyższy oferuje sześciokrotne wzmocnienie napięciowe, a najniższy przyjmuje konfigurację wtórnikową ($G_U = 1$). W tym samym rozdziale przedstawiono szereg wyprowadzeń i zależności analitycznych prowadzących do określenia współczynnika wzmocnienia napięciowego G_U przekształtnika o topologii HVGDCC, a także ilości mocy traconej w jego poszczególnych komponentach. Następnie na ich podstawie zdefiniowano zależność określającą sprawność przekształtnika HVGDCC w zależności od wartości jego mocy wyjściowej.

W rozdziale trzecim zaprezentowano wyniki obliczeń, które ilustrują charakterystykę sprawności układu HVGDCC oraz zależność mocy strat generowanych w poszczególnych komponentach przekształtnika od poziomu jego obciążenia. Kalkulacje przeprowadzono, korzystając z zależności wyznaczonych w rozdziale drugim, a sam proces obliczeń zautomatyzowano, wykorzystując w tym celu skrypt napisany w języku Matlab, w którym zaimplementowano wszystkie niezbędne zależności i dokonano graficznej wizualizacji otrzymanych wyników. Treść rozdziałów drugiego oraz trzeciego stanowi potwierdzenie przeprowadzenia analizy strat występujących w opracowanym przekształtniku oraz realizacji trzeciego celu badawczego niniejszej pracy (rozdz. 1.4, pkt. 3).

W rozdziałach czwartym oraz piątym przedstawiono wyniki badań symulacyjnych oraz eksperymentalnych przekształtników HVGDCC-CoolMOS oraz HVGDCC-CoolGaN. Na ich podstawie można stwierdzić, iż wartości napięć blokowanych długotrwale przez poszczególne łączniki badanych układów są zdecydowanie niższe od ich napięć wyjściowych, a w najgorszym przypadku (łączniki stopnia wyjściowego układu) osiągają jedynie 65 % napięcia wyjściowego badanego przekształtnika. Dodatkowo, na podstawie charakterystyk sprawności obu badanych przekształtników, zarejestrowanych w czasie testów eksperymentalnych, można stwierdzić, że układ CoolMOS osiąga 90 % sprawności, a jego odpowiednik (HVGDCC-CoolGaN) około 95 %. Porównując wyniki przeprowadzonych pomiarów sprawności przekształtnika HVGDCC oraz układów konkurencyjnych, których zestawienie przedstawiono w tabeli 2.1, można przyjąć, iż jest to układ o wysokiej sprawności realizacji procesu przekształcania energii. Uwzględniając ten fakt oraz relatywnie niski poziom napięć blokowanych długotrwale przez poszczególne łączniki, można stwierdzić, iż wszystkie założenia związane z realizacją celu badawczego (rozdz. 1.4, pkt. 2), polegającego na opracowaniu topologii przekształtnika o określonych właściwościach, zostały zrealizowane.

W kolejnym etapie prowadzonych prac badawczych wykonano szereg symulacji komputerowych w środowisku Matlab-Simulink. Ich celem była weryfikacja koncepcji działania obu przekształtników (HVGDCC-CoolMOS oraz HVGDCC-CoolGaN), a następnie także analiza strat występujących w ich poszczególnych komponentach. Prace te zostały zakończone, a ich podsumowanie stanowią liczne wykresy, zamieszczone w rozdziale czwartym niniejszej pracy, przedstawiające przebiegi prądów i napięć poszczególnych komponentów badanych przekształtników, a także ich charakterystyki sprawności zarejestrowane w czasie symulowanej pracy tych przekształtników w trybie ZCS oraz ZVS. Dodatkowo, w ramach prowadzonych prac symulacyjnych wyznaczono także krzywe przedstawiające zależność mocy strat występujących w poszczególnych elementach badanych przekształtników od poziomu ich mocy wyjścio-

wej. Na tym etapie prace symulacyjne zostały zakończone, a czwarty cel badawczy (rozdz. 1.4, pkt. 4) uznano za zrealizowany.

Dalsze prace badawcze prowadzono z wykorzystaniem rzeczywistych przekształtników HVGDCC-CoolMOS oraz HVGDCC-CoolGaN. Na tym etapie badań dokonano rejestracji szeregu oscylogramów potwierdzających zasadę działania opracowanej topologii, a także za pomocą analizatora mocy zarejestrowano charakterystyki sprawności dla obu badanych przekształtników. Rejestracji krzywych sprawności dla każdego z układów dokonano dwukrotnie – zarówno w trybie ZCS, jak i ZVS. Na tym etapie badań szczególną uwagę zwrócono na jakość obserwowanych przebiegów prądów wejściowych obu badanych przekształtników. W przypadku układu HVGDCC-CoolMOS można było w nim dostrzec zdecydowanie większą liczbę pulsów prądu o niezwykle stromych zboczach i amplitudach znacznie przewyższających amplitudy typowych pulsów ładujących i rozładowujących kondensatory przełączane. W przekształtniku zbudowanym z wykorzystaniem tranzystorów typu CoolGaN skala tego zjawiska była zdecydowanie mniejsza. Większość niepożądanych pulsów prądu całkowicie zniknęła, a te, które pozostały, charakteryzowały się zdecydowanie mniejszymi amplitudami, nieprzekraczającymi wartości maksymalnych pulsów ładujących kondensatory przełączane. Za powstawanie tego typu impulsów w układach wielopoziomowych odpowiedzialne są pojemności wyjściowe tranzystorów, które to w przypadku tranzystorów CoolGaN są zdecydowanie mniejsze niż w przypadku tranzystorów CoolMOS (zwłaszcza w zakresie niskich napięć U_{DS}), co bezpośrednio przekłada się na mniejszą liczbę tego typu zakłóceń w przebiegu prądu wejściowego przekształtnika HVGDCC-CoolGaN. Dokładna analiza przebiegów zarejestrowanych w czasie badań eksperymentalnych oraz szereg wyciągniętych z niej wniosków, przedstawionych w rozdziale 5, pozwala stwierdzić, że dwa ostatnie cele badawcze niniejszej pracy (rozdz. 1.4, pkt. 5 oraz pkt. 6) zostały zrealizowane.

6.2 Wnioski końcowe

Z przeprowadzonych prac badawczych i analitycznych można wysnuć następujące wnioski:

1. Główną część strat w przekształtnikach rezonansowych o przełączanych kondensatorach, pracujących w trybie ZCS, stanowią straty przewodzenia związane z występowaniem w obwodzie rezystancji kanałów tranzystorów R_{DSon} , wypadkowych rezystancji szeregowych kondensatorów rezonansowych i filtrujących R_{ESR} , niezerowych rezystancji połączeń obwodów drukowanych R_{PCB} , a także strat przewodzenia powstających w diodach, wynikających z ich relatywnie dużego napięcia przewodzenia oraz rezystancji dynamicznej.

2. Zastosowanie w przekształtniku pracującym w trybie ZCS tranzystorów GaN nie jest jednoznaczne z wyraźnym zwiększeniem poziomu jego sprawności, co wynika z faktu, że częstotliwości przełączeń poszczególnych tranzystorów w tego typu układach są relatywnie niewielkie. W związku z tym ilość strat związanych z rozładowywaniem pojemności wyjściowej przekształtnika również jest niewielka, a w konsekwencji zysk wynikający z zastąpienia tranzystorów MOSFET łącznikami typu GaN może być niezauważalny w skali pełnej charakterystyki sprawności.
3. Zastosowanie tranzystorów typu GaN w przekształtniku wielopoziomowym pozytywnie wpływa na redukcję ilości niepożądanych impulsów prądu związanych z ładowaniem pojemności wyjściowych tranzystorów.
4. Wprowadzenie układu HVGDCC-CoolGaN w tryb pracy ZVS powoduje pogorszenie sprawności przekształtnika. Niewielka ilość energii gromadzonej w pojemności wyjściowej tego typu łączników, po jej miękkim rozładowaniu, nie jest w stanie skompensować strat związanych z wprowadzeniem układu w tryb pracy ZVS.
5. Parametry kondensatorów ceramicznych w sposób istotny zależą od ich punktu pracy (*DC bias*), a zmiany ich pojemności powodują zmiany częstotliwości drgań obwodów rezonansowych przekształtników.
6. Indukcyjność dławików zależy od temperatury otoczenia i wartości przepływającego przez nie prądu, a jej zmiana skutkuje zmianą częstotliwości drgań obwodu rezonansowego przekształtnika.
7. Wypadkowa rezystancja szeregową kondensatorów R_{ESR} jest odpowiedzialna za powstawanie znacznej części strat w każdym z przekształtników HVGDCC. Dobrym rozwiązaniem pozwalającym na minimalizację tych strat byłoby zastąpienie pojedynczych kondensatorów zestawem wielu równolegle połączonych elementów, których wypadkowa pojemność odpowiada pojemności kondensatora oryginalnego.
8. Zastosowanie tranzystorów GaN pozwala na ograniczenie strat łączeniowych w wielopoziomowych układach rezonansowych z przełączanymi kondensatorami. Aby jednak decyzja o zastosowaniu tego typu łączników przyniosła wymierny skutek, powinny one być wykorzystywane w przekształtnikach przeznaczonych do pracy z relatywnie niewielkimi mocami wyjściowymi, w których straty łączeniowe odgrywają istotną rolę w całkowitym bilansie energetycznym urządzenia.

6.3 Przyszłe kierunki badań układu HVGDCC

1. Opracowanie modelu analitycznego przekształtnika HVGDCC, umożliwiającego wyznaczenie sprawności układu pracującego w trybie ZVS.
2. Budowa wersji synchronicznej przekształtnika HVGDCC-CoolGaN, wyposażonego w dławiki planarne i przystosowanego do pracy z wyższymi częstotliwościami.
3. Próba symulacyjnego zamodelowania strat występujących w rdzeniach dławików i ich rezystancji AC, a następnie uwzględnienie ich w prowadzonych symulacjach sprawności.
4. Prace symulacyjne mające na celu dokładniejsze dopasowanie symulowanych charakterystyk sprawności do ich rzeczywistych odpowiedników, szczególnie w zakresie niskich mocy obciążenia badanych przekształtników.

6.4 Samodzielne osiągnięcia autora rozprawy

1. Wyprowadzenie zależności określających straty występujące w poszczególnych komponentach przekształtnika HVGDCC,
2. Opracowanie analitycznego modelu sprawności przekształtnika HVGDCC,
3. Opracowanie modelu symulacyjnego przekształtnika o topologii HVGDCC w programie LTspice,
4. Opracowanie modelu symulacyjnego przekształtnika o topologii HVGDCC, uwzględniającego zastosowanie tranzystorów CoolMOS, w środowisku Matlab-Simulink,
5. Opracowanie skryptu automatyzującego proces uruchamiania symulacji równoległych w środowisku Matlab-Simulink i wyznaczenie symulacyjnych charakterystyk sprawności układu HVGDCC-CoolMOS pracującego w trybie ZVS oraz ZCS,
6. Opracowanie algorytmu oraz programu dla układu FPGA kontrolującego pracę poszczególnych tranzystorów w badanych przekształtnikach,
7. Przeprowadzenie procedury doboru elementów składowych przekształtnika HVGDCC-CoolMOS,
8. Zaprojektowanie, wykonanie i uruchomienie przekształtnika o topologii HVGDCC wykorzystującego w swojej strukturze tranzystory CoolMOS,

9. Przeprowadzenie badań eksperymentalnych przekształtnika HVGDCC z tranzystorami CoolMOS oraz analiza zarejestrowanych wyników,
10. Opracowanie modelu symulacyjnego przekształtnika o topologii HVGDCC, uwzględniającego zastosowanie tranzystorów CoolGaN, w środowisku Matlab–Simulink,
11. Wyznaczenie symulacyjnych charakterystyk sprawności przekształtnika HVGDCC z tranzystorami CoolGaN, pracującego w trybie ZVS oraz ZCS,
12. Zaprojektowanie, wykonanie i uruchomienie przekształtnika o topologii HVGDCC, wykorzystującego w swojej strukturze tranzystory CoolGaN,
13. Przeprowadzenie badań eksperymentalnych przekształtnika HVGDCC z tranzystorami CoolGaN oraz analiza zarejestrowanych wyników,
14. Przeprowadzenie analizy strat występujących w poszczególnych komponentach przekształtników HVGDCC-CoolMOS oraz HVGDCC-CoolGaN na podstawie zarejestrowanych danych symulacyjnych i opracowanego modelu analitycznego,
15. Przeprowadzenie analizy porównawczej wyników zarejestrowanych w czasie badań eksperymentalnych, symulacyjnych oraz analitycznych,
16. Przeprowadzenie analizy skutków zastąpienia tranzystorów CoolMOS łącznikami typu CoolGaN w przekształtniku o topologii HVGDCC.

Ponadto, równolegle do prac związanych z głównym tematem niniejszej rozprawy doktorskiej, doktorant prowadził aktywną działalność badawczą i naukową w obszarze przekształtników rezonansowych o przełączanych kondensatorach, czego efektem było:

- Przeprowadzenie badań symulacyjnych przekształtnika HVGDCC, w konfiguracji obniżającej napięcie,
- Przygotowanie projektu i budowa układu eksperymentalnego przekształtnika HVGDCC wykorzystującego tranzystory GaN i pracującego w konfiguracji sześciokrotnie obniżającej napięcie,
- Przeprowadzenie badań eksperymentalnych przekształtnika HVGDCC pracującego w konfiguracji obniżającej napięcie i rejestracja wyników potwierdzających jego koncepcję działania oraz obrazujących jego właściwości,
- Współpraca przy przygotowaniu publikacji prezentującej wyniki badań przeprowadzonych nad układem HVGDCC pracującym w konfiguracji obniżającej napięcie,

- Udział w pracach badawczych prowadzonych nad rezonansowym przekształtnikiem hybrydowym, będącym połączeniem układu SCVM oraz BOOST,
- Udział w innych pracach badawczych prowadzonych w Katedrze Energoelektroniki i Automatyki Systemów Przetwarzania Energii AGH.

6.5 Lista publikacji naukowych, które powstały przy współudziale autora niniejszej rozprawy doktorskiej

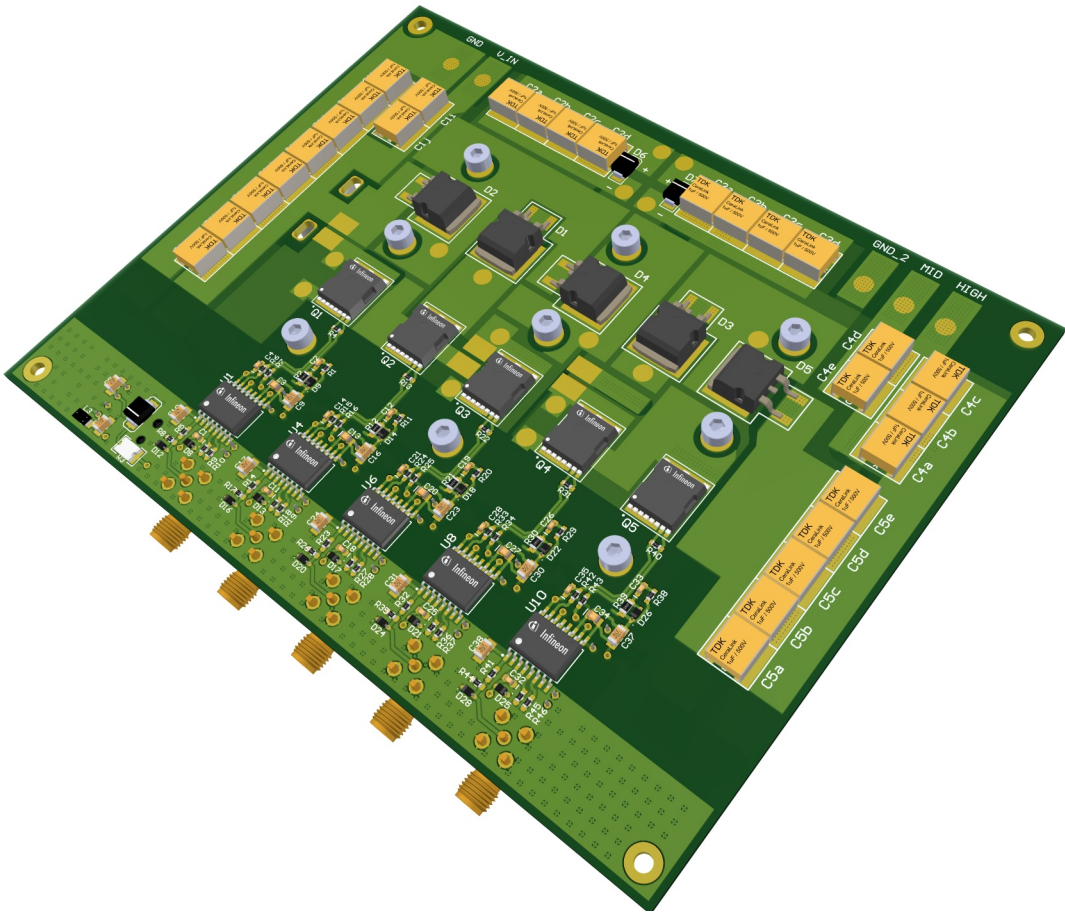
1. R. Stala i S. Folmer, „Sposób podwyższania napięcia stałego i układ przekształtnika podwyższającego napięcie stałe,” zgłoszenie patentowe, Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie, PL432656A1, opublikowano: 26 lipca 2021 r.
2. S. Folmer i R. Stala, „DC-DC high voltage gain switched capacitor converter with multilevel output voltage and zero voltage switching,” *IEEE Access*, vol. 9, pp. 129692–129705, 2021, doi: 10.1109/ACCESS.2021.3111546.
3. S. Folmer, M. Kosakowski i R. Stala, „48-V input DC-DC high step-down converter in GaN-based design,” *IEEE Access*, vol. 10, pp. 115958–115973, 2022, doi: 10.1109/ACCESS.2022.3218309.
4. S. Folmer i R. Stala, „GaN and superjunction MOSFET transistor switching in a resonant switched-capacitor converter,” w *Proc. 21st Int. Symp. Power Electron. (Ee)*, Novi Sad, Serbia, 2021, pp. 1–6, doi: 10.1109/Ee53374.2021.9628224.
5. R. Stala, Z. Waradzyn, i S. Folmer, „Input current ripple reduction in a step-up DC–DC switched-capacitor switched-inductor converter,” *IEEE Access*, vol. 10, pp. 19890–19904, 2022, doi: 10.1109/ACCESS.2022.3152543.
6. R. Stala, A. Piłat, M. Chojowski, M. Skowron, i S. Folmer, „Thermal and electric parameter analysis of DC–DC module based on resonant switched-capacitor converter,” *Energies*, vol. 15, no. 19, Art. no. 7040, 2022, doi: 10.3390/en15197040.
7. R. Stala, S. Folmer, i Z. Waradzyn, „DC-DC converter with low input current ripples in hybrid switched-capacitor and boost topology,” w *Proc. 19th IEEE Int. Power Electron. Motion Control Conf. (PEMC)*, Gliwice, Poland, 2021, pp. 83–88, doi: 10.1109/PEMC48073.2021.9432619.
8. R. Stala, Z. Waradzyn, and S. Folmer, „DC-DC high-voltage-gain converters with low count of switches and common ground,” *Energies*, vol. 13, no. 21, Art. no. 5657, 2020, doi: 10.3390/en13215657.

9. M. Chojowski, R. Stala, A. Piłat, M. Skowron, i S. Folmer, „The design concept of low-cost and volume switched-capacitor DC-DC resonant converter,” w *Proc. 19th IEEE Int. Power Electron. Motion Control Conf. (PEMC)*, Gliwice, Poland, 2021, pp. 200–206, doi: 10.1109/PEMC48073.2021.9432547.
10. R. Stala, M. Chojowski, Z. Waradzyn, A. Mondzik, S. Folmer, A. Penczek, A. Skała, i S. Piróg, „High-gain switched-capacitor DC-DC converter with low count of switches and low voltage stress of switches,” *IEEE Access*, vol. 9, pp. 114267–114281, 2021, doi: 10.1109/ACCESS.2021.3104399.
11. R. Stala i S. Folmer, „High step-down DC-DC converter and results for 48-to-5 V and 400-to-48 V implementation,” w *Proc. 25th Eur. Conf. Power Electron. Appl. (EPE'23 ECCE Europe)*, Aalborg, Dania, 2023, pp. 1–7, doi: 10.23919/EPE23ECCEEurope58414.2023.10264457.
12. R. Stala, S. Folmer, A. Penczek, J. Hachlowski, i Z. Mikoś, „Efficiency and power loss distribution in a high-frequency, seven-level diode-clamped inverter,” *Energies*, vol. 16, no. 23, Art. no. 7866, 2023, doi: 10.3390/en16237866.
13. R. Stala, S. Folmer, i A. Mondzik, „Resonant step-down DC-DC converter based on GaN power integrated circuits and SiC diodes,” *Bull. Pol. Acad. Sci. Tech. Sci.*, vol. 72, no. 5, Art. no. e151047, pp. 1–6, 2024.
14. R. Stala, P. Bhatnagar, A. Mondzik, Z. Waradzyn, S. Piróg, S. Folmer, i K. K. Gupta, „Hybrid switched-inductor switched-capacitor high step-down converter,” w *Proc. 2024 Energy Conversion Congress & Expo Europe (ECCE Europe)*, Lausanne, Szwajcaria, 2024, pp. 1–7, doi: 10.1109/ECCEEurope62508.2024.10751927.
15. R. Stala, S. Folmer, Z. Waradzyn, A. Penczek, S. Piróg, A. Skała, A. Mondzik, K. K. Gupta, P. Bhatnagar, i S. K. Jain, „Four-level single-stage single-source boost-inverter,” *IEEE Access*, vol. 12, pp. 120524–120542, 2024, doi: 10.1109/ACCESS.2024.3449549.
16. R. Stala, S. Folmer, i A. Mondzik, „Resonant step-down DC-DC converter based on GaN power integrated circuits and SiC Diodes”, w *Proc. 16th Sci. Conf. on Control in Power Electronics and Electric Drives (SENE 2023)*, Łódź, Poland, Nov. 22–24, 2023, pp. 1–4.

7. Załączniki

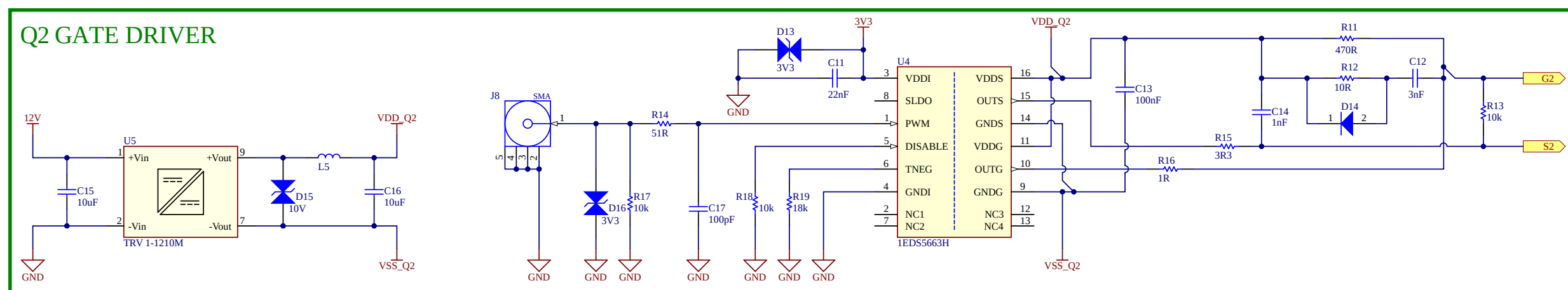
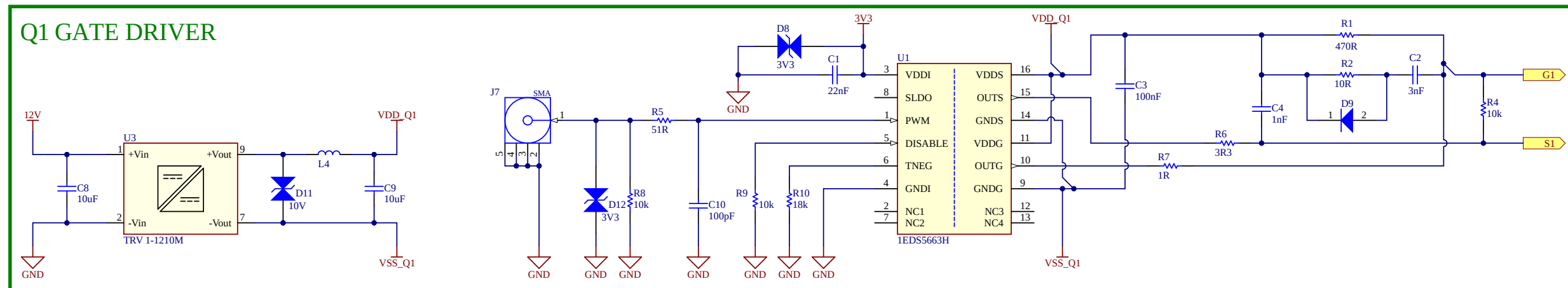
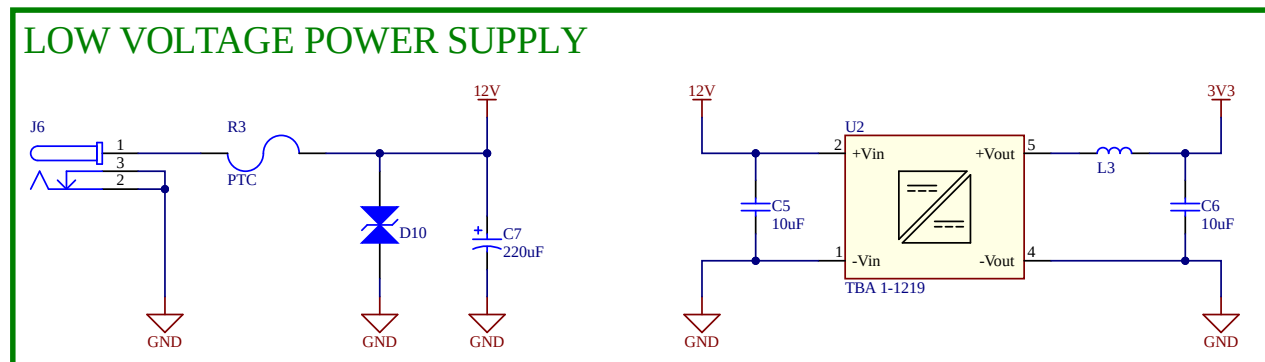
7.1 Projekt przekształtnika HVGDCC-CoolGaN

High Voltage Gain Direct Current Converter
(HVGDC)



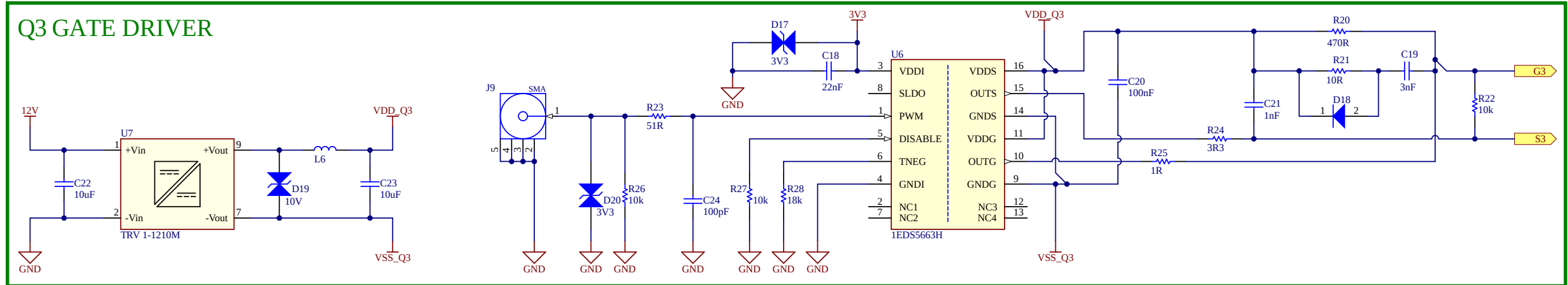
This version of the HVGDCC utilizes Cool-GaN trasistors

Project: High Voltage Gain Direct Current Converter		Company name:	
Subcircuit: Title page		AGH University of Science and Technology	
Size:	A3	Description:	Converter version equipped with GaN transistors.
Date:	15.12.2024	Time:	11:00:20
Drawn by:		Mgr. inż. Szymon Folmer	
		Adress: Al. Mickiewicza 30 30-059 Kraków Poland	
		AGH	

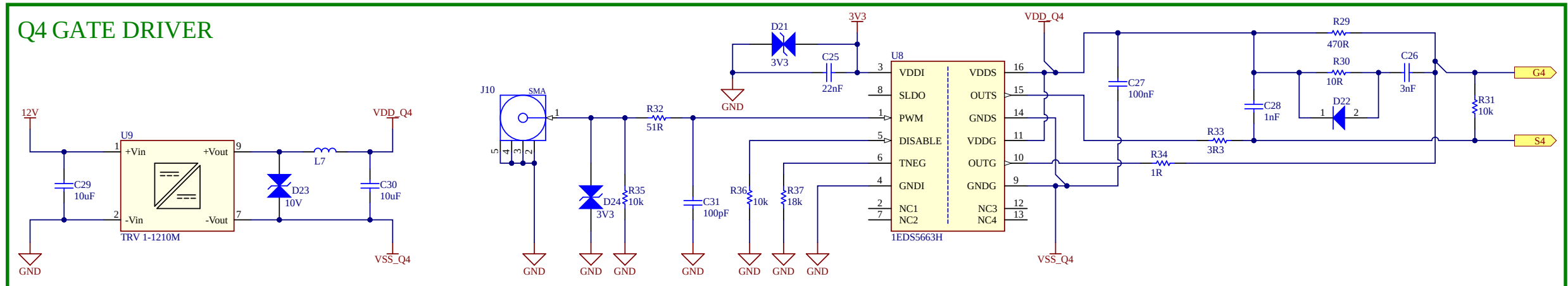


Project: <i>High Voltage Gain Direct Current Converter</i>			Company name: <i>AGH University of Science and Technology</i>	
Subcircuit: <i>LV power supply and transistor drivers of Q1 and Q2</i>				
Size: <i>A3</i>	Description: <i>Converter version equipped with GaN transistors.</i>		Address: <i>Al. Mickiewicza 30 30-059 Kraków Poland</i>	
Date: <i>15.12.2024</i>	Time: <i>11:00:21</i>	Sheet 2 of 7		
Drawn by: <i>Mgr. inż Szymon Folmer</i>				

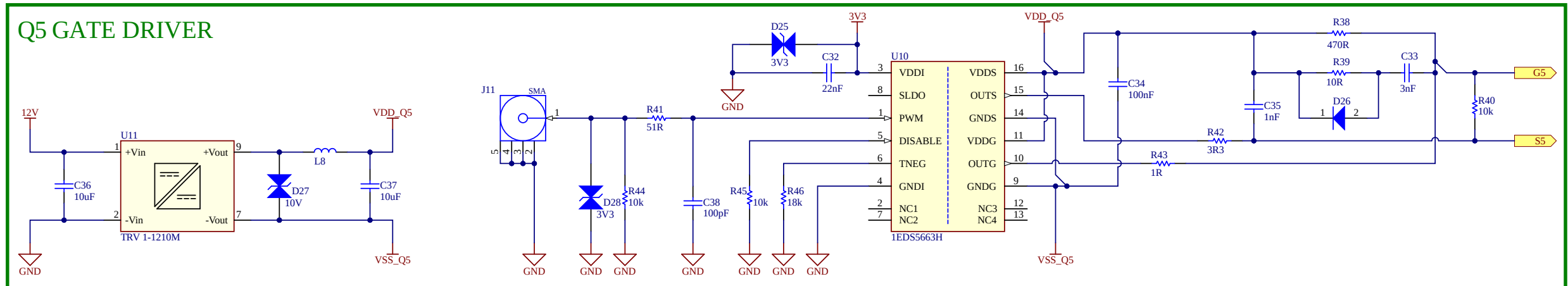
Q3 GATE DRIVER



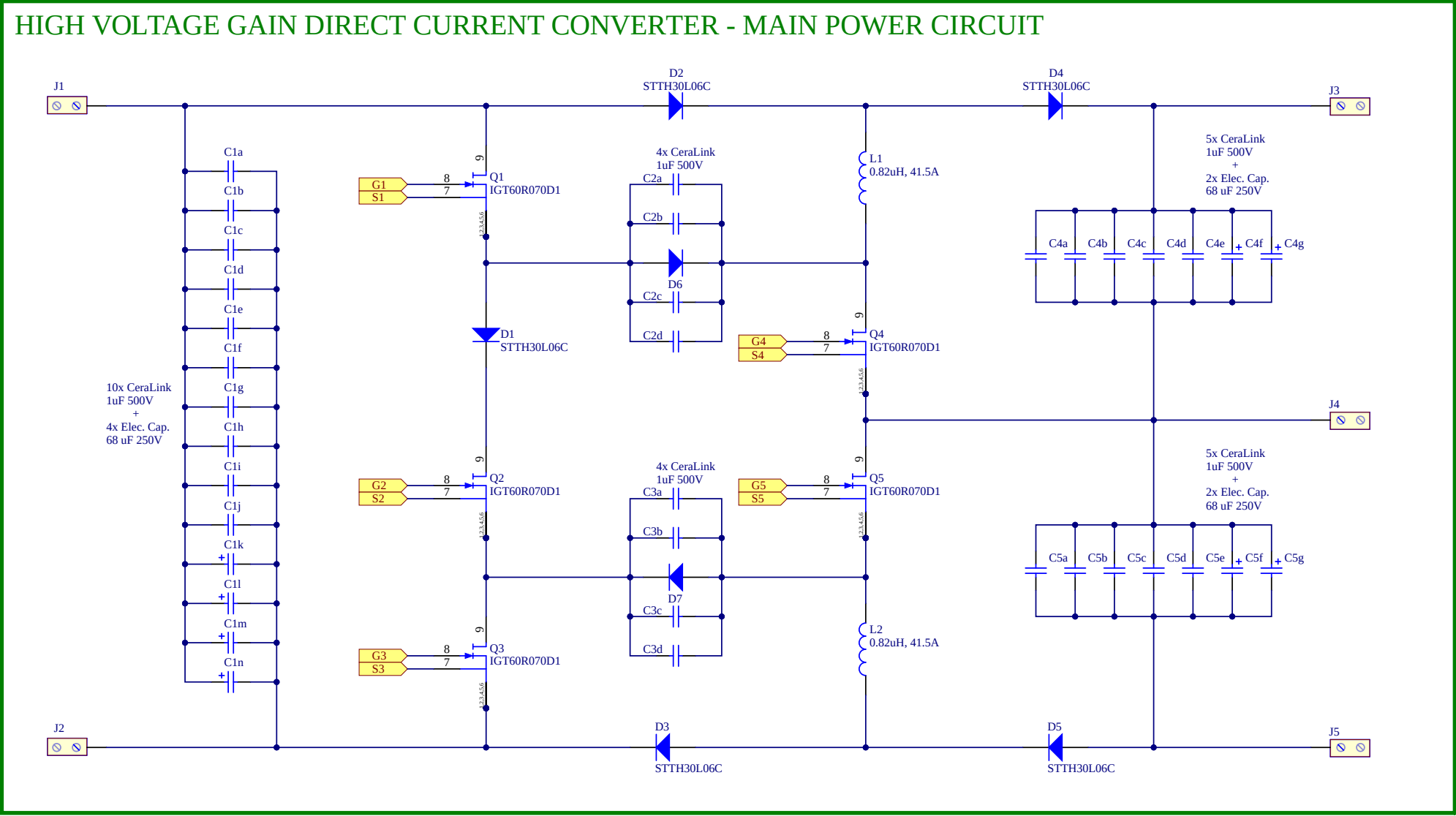
Q4 GATE DRIVER



Q5 GATE DRIVER

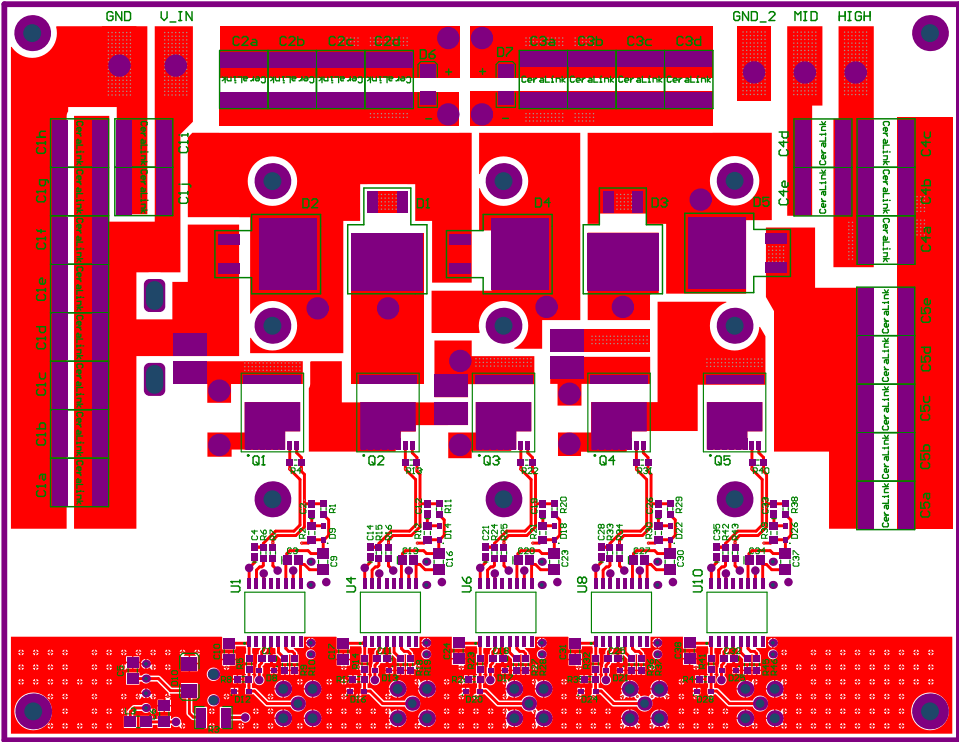


Project: <i>High Voltage Gain Direct Current Converter</i>			Company name: <i>AGH</i> <i>University of Science and Technology</i>		
Subcircuit: <i>Transistor drivers Q3...Q5</i>					
Size: <i>A3</i>	Description: Converter version equipped with GaN transistors.		Address: <i>Al. Mickiewicza 30</i> <i>30-059 Kraków</i> <i>Poland</i>		
Date: <i>15.12.2024</i>	Time: <i>11:00:21</i>	Sheet <i>3</i> of <i>7</i>			
Drawn by: <i>Mgr. inż Szymon Folmer</i>					

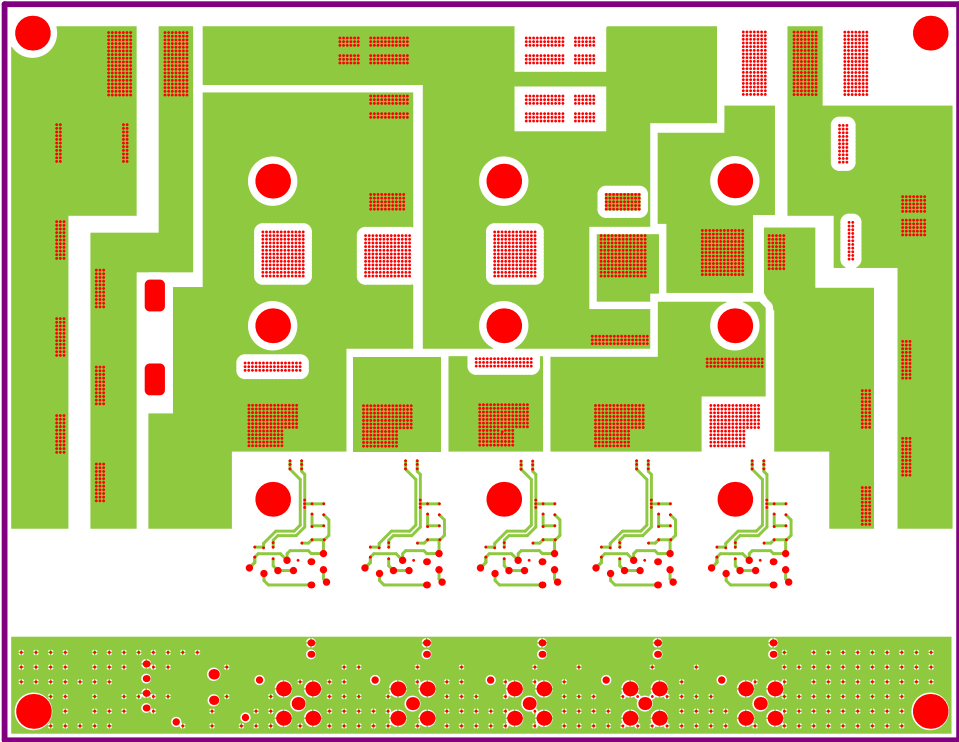


Project: <i>High Voltage Gain Direct Current Converter</i>			Company name: <i>AGH University of Science and Technology</i>		
Subcircuit: <i>Main power circuit</i>					
Size: A3	Description: Converter version equipped with GaN transistors.		Address: <i>Al. Mickiewicza 30 30-059 Kraków Poland</i>		
Date: 15.12.2024	Time: 11:00:22	Sheet 4 of 7			
Drawn by: Mgr. inż Szymon Folmer					

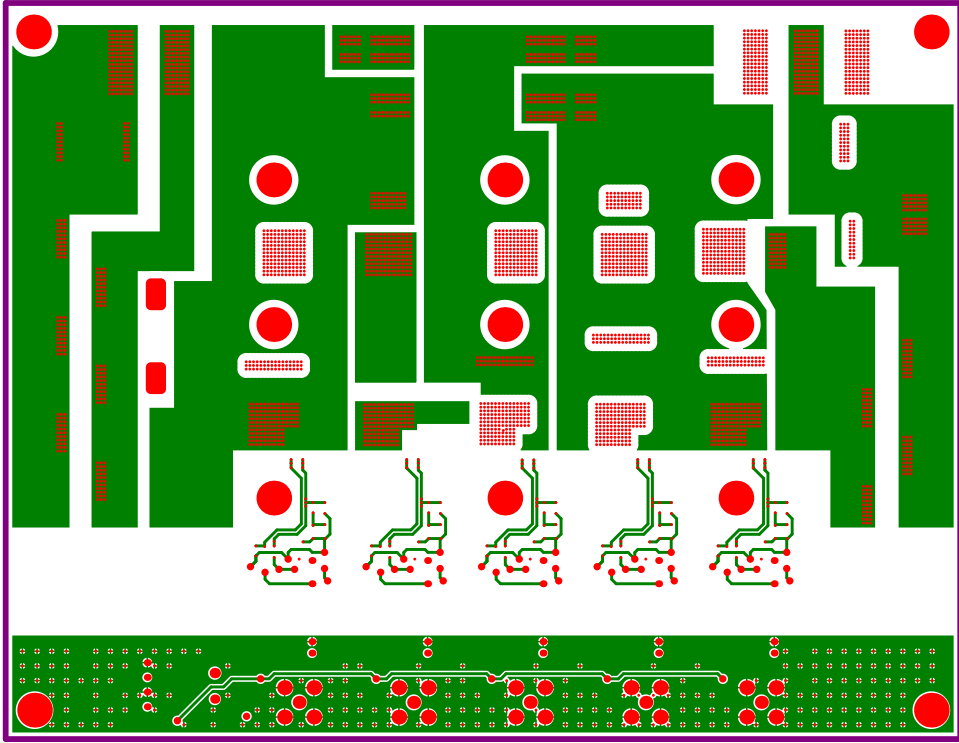
TOP LAYER



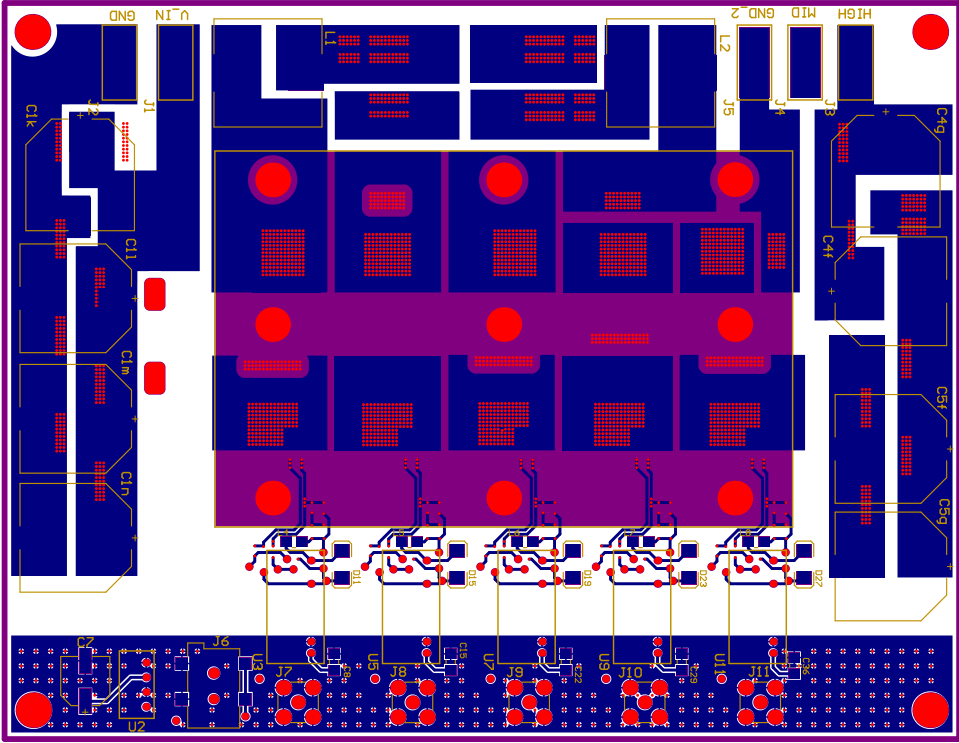
INNER LAYER 2



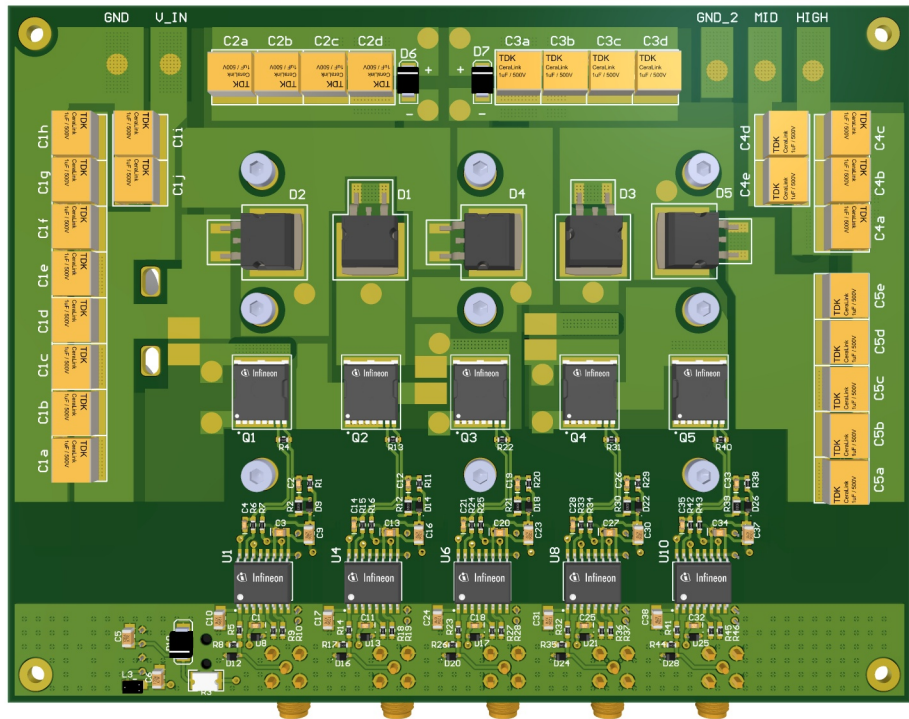
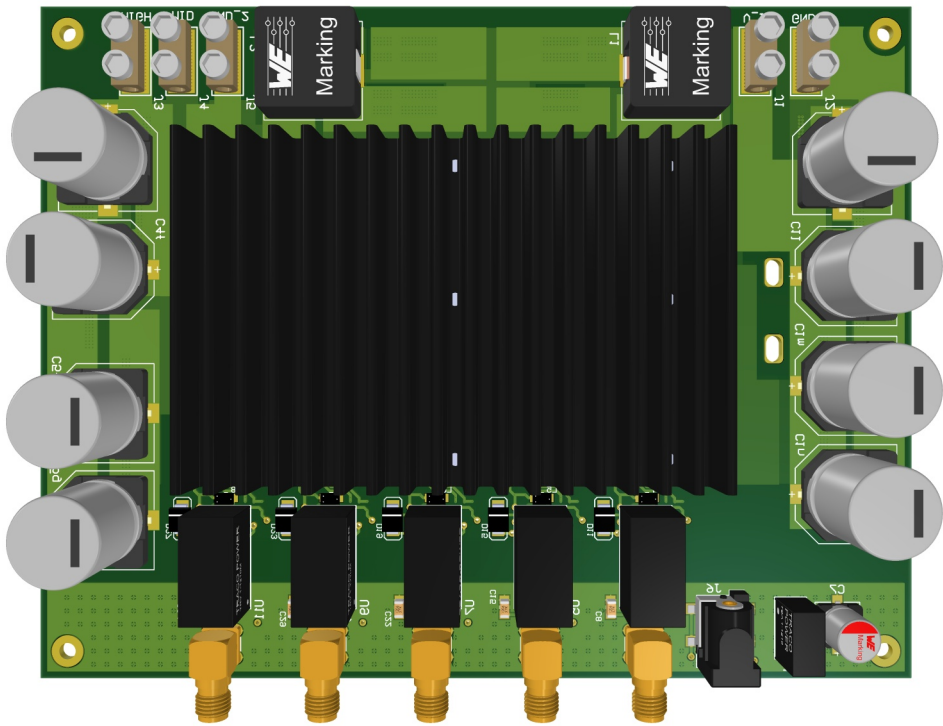
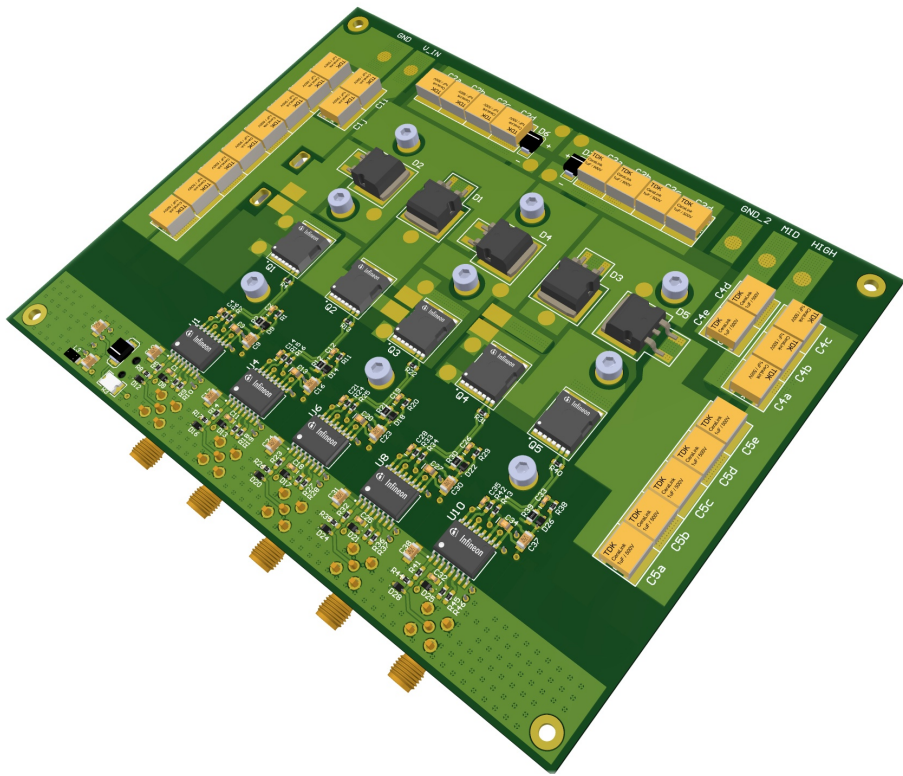
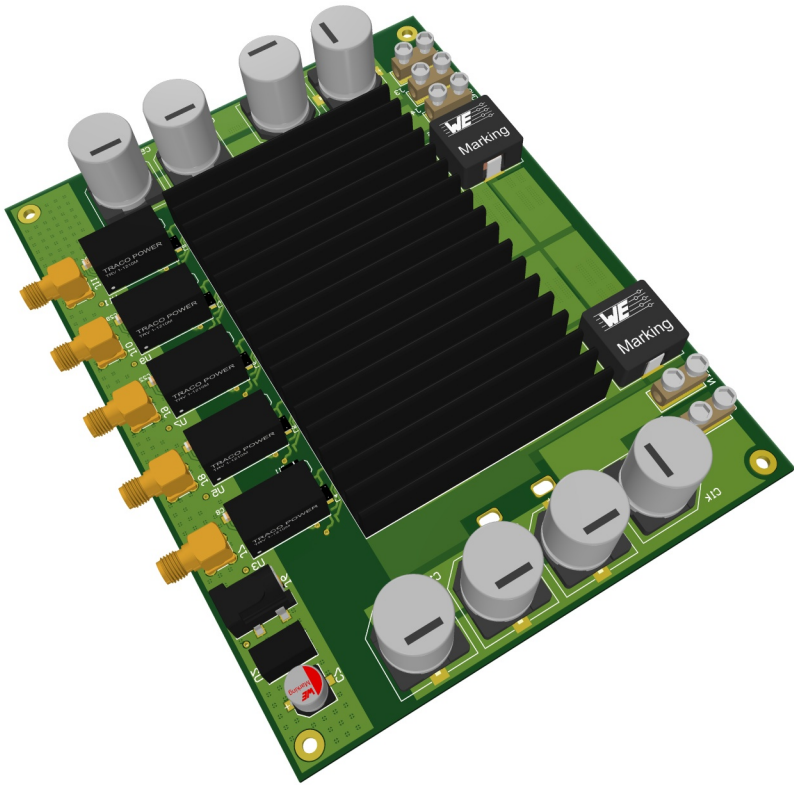
INNER LAYER 1



BOTTOM LAYER

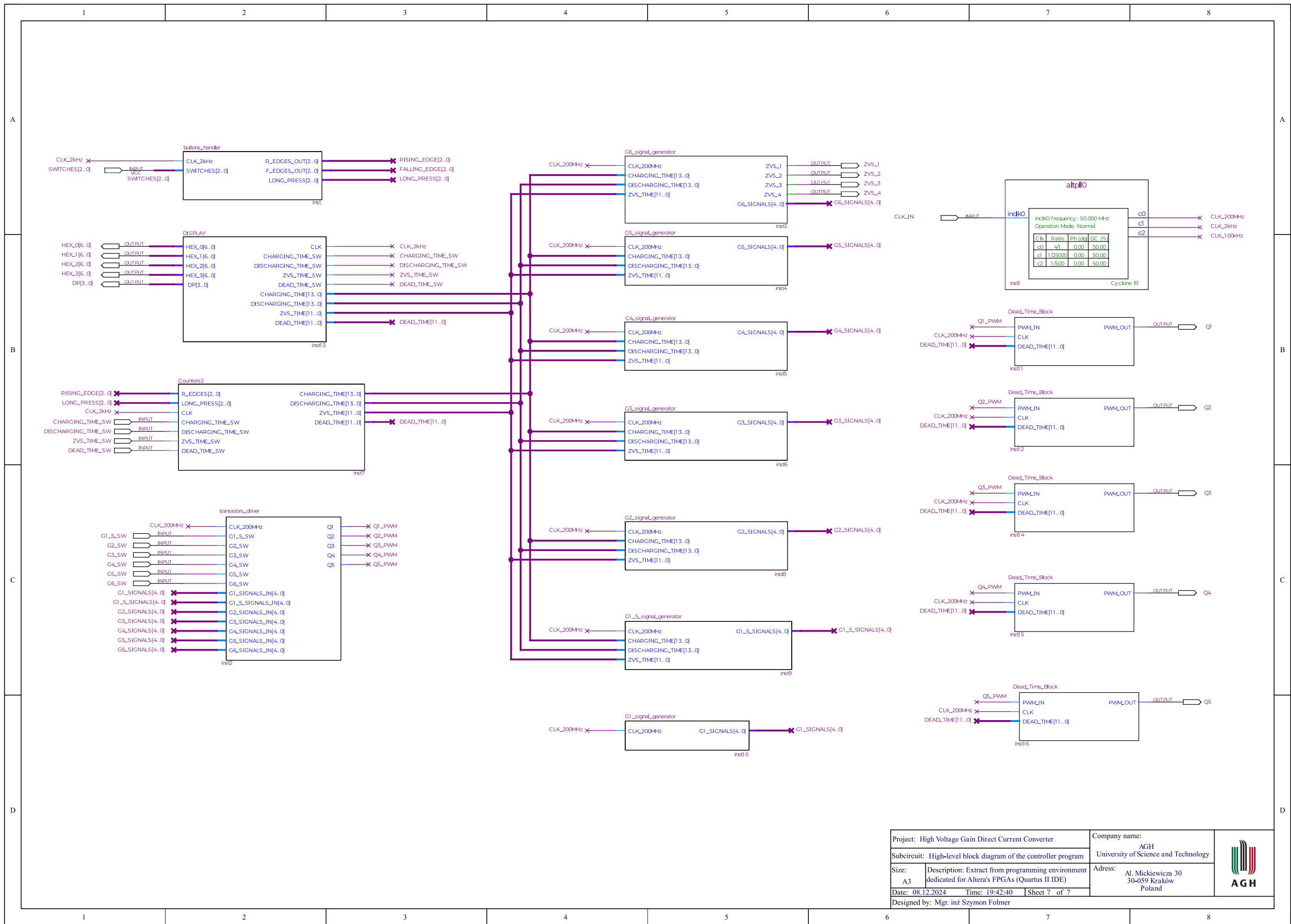


Project: <u>High Voltage Gain Direct Current Converter</u>			Company name:		 AGH
Subcircuit: <u>PCB layers</u>			AGH University of Science and Technology		
Size: A3	Description: Converter version equipped with GaN transistors.		Address:		
Date: <u>15.12.2024</u>	Time: <u>11:00:22</u>	Sheet <u>5</u> of <u>7</u>	Al. Mickiewicza 30 30-059 Kraków Poland		
Drawn by: <u>Mgr. inż Szymon Folmer</u>					



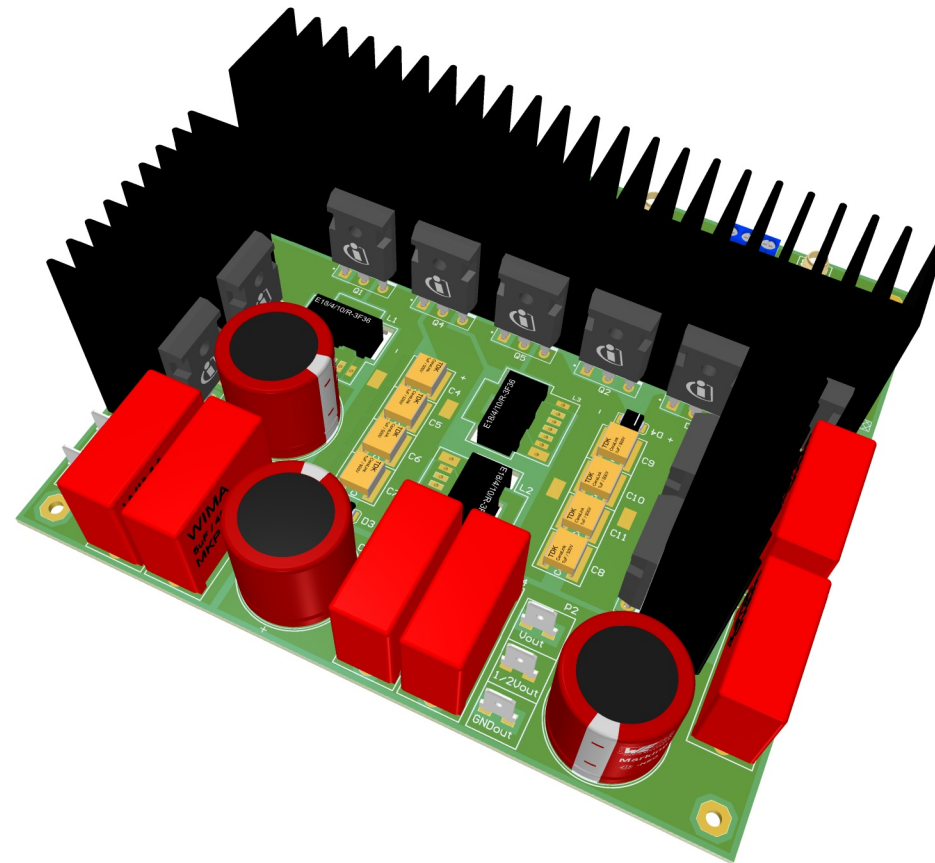
Project: High Voltage Gain Direct Current Converter			Company name:		
Subcircuit: Converter 3D view			AGH University of Science and Technology		
Size: A3	Description: Converter version equipped with GaN transistors.			Address: Al. Mickiewicza 30 30-059 Kraków Poland	
Date: 15.12.2024	Time: 11:00:23	Sheet 6 of 7			
Drawn by: Mgr. inż Szymon Folmer					





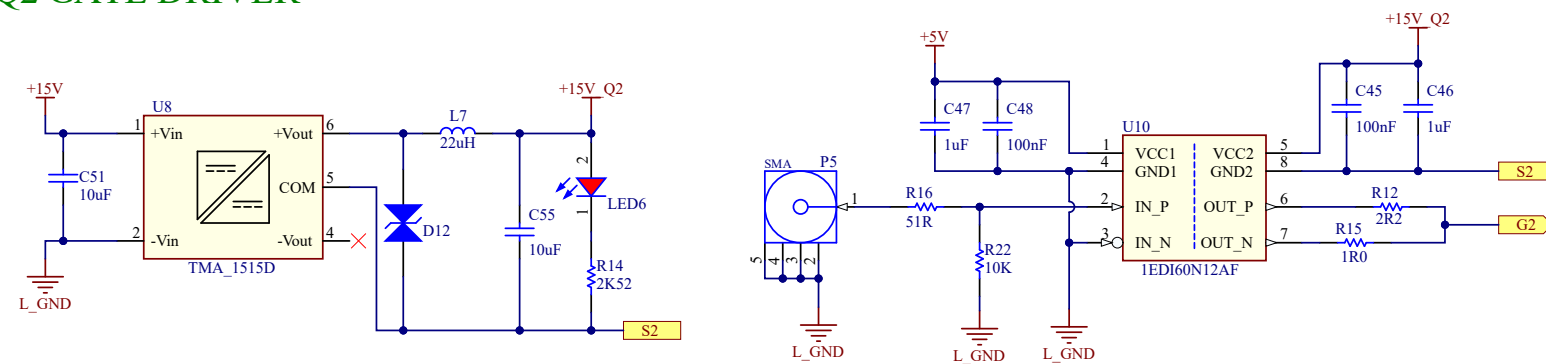
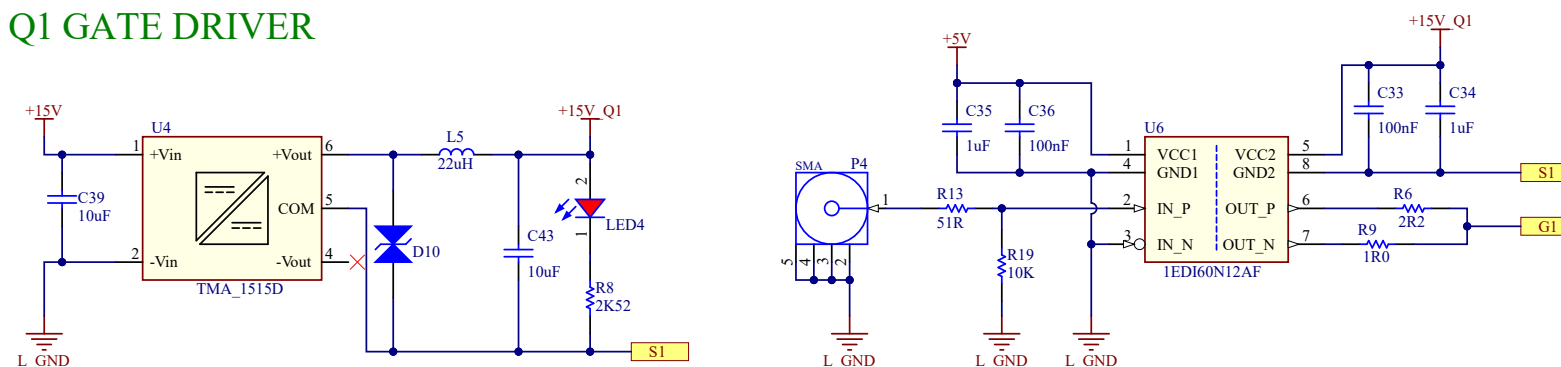
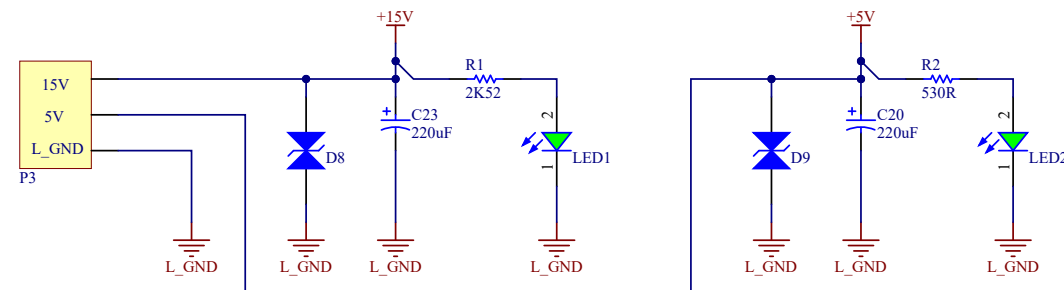
7.2 Projekt przekształtnika HVGDCC-CoolMOS

High Voltage Gain Direct Current Converter (HVGDC)

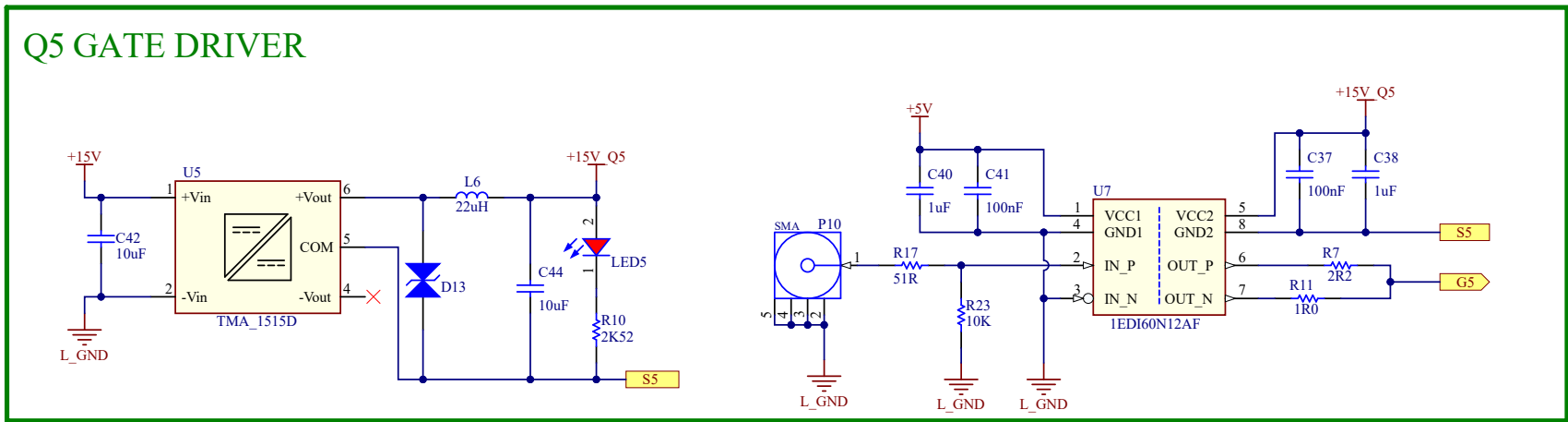
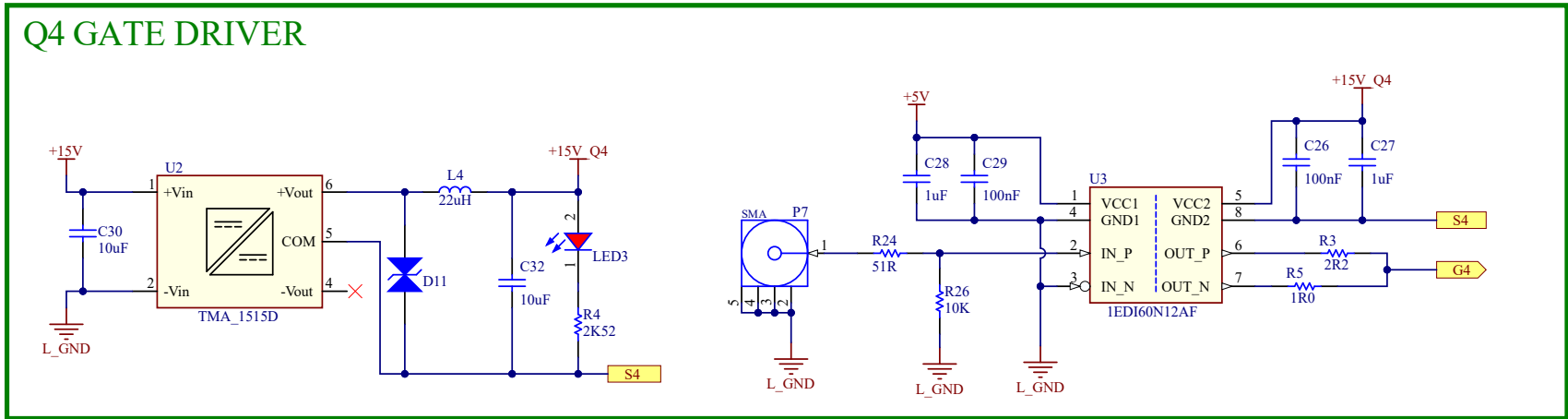
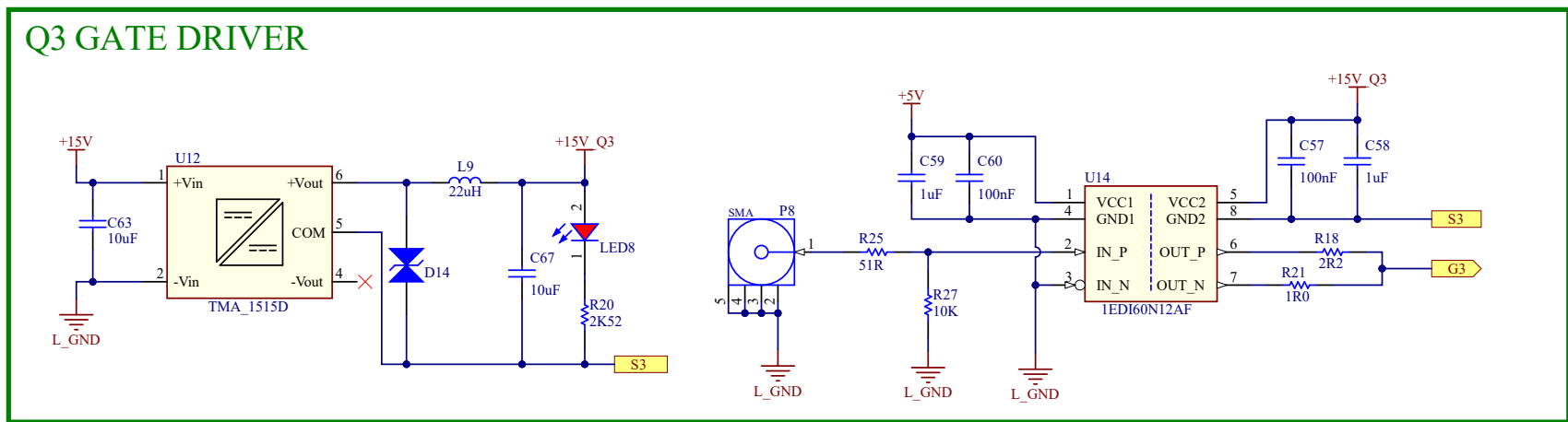


This version of the HVGDCC utilizes CoolMOS transistors

Project: <u>High Voltage Gain Direct Current Converter</u>			Company name: AGH University of Science and Technology Address: <u>Al. Mickiewicza 30</u> <u>30-059 Kraków</u> <u>Poland</u>	
Subcircuit: <u>Title Page</u>				
Size: <u>A3</u>	Description: Converter version equipped with CoolMOS transistors.			
Date: <u>14.12.2024</u>	Time: <u>23:49:37</u>	Sheet <u>1</u> of <u>7</u>		
Drawn by: <u>Mgr. inż Szymon Folmer</u>				

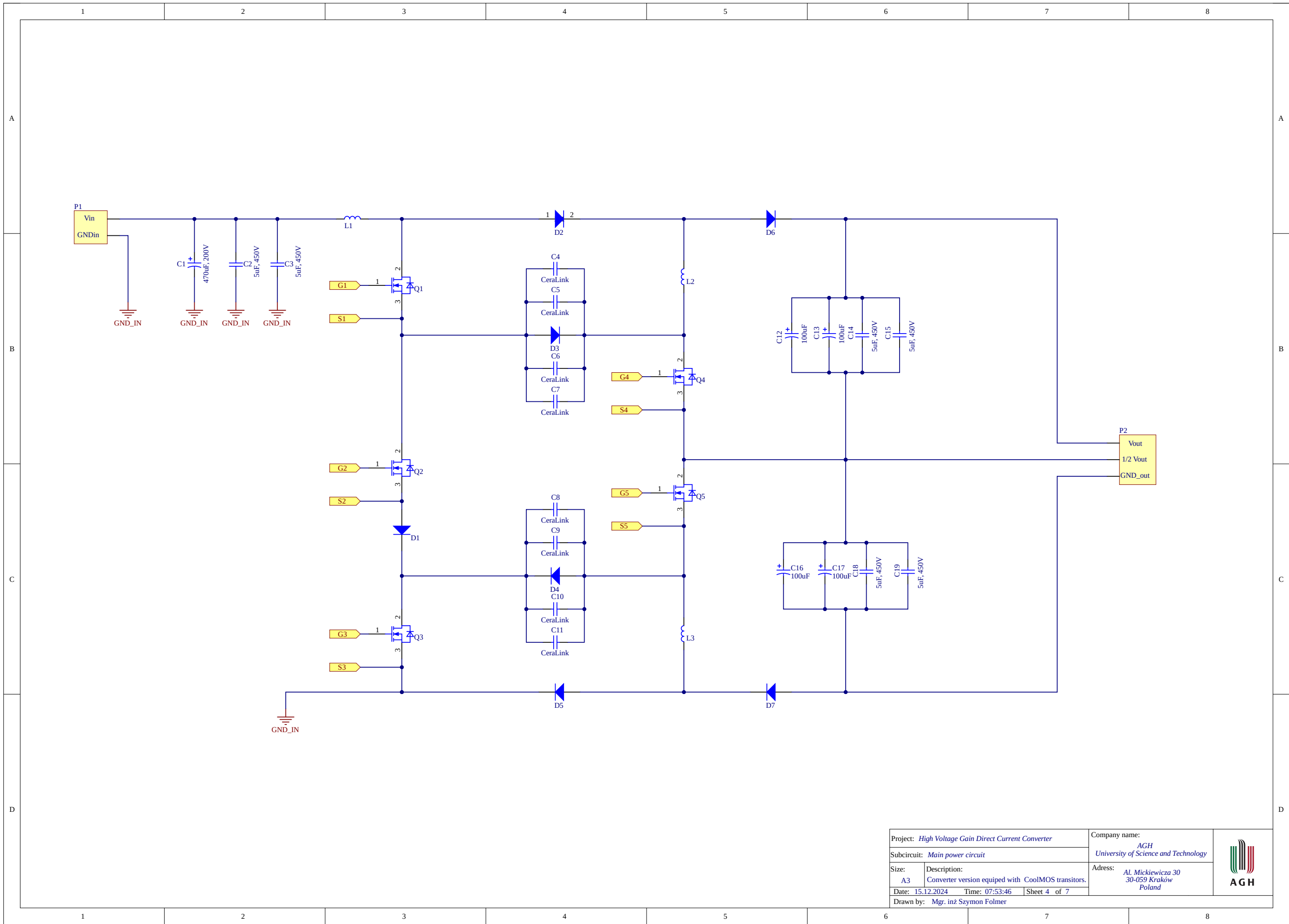


Project: High Voltage Gain Direct Current Converter			Company name: AGH University of Science and Technology	
Subcircuit: LV power supply and transistor drivers of Q1 and Q2				
Size: A3	Description: Converter version equipped with CoolMOS transistors.	Address: Al. Mickiewicza 30 30-059 Kraków Poland		
Date: 15.12.2024	Time: 07:53:46		Sheet 2 of 7	
Drawn by: Mgr. inż Szymon Folmer				

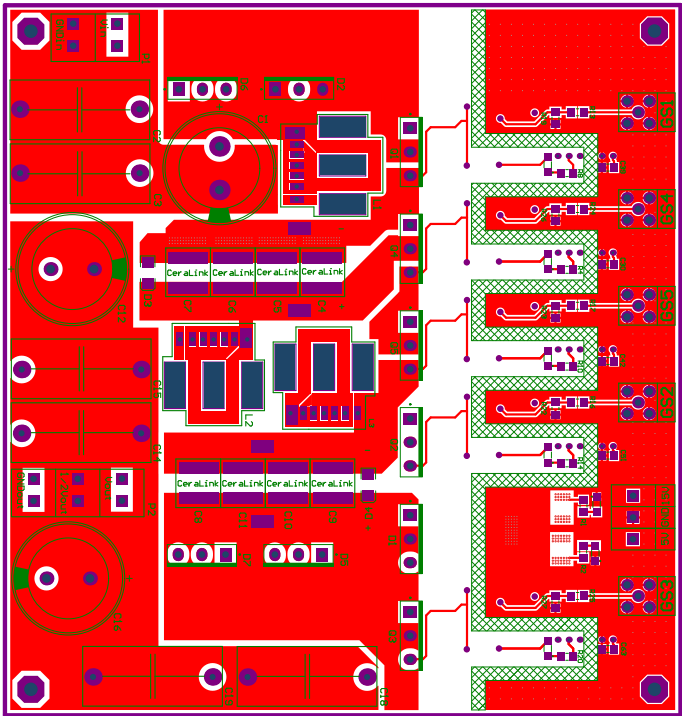


Project: High Voltage Gain Direct Current Converter			Company name:	
Subcircuit: Transistor drivers Q3...Q5			AGH University of Science and Technology	
Size: A3	Description: Converter version equipped with CoolMOS transistors.		Adress: Al. Mickiewicza 30 30-059 Kraków Poland	
Date: 15.12.2024	Time: 07:53:46	Sheet 3 of 7		
Drawn by: Mgr. inż Szymon Folmer				

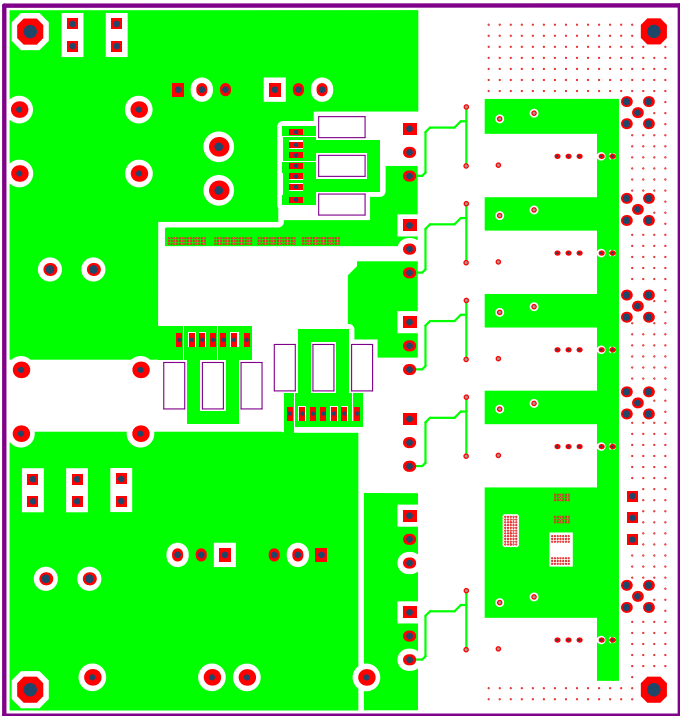




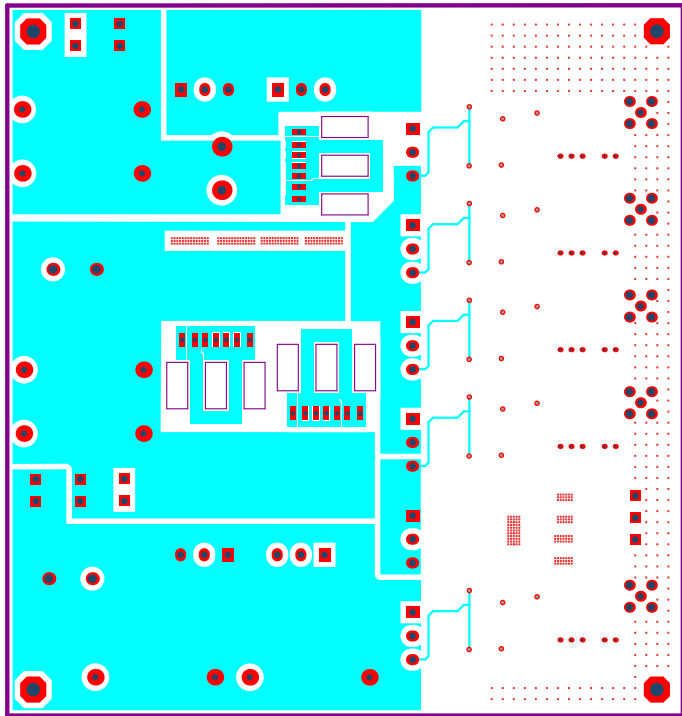
TOP LAYER



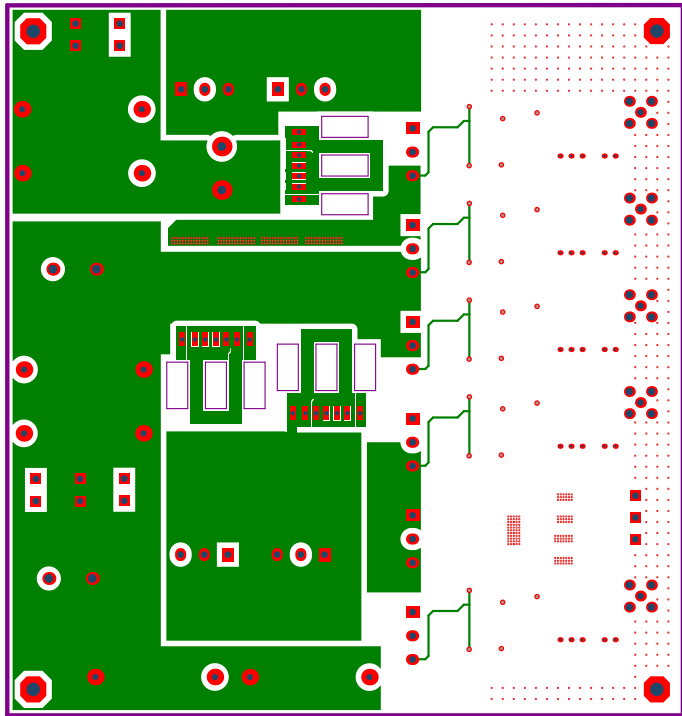
INNER LAYER 2



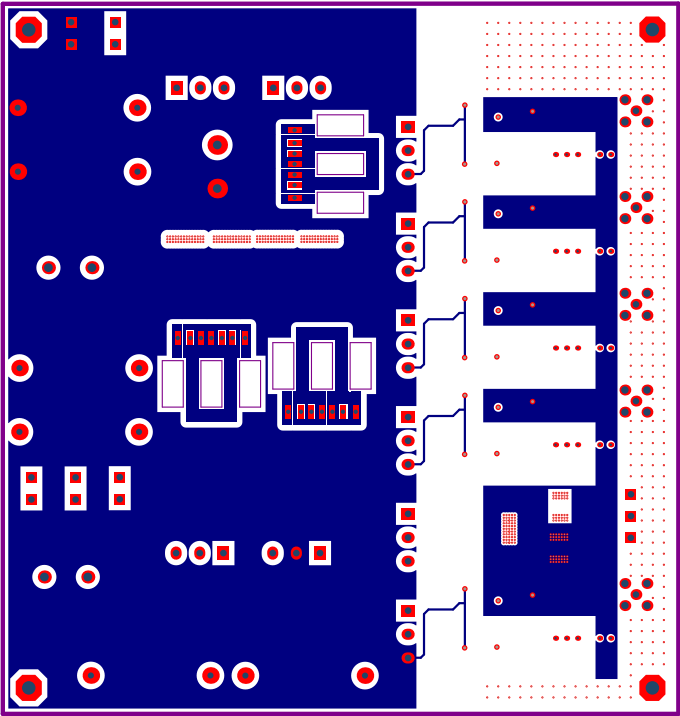
INNER LAYER 4



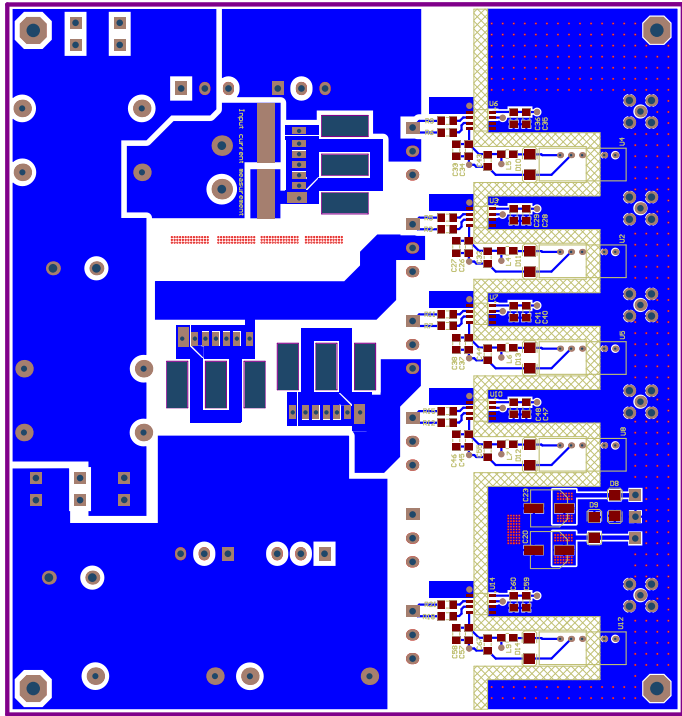
INNER LAYER 1



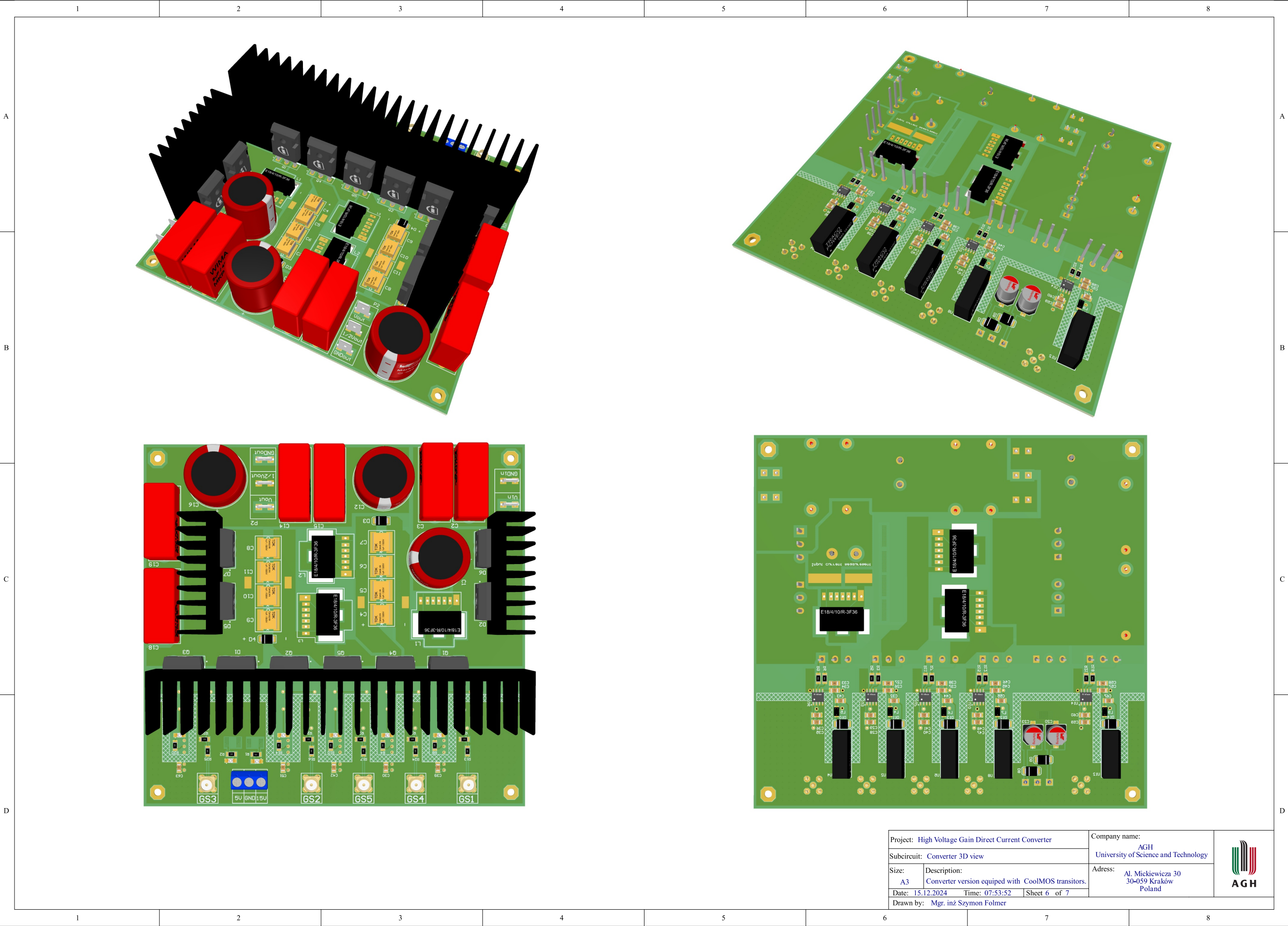
INNER LAYER 3



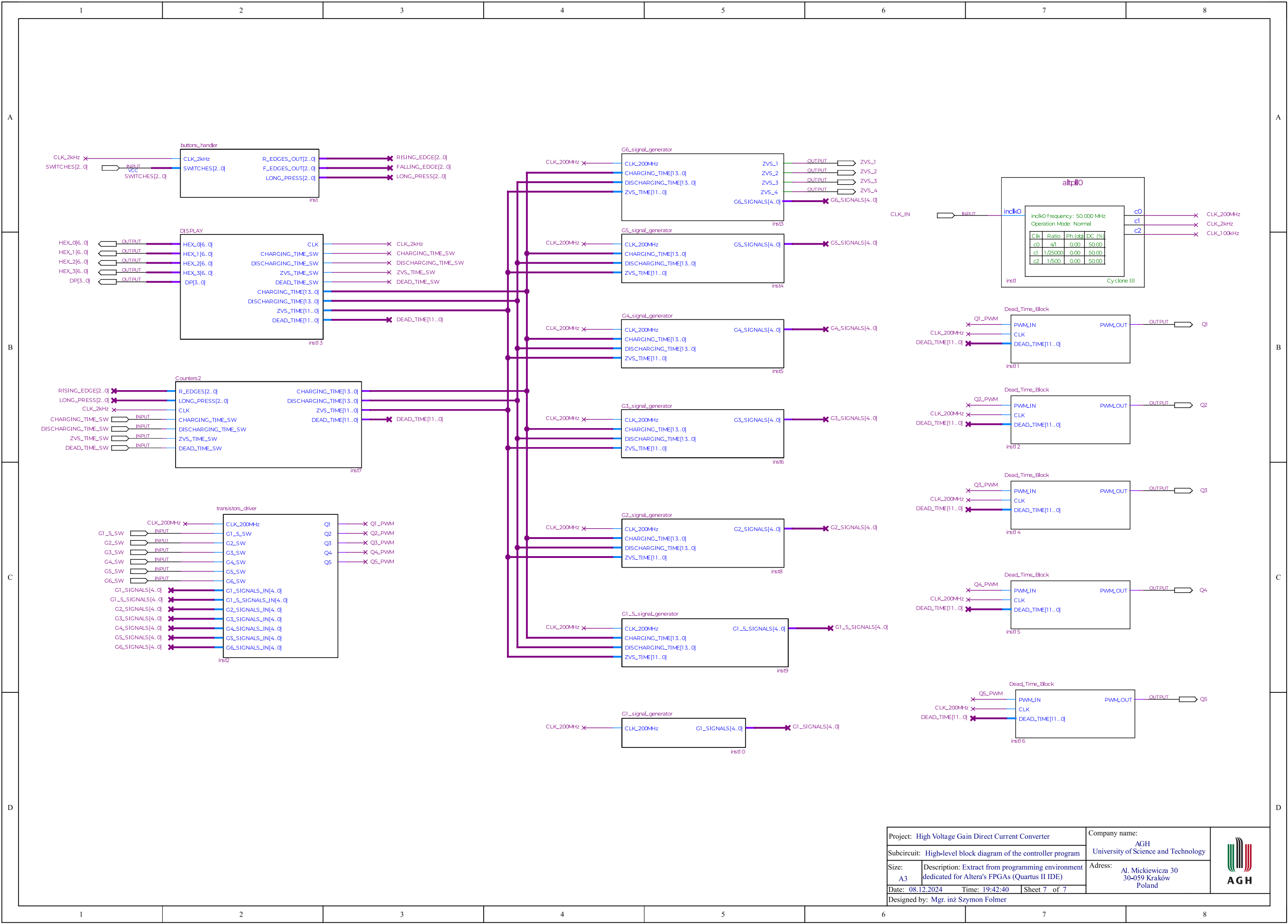
BOTTOM LAYER



Project: <i>High Voltage Gain Direct Current Converter</i>			Company name:		
Subcircuit: <i>PCB Layers</i>			<i>AGH</i> <i>University of Science and Technology</i>		
Size:	Description:		Address:		
A3	Converter version equipped with CoolMOS transistors.		Al. Mickiewicza 30 30-059 Kraków Poland		
Date: 15.12.2024	Time: 07:53:46	Sheet 5 of 7			
Drawn by: Mgr. inż. Szymon Folmer					



Project: High Voltage Gain Direct Current Converter			Company name: AGH University of Science and Technology		
Subcircuit: Converter 3D view					
Size: A3	Description: Converter version equipped with CoolMOS transistors.		Address: Al. Mickiewicza 30 30-059 Kraków Poland		
Date: 15.12.2024	Time: 07:53:52	Sheet 6 of 7			
Drawn by: Mgr. inż Szymon Folmer					



Project: High Voltage Gain Direct Current Converter			Company name:		
Subcircuit: High-level block diagram of the controller program			AGH University of Science and Technology		
Size:	Description: Extract from programming environment dedicated for Altera's FPGAs (Quartus II IDE)		Address:		
A3			Al. Mickiewicza 30 30-059 Kraków Poland		
Date: 08.12.2024	Time: 19:42:40	Sheet 7 of 7			
Designed by: Mgr. inż Szymon Folmer					



7. Bibliografia

- [1] R. W. Erickson and D. Maksimović, *Fundamentals of Power Electronics*. Springer International Publishing, 2020, pp. 1–11, doi: 10.1007/978-3-030-43881-4_1.
- [2] D. Prince, “Mercury arc rectifier phenomena,” *Transactions of the American Institute of Electrical Engineers*, vol. XLVI, pp. 1064–1071, 1927, doi: 10.1109/T-AIEE.1927.5061446.
- [3] F. D. Newbury, W. W. Spratt, C. A. Adams, W. J. Foster, H. C. Louis, and P. L. A. et al., “Electrical Machinery,” *Transactions of the American Institute of Electrical Engineers*, vol. 47, no. 4, pp. 1194–1216, 1928, doi: 10.1109/T-AIEE.1928.5055124.
- [4] O. K. Marti and H. Winograd, “Mercury arc power rectifiers: Their applications and characteristics,” *Journal of the A.I.E.E.*, vol. 46, no. 8, pp. 818–826, 1927, doi: 10.1109/JAIEE.1927.6534657.
- [5] F. Blaabjerg and S. Round, “Power electronics: Revolutionizing the world’s future energy systems,” *Hitachi Energy Newsletter*, dostępny online: www.hitachienergy.com. Dostęp: 15 Sierpnia 2024.
- [6] M. Makoschitz, K. Krischan, P. Bergmann, A. Díaz, and R. Brueniger, “Wide band gap technology: Efficiency potential and application readiness map (PECTA), May 2020,” International Energy Agency, dostępny online: www.iea-4e.org, Dostęp: 9 Czerwca 2024.
- [7] W. Saito, “A future outlook of power devices from the viewpoint of power electronics trends,” *IEEE Transactions on Electron Devices*, vol. 71, no. 3, pp. 1356–1364, 2024, doi: 10.1109/TED.2023.3332611.
- [8] J. Reimers, L. Dorn-Gomba, C. Mak, and A. Emadi, “Automotive traction inverters: Current status and future trends,” *IEEE Transactions on Vehicular Technology*, vol. 68, no. 4, pp. 3337–3350, 2019, doi: 10.1109/TVT.2019.2897899.
- [9] B. K. Bose, “Global energy scenario and impact of power electronics in 21st century,” *IEEE Transactions on Industrial Electronics*, vol. 60, no. 7, pp. 2638–2651, 2013, doi: 10.1109/TIE.2012.2203771.

- [10] F. Blaabjerg, Y. Yang, D. Yang, and X. Wang, "Distributed power-generation systems and protection," *Proceedings of the IEEE*, vol. 105, no. 7, pp. 1311–1331, 2017, doi: 10.1109/JPROC.2017.2696878.
- [11] H. Wu, Y. Zhang, and Z. Li, "Hybrid resonant converter-based 8:1 bus converter with 3.5 kW/in³ and 98.6% efficient for 48 V data-center power systems," *IEEE Transactions on Power Electronics*, vol. 39, no. 1, pp. 36–41, 2024, doi: 10.1109/TPEL.2023.3319312.
- [12] Y. Chen, K. Shi, M. Chen, and D. Xu, "Data center power supply systems: From grid edge to point-of-load," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 11, no. 3, pp. 2441–2456, 2023, doi: 10.1109/JESTPE.2022.3229063.
- [13] O. Alsauskas, E. Connelly, A. Daou, A. Gouy, M. Huismans, and H. K. et al., "Global EV Outlook 2023," International Energy Agency (IEA), dostępny online: www.iea.org. Dostęp: 10 Czerwca 2024.
- [14] A. V. Bataev, D. G. Rodionov, and D. A. Andreyeva, "Analysis of world trends in the field of cloud technology," in *2018 International Conference on Information Networking (ICOIN)*, 2018, pp. 594–598, doi: 10.1109/ICOIN.2018.8343188.
- [15] "Cloud computing market size, share, growth drivers, opportunities and statistics," Markets and Markets, dostępny online: www.marketsandmarkets.com. Dostęp: 10 Czerwca 2024.
- [16] H. Ritchie and P. Rosado, "Electricity mix," Our World in Data, dostępny online: www.ourworldindata.org. Dostęp: 14 Stycznia 2024.
- [17] X. Liu, M. Qiu, K. Hobbs, A. Dahneem, H. Meng, and D. Cao, "Experimental verification of 500 kW resonant switched-capacitor converter for electric trucks and electric aircraft application," in *2024 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2024, pp. 830–837, doi: 10.1109/APEC48139.2024.10509275.
- [18] T. Yang, L. Yang, B. Wu, L. He, Y. Zhang, X. Chen, B. Feng, X. Li, H. Wen, J. Tian, Y. Zhao, M. Hu, J. Huang, D. Zhu, A. Zhang, and X. Tong, "Review of topologies, application areas, modeling, and control methods for switched capacitor circuits," *IEEE Transactions on Power Electronics*, vol. 39, no. 4, pp. 4091–4116, 2024, doi: 10.1109/TPEL.2024.3350158.
- [19] Z. Waradzyn, R. Stala, A. Mondzik, A. Skąła, and A. Penczek, "GaN-based DC–DC resonant boost converter with very high efficiency and voltage gain control," *Energies*, vol. 13, no. 23, 2020, doi: 10.3390/en13236403.

- [20] M. Kumar, V. K. Yadav, and A. K. Verma, "Switched capacitor based high gain boost converter for renewable energy application," *IEEE Journal of Emerging and Selected Topics in Industrial Electronics*, vol. 4, no. 3, pp. 818–826, 2023, doi: 10.1109/JESTIE.2023.3262451.
- [21] R. Stala and S. Folmer, "Method of increasing DC voltage and DC voltage booster converter system," Patent PL243286A1, Lipiec 2021, dostępny online: ewyszukiwarka.pue.uprp.gov.pl. Dostęp: 10 Czerwca 2024.
- [22] S. Folmer and R. Stala, "DC-DC high voltage gain switched capacitor converter with multilevel output voltage and zero-voltage switching," *IEEE Access*, vol. 9, pp. 129 692–129 705, 2021, doi: 10.1109/ACCESS.2021.3111546.
- [23] S. Folmer and R. Stala, "GaN And Superjunction MOSFET Transistor Switching In A Resonant Switched-Capacitor Converter," in *2021 21st International Symposium on Power Electronics (Ee)*, 2021, pp. 1–6, doi: 10.1109/Ee53374.2021.9628224.
- [24] T. Tanzawa, "Innovation of switched-capacitor voltage multiplier: Part 1: A brief history," *IEEE Solid-State Circuits Magazine*, vol. 8, no. 1, pp. 51–59, 2016, doi: 10.1109/MSSC.2015.2495678.
- [25] J. Dickson, "On-chip high-voltage generation in MNOS integrated circuits using an improved voltage multiplier technique," *IEEE Journal of Solid-State Circuits*, vol. 11, no. 3, pp. 374–378, 1976, doi: 10.1109/JSSC.1976.1050739.
- [26] J.-T. Wu and K.-L. Chang, "MOS charge pumps for low-voltage operation," *IEEE Journal of Solid-State Circuits*, vol. 33, no. 4, pp. 592–597, 1998, doi: 10.1109/4.663564.
- [27] J. S. Witters, G. Groeseneken, and H. E. Maes, "Analysis and modeling of on-chip high-voltage generator circuits for use in EEPROM circuits," *IEEE Journal of Solid-State Circuits*, vol. 24, no. 5, pp. 1372–1380, 1989, doi: 10.1109/JSSC.1989.572617.
- [28] P. Ngo and D. Ma, "Integrated switched-capacitor voltage doubler with clock transition periods boosting and transfer blocking techniques," in *2010 Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2010, pp. 813–817, doi: 10.1109/APEC.2010.5433576.
- [29] F. Su and W.-H. Ki, "An integrated reconfigurable SC power converter with hybrid gate control scheme for mobile display driver applications," in *2008 IEEE Asian Solid-State Circuits Conference*, 2008, pp. 169–172, doi: 10.1109/ASSCC.2008.4708755.

- [30] Y.-C. Lin, Y.-K. Luo, K.-H. Chen, and W.-C. Hsu, "Liquid crystal display (LCD) supplied by highly integrated dual-side dual-output switched-capacitor DC–DC converter with only two flying capacitors," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 59, no. 2, pp. 439–446, 2012, doi: 10.1109/TCSI.2011.2162369.
- [31] K. Rawy, T. Yoo, and T. T.-H. Kim, "An 88% efficiency 0.1–300 μW energy harvesting system with 3-D MPPT using switch width modulation for IoT smart nodes," *IEEE Journal of Solid-State Circuits*, vol. 53, no. 10, pp. 2751–2762, 2018, doi: 10.1109/JSSC.2018.2833278.
- [32] M. H. Kamel, B. A. Abdelmagid, and A. N. Mohieldin, "A fully-integrated efficient power management system for micro-scale biomedical applications," in *2020 IEEE 29th International Symposium on Industrial Electronics (ISIE)*, 2020, pp. 394–399, doi: 10.1109/ISIE45063.2020.9152496.
- [33] S. Krit, H. Qjidaa, I. E. Affar, Y. Khadija, Z. Messghati, and Y. El-Ghzizal, "A novel CMOS charge-pump circuit with current mode control 110 mA at 2.7 V for telecommunication systems," *Journal of Semiconductors*, vol. 31, no. 4, p. 045001, Apr 2010, doi: 10.1088/1674-4926/31/4/045001.
- [34] T. Tanzawa, "On two-phase switched-capacitor multipliers with minimum circuit area," *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no. 10, pp. 2602–2608, 2010, doi: 10.1109/TCSI.2010.2046958.
- [35] A. Priyadarshi, P. K. Kar, and S. B. Karanki, "An inductor-less bidirectional DC–DC converter topology for high voltage gain applications," in *TENCON 2017 - 2017 IEEE Region 10 Conference*, 2017, pp. 303–308, doi: 10.1109/TENCON.2017.8227880.
- [36] M. Hawsawi, H. M. D. Habbi, E. Alhawsawi, M. Yahya, and M. A. Zohdy, "Conventional and switched capacitor boost converters for solar PV integration: Dynamic MPPT enhancement and performance evaluation," *Designs*, vol. 7, no. 5, 2023, doi: 10.3390/designs7050114. [Online]. Available: <https://www.mdpi.com/2411-9660/7/5/114>
- [37] D. Cao and F. Z. Peng, "A family of zero current switching switched-capacitor DC–DC converters," in *2010 Twenty-Fifth Annual IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2010, pp. 1365–1372, doi: 10.1109/APEC.2010.5433407.
- [38] K. K. Law, K. W. E. Cheng, and Y. P. B. Yeung, "Design and analysis of switched-capacitor-based step-up resonant converters," *IEEE Transactions*

- on *Circuits and Systems I: Regular Papers*, vol. 52, no. 5, pp. 943–948, 2005, doi: 10.1109/TCSI.2004.840482.
- [39] M. Shoyama, T. Naka, and T. Ninomiya, “Resonant switched capacitor converter with high efficiency,” in *2004 IEEE 35th Annual Power Electronics Specialists Conference (IEEE Cat. No.04CH37551)*, vol. 5, 2004, pp. 3780–3786, doi: 10.1109/PESC.2004.1355143.
- [40] M. Vasić, D. Serrano, V. Toral, P. Alou, J. A. Oliver, and J. A. Cobos, “Ultraefficient voltage doubler based on a GaN resonant switched-capacitor converter,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 7, no. 2, pp. 622–635, 2019, doi: 10.1109/JESTPE.2019.2899180.
- [41] M. Shen, “A zero voltage switching switched capacitor voltage doubler,” in *2012 IEEE International Symposium on Industrial Electronics*, 2012, pp. 131–136, doi: 10.1109/ISIE.2012.6237072.
- [42] R. Stala, A. Piłat, M. Chojowski, M. Skowron, and S. Folmer, “Thermal and electric parameter analysis of DC–DC module based on resonant switched capacitor converter,” *Energies*, vol. 15, no. 19, p. 7040, 2022, doi: 10.3390/en15197040. [Online]. Available: <https://www.mdpi.com/1996-1073/15/19/7040>
- [43] A. Mondzik, S. Piróg, R. Stala, A. Penczek, and P. Gucwa, “DC–DC boost converter with reduced switching losses in wide range of voltage gain,” *Energies*, vol. 16, no. 11, 2023, doi: 10.3390/en16114397. [Online]. Available: <https://www.mdpi.com/1996-1073/16/11/4397>
- [44] R. Stala, Z. Waradzyn, and S. Folmer, “DC–DC high-voltage-gain converters with low count of switches and common ground,” *Energies*, vol. 13, no. 21, 2020, doi: 10.3390/en13215657. [Online]. Available: <https://www.mdpi.com/1996-1073/13/21/5657>
- [45] Z. Saadatizadeh, P. C. Heris, M. Sabahi, and E. Babaei, “A DC–DC transformerless high voltage gain converter with low voltage stresses on switches and diodes,” *IEEE Transactions on Power Electronics*, vol. 34, no. 11, pp. 10 600–10 609, 2019, doi: 10.1109/TPEL.2019.2900212.
- [46] Y. Qin, Y. Yang, S. Li, Y. Huang, S.-C. Tan, and S. Y. Hui, “A high-efficiency DC/DC converter for high-voltage-gain, high-current applications,” *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 8, no. 3, pp. 2812–2823, 2020, doi: 10.1109/JESTPE.2019.2908416.

- [47] R. Stala, M. Chojowski, Z. Waradzyn, A. Mondzik, S. Folmer, A. Penczek, A. Skała, and S. Piróg, "High-gain switched-capacitor DC–DC converter with low count of switches and low voltage stress of switches," *IEEE Access*, vol. 9, pp. 114 267–114 281, 2021, doi: 10.1109/ACCESS.2021.3104399.
- [48] A. Kawa and R. Stala, "SiC-based bidirectional multilevel high-voltage gain switched-capacitor resonant converter with improved efficiency," *Energies*, vol. 13, no. 10, p. 2445, 2020, doi: 10.3390/en13102445.
- [49] Z. Waradzyn, R. Stala, A. Skała, A. Mondzik, and A. Penczek, "A cost-effective resonant switched-capacitor DC-DC boost converter – experimental results and feasibility model," *Power Electronics and Drives*, vol. 3, pp. 75–83, 2018, doi: <https://doi.org/10.2478/pead-2018-0004>.
- [50] P. Sandri, "Increasing hyperscale data center efficiency: A better way to manage 54-V/48-V-to-point-of-load direct conversion," *IEEE Power Electronics Magazine*, vol. 4, no. 4, pp. 58–64, 2017, doi: 10.1109/MPREL.2017.2760113.
- [51] S. Folmer, M. Kosakowski, and R. Stala, "48 V input DC-DC high step-down converter in GaN-based design," *IEEE Access*, vol. 10, pp. 115 958–115 973, 2022, doi: 10.1109/ACCESS.2022.3218309.
- [52] R. A. Abramson, Z. Ye, and R. C. N. Pilawa-Podgurski, "A high performance 48 to 8 V multi-resonant switched-capacitor converter for data center applications," in *Proc. 22nd Eur. Conf. Power Electron. Appl. (EPE'20 ECCE Europe)*, 2020, pp. 1–10, doi: 10.23919/EPE20ECCEEurope43536.2020.9215857.
- [53] Z. Ye, R. A. Abramson, and R. C. N. Pilawa-Podgurski, "A 48-to-6 V multi-resonant-doubler switched-capacitor converter for data center applications," in *Proc. IEEE Appl. Power Electron. Conf. Expo. (APEC)*, 2020, pp. 475–481, doi: 10.1109/APEC39645.2020.9124384.
- [54] H. Chen, W. Ahmad, Z. He, X. Zhang, and Z. Jiang, "Resonant switched capacitor DC-DC converter for data center applications," in *2021 23rd European Conference on Power Electronics and Applications (EPE'21 ECCE Europe)*, 2021, pp. 1–8, doi: 10.23919/EPE21ECCEEurope50061.2021.9570539.
- [55] T. B. Lazzarin, C. Bharatiraja, and B. Lehman, "Direct 48V to 1V step-down DC-DC converter," in *2018 IEEE International Conference on Power Electronics, Drives and Energy Systems (PEDES)*, 2018, pp. 1–6, doi: 10.1109/PEDES.2018.8707923.
- [56] Z. Ye, R. A. Abramson, Y.-L. Syu, and R. C. N. Pilawa-Podgurski, "MLB-PoL: A high performance hybrid converter for direct 48 V to point-of-load applications,"

- in *Proc. IEEE Workshop Control Model. Power Electron. (COMPEL)*, 2020, pp. 1–8, doi: 10.1109/COMPEL49091.2020.9265870.
- [57] C. Chen, J. Liu, and H. Lee, “A 92.7% efficiency 30A 48V to 1V dual-path hybrid Dickson converter for PoL applications,” in *Proc. IEEE Energy Conversion Congress and Exposition (ECCE)*, 2021, pp. 1989–1994, doi: 10.1109/ECCE47101.2021.9595635.
- [58] A. Dago, M. Leoncini, S. Saggini, S. Levantino, and M. Ghioni, “Hybrid resonant switched-capacitor converter for 48 to 3.4 V direct conversion,” *IEEE Transactions on Power Electronics*, vol. 37, no. 11, pp. 12 998–13 002, 2022, doi: 10.1109/TPEL.2022.3186790.
- [59] L. Yu, L. Wang, W. Mu, and C. Yang, “An ultrahigh step-down DC–DC converter based on switched-capacitor and coupled inductor techniques,” *IEEE Transactions on Industrial Electronics*, vol. 69, no. 11, pp. 11 221–11 230, 2022, doi: 10.1109/TIE.2021.3118368.
- [60] Y. Chen, H. Cheng, D. M. Giuliano, and M. Chen, “A 93.7% efficient 400A 48V-1V merged-two-stage hybrid switched-capacitor converter with 24V virtual intermediate bus and coupled inductors,” in *2021 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2021, pp. 1308–1315, doi: 10.1109/APEC42165.2021.9487345.
- [61] Y. Li, X. Lyu, D. Cao, S. Jiang, and C. Nan, “A 98.55% efficiency switched-tank converter for data center application,” *IEEE Transactions on Industry Applications*, vol. 54, no. 6, pp. 6205–6222, 2018, doi: 10.1109/TIA.2018.2858741.
- [62] S. Biswas, D. Reusch, and M. de Rooij, “Design of GaN-based multilevel switched capacitor converters—Benefits and challenges,” *IEEE Transactions on Industry Applications*, vol. 56, no. 2, pp. 979–988, 2020, doi: 10.1109/TIA.2020.2965902.
- [63] R. Stala, S. Folmer, and A. Mondzik, “Resonant step-down DC-DC converter based on GaN power integrated circuits and SiC diodes,” *Bulletin of the Polish Academy of Sciences Technical Sciences*, vol. 72, no. 5, p. e150116, 2024, doi: 10.24425/bpasts.2024.150116. [Online]. Available: http://journals.pan.pl/Content/130883/PDF/BPASTS_2023_71_5_4248.pdf
- [64] Y. Li, X. Lyu, D. Cao, S. Jiang, and C. Nan, “A high efficiency resonant switched-capacitor converter for data center,” in *2017 IEEE Energy Conversion Congress and Exposition (ECCE)*, 2017, pp. 4460–4466, doi: 10.1109/ECCE.2017.8096766.

- [65] M. J. Scott, K. Zou, J. Wang, C. Chen, M. Su, and L. Chen, "A gallium nitride switched-capacitor circuit using synchronous rectification," *IEEE Transactions on Industry Applications*, vol. 49, no. 3, pp. 1383–1391, 2013, doi: 10.1109/TIA.2013.2255252.
- [66] R. Stala, P. Bhatnagar, A. Mondzik, Z. Waradzyn, S. Piróg, S. Folmer, and K. K. Gupta, "Hybrid switched-inductor switched-capacitor high step-down converter," in *2024 Energy Conversion Congress & Expo Europe (ECCE Europe)*, 2024, pp. 1–7, doi: 10.1109/ECCEurope62508.2024.10751927.
- [67] S. Coday, E. Krause, M. E. Blackwell, R. K. Iyer, N. M. Ellis, A. Barchowsky, and R. C. Pilawa-Podgurski, "Design and implementation of a GaN-based composite hybrid switched-capacitor DC-DC converter for space applications," *IEEE Open Journal of Power Electronics*, vol. 6, pp. 150–161, 2025, doi: 10.1109/OJPEL.2024.3471670.
- [68] M. Buffolo, D. Favero, A. Marcuzzi, C. D. Santi, G. Meneghesso, E. Zanoni, and M. Meneghini, "Review and outlook on GaN and SiC power devices: Industrial state-of-the-art, applications, and perspectives," *IEEE Transactions on Electron Devices*, vol. 71, no. 3, pp. 1344–1355, 2024, doi: 10.1109/TED.2023.3346369.
- [69] G. Iannaccone, C. Sbrana, I. Morelli, and S. Strangio, "Power electronics based on wide-bandgap semiconductors: Opportunities and challenges," *IEEE Access*, vol. 9, pp. 139 446–139 456, 2021, doi: 10.1109/ACCESS.2021.3118897.
- [70] J. Hornberger, A. B. Lostetter, K. J. Olejniczak, T. McNutt, S. M. Lal, and A. Mantooth, "Silicon-carbide (SiC) semiconductor power electronics for extreme high-temperature environments," in *Proc. IEEE Aerospace Conf.*, vol. 4, 2004, pp. 2538–2555, doi: 10.1109/AERO.2004.1368048.
- [71] D. Cittanti, E. Vico, and I. R. Bojoi, "New FOM-based performance evaluation of 600/650 V SiC and GaN semiconductors for next-generation EV drives," *IEEE Access*, vol. 10, pp. 51 693–51 707, 2022, doi: 10.1109/ACCESS.2022.3174777.
- [72] O. S. Chaudhary, M. Denai, S. S. Refaat, and G. Pissanidis, "Technology and applications of wide bandgap semiconductor materials: Current state and future trends," *Energies*, vol. 16, no. 18, 2023, doi: 10.3390/en16186689.
- [73] E. O. Prado, P. C. Bolsi, H. C. Sartori, and J. R. Pinheiro, "An overview about Si, superjunction, SiC and GaN power MOSFET technologies in power electronics applications," *Energies*, vol. 15, no. 14, 2022, doi: 10.3390/en15145244.

- [74] L. Wang, W. Wang, R. J. E. Hueting, G. Rietveld, and J. A. Ferreira, "Review of topside interconnections for wide bandgap power semiconductor packaging," *IEEE Transactions on Power Electronics*, vol. 38, no. 1, pp. 472–490, 2023, doi: 10.1109/TPEL.2022.3200469.
- [75] R. Zelnik and M. Frivaldsky, "Investigation of the high voltage GaN transistor module," in *2021 International Conference on Electrical Drives & Power Electronics (EDPE)*, 2021, pp. 123–128, doi: 10.1109/EDPE53134.2021.9604097.
- [76] M. Shojaie, N. Elsayad, and O. A. Mohammed, "Design of an all-GaN bidirectional DC-DC converter for medium voltage DC ship power systems using series-stacked GaN modules," in *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2018, pp. 2155–2161, doi: 10.1109/APEC.2018.8341315.
- [77] S. Chowdhury and U. K. Mishra, "Lateral and vertical transistors using the Al-GaN/GaN heterostructure," *IEEE Transactions on Electron Devices*, vol. 60, no. 10, pp. 3060–3066, 2013, doi: 10.1109/TED.2013.2277893.
- [78] A.-C. Liu, P.-T. Tu, C. Langpoklakpam, Y.-W. Huang, Y.-T. Chang, A.-J. Tzou, L.-H. Hsu, C.-H. Lin, H.-C. Kuo, and E. Y. Chang, "The evolution of manufacturing technology for GaN electronic devices," *Micromachines*, vol. 12, no. 7, 2021, doi: 10.3390/mi12070737.
- [79] H. Choi, M. Jang, and J. Pou, "High-gain soft-switching interleaved switched-capacitor DC–DC converter with phase-shedding technique," *IET Power Electronics*, vol. 10, no. 9, p. 1013–1022, 2017, doi: 10.1049/iet-pel.2016.0091.
- [80] W. Qian, D. Cao, J. G. Cintron-Rivera, M. Gebben, D. Wey, and F. Z. Peng, "A switched-capacitor DC–DC converter with high voltage gain and reduced component rating and count," *IEEE Transactions on Industry Applications*, vol. 48, no. 4, pp. 1397–1406, 2012, doi: 10.1109/TIA.2012.2199731.
- [81] R. Stala, Z. Waradzyn, A. Mondzik, A. Penczek, and A. Skala, "DC–DC high step-up converter with low count of switches based on resonant switched-capacitor topology," in *2019 21st European Conference on Power Electronics and Applications (EPE '19 ECCE Europe)*, 2019, pp. P.1–P.10, doi: 10.23919/EPE.2019.8914785.
- [82] R. Stala, Z. Waradzyn, and S. Folmer, "DC–DC high-voltage-gain converters with low count of switches and common ground," *Energies*, vol. 13, no. 21, 2020, doi: 10.3390/en13215657.
- [83] S. Li, K. Xiangli, Y. Zheng, and K. M. Smedley, "Analysis and design of the ladder resonant switched-capacitor converters for regulated output voltage appli-

- cations," *IEEE Transactions on Industrial Electronics*, vol. 64, no. 10, pp. 7769–7779, 2017, doi: 10.1109/TIE.2017.2694356.
- [84] O.-C. Mak, Y.-C. Wong, and A. Ioinovici, "Step-up DC power supply based on a switched-capacitor circuit," *IEEE Transactions on Industrial Electronics*, vol. 42, no. 1, pp. 90–97, 1995, doi: 10.1109/41.345851.
- [85] D. Gunasekaran, L. Qin, U. Karki, Y. Li, and F. Z. Peng, "A variable (n/m)X switched capacitor DC–DC converter," *IEEE Transactions on Power Electronics*, vol. 32, no. 8, pp. 6219–6235, 2017, doi: 10.1109/TPEL.2016.2621105.
- [86] F. H. Khan and L. M. Tolbert, "Universal multilevel dc-dc converter with variable conversion ratio, high compactness factor and limited isolation feature," in *2008 Twenty-Third Annual IEEE Applied Power Electronics Conference and Exposition*, 2008, pp. 17–23, doi: 10.1109/APEC.2008.4522694.
- [87] M. Chojowski, R. Stala, A. Piłat, M. Skowron, and S. Folmer, "The design concept of low cost and volume switched-capacitor DC–DC resonant converter," in *2021 IEEE 19th International Power Electronics and Motion Control Conference (PEMC)*, 2021, pp. 200–206, doi: 10.1109/PEMC48073.2021.9432547.
- [88] B. Curuvija, X. Lyu, Y. Li, and D. Cao, "Single-wing ladder resonant multilevel converter," in *2016 IEEE 4th Workshop on Wide Bandgap Power Devices and Applications (WiPDA)*, 2016, pp. 328–333, doi: 10.1109/WiPDA.2016.7799962.
- [89] A. Mondzik, R. Stala, S. Piróg, A. Penczek, P. Gucwa, and M. Szarek, "High efficiency DC–DC boost converter with passive snubber and reduced switching losses," *IEEE Transactions on Industrial Electronics*, vol. 69, no. 3, pp. 2500–2510, 2022, doi: 10.1109/TIE.2021.3063874.
- [90] M. A. Salvador, T. B. Lazzarin, and R. F. Coelho, "High step-up DC–DC converter with active switched-inductor and passive switched-capacitor networks," *IEEE Transactions on Industrial Electronics*, vol. 65, no. 7, pp. 5644–5654, 2018, doi: 10.1109/TIE.2017.2782239.
- [91] Z. Waradzyn, R. Stala, A. Mondzik, A. Penczek, A. Skala, and S. Piróg, "Efficiency analysis of MOSFET-based air-choke resonant DC–DC step-up switched-capacitor voltage multipliers," *IEEE Transactions on Industrial Electronics*, vol. 64, no. 11, pp. 8728–8738, 2017, doi: 10.1109/TIE.2017.2698368.
- [92] H. Setiadi and H. Fujita, "Reduction of switching power losses for ZVS operation in switched-capacitor-based resonant converters," *IEEE Transactions on Power Electronics*, vol. 36, no. 1, pp. 1104–1115, 2021, doi: 10.1109/TPEL.2020.3001956.

- [93] R. Barlik i M. Nowak, "Wyznaczanie mocy strat w przyrządach półprzewodnikowych," w *Energoelektronika. Elementy, podzespoły, układy*. Warszawa: Oficyna Wydawnicza Politechniki Warszawskiej, 2014, ISBN: 978-83-7814-062-7.
- [94] B. Issa and H. Ahmad, *Power electronics circuit analysis and design*. Springer International Publishing, 2018, p. 112, doi: 10.1007/978-3-319-68366-9. [Online]. Available: <https://doi.org/10.1007/978-3-319-68366-9>
- [95] Dokumentacja techniczna ogniwa fotowoltaicznego Panasonic Evervolt HK410, dostępna online: www.panasonic.com. Dostęp: 15 Sierpnia 2024.
- [96] Dokumentacja techniczna ogniwa fotowoltaicznego AEG AS-M1089B-GA(M10)/HV-460, dostępna online: www.aeg-solar.com. Dostęp: 15 Sierpnia 2024.
- [97] Dokumentacja techniczna ogniwa fotowoltaicznego Maxeon SPR-MAX3-420-BLK-R, dostępna online: www.sunpower.com. Dostęp: 15 Sierpnia 2024.
- [98] A. Elkhateb, N. A. Rahim, J. Selvaraj, and B. W. Williams, "DC-to-DC converter with low input current ripple for maximum photovoltaic power extraction," *IEEE Transactions on Industrial Electronics*, vol. 62, no. 4, pp. 2246–2256, 2015, doi: 10.1109/TIE.2014.2383999.
- [99] Dokumentacja techniczna tranzystora CoolMOS IPW60R070CFD7, dostępna online: www.infineon.com. Dostęp: 15 Sierpnia 2024.
- [100] Dokumentacja techniczna tranzystora CoolGaN IGT40R070D1, dostępna online: www.infineon.com. Dostęp: 15 Sierpnia 2024.
- [101] Dokumentacja techniczna diody prostowniczej IDW20G65C5B, dostępna online: www.infineon.com. Dostęp: 15 Sierpnia 2024.
- [102] Dokumentacja techniczna diody prostowniczej ST STTH30L06C, dostępna online: www.st.com. Dostęp: 15 Sierpnia 2024.
- [103] Dokumentacja techniczna kondensatora Ceralink B58031I5105M062, dostępna online: www.product.tdk.com. Dostęp: 15 Sierpnia 2024.
- [104] Dokumentacja techniczna dławika Würth 7443556082, dostępna online: www.we-online.com. Dostęp: 15 Sierpnia 2024.
- [105] Dokumentacja techniczna kondensatora elektrolitycznego EPCOS B43231-A6107-M, dostępna online: www.product.tdk.com. Dostęp: 15 Sierpnia 2024.
- [106] Dokumentacja techniczna kondensatora polipropylenowego EPCOS B32924 X2-MKP, dostępna online: www.product.tdk.com. Dostęp: 15 Sierpnia 2024.

- [107] Dokumentacja techniczna kondensatora elektrolitycznego Panasonic EEV-EB2E680M, dostępna online: www.panasonic.com. Dostęp: 15 Sierpnia 2024.
- [108] Dokumentacja techniczna dławika filtrującego EATON HCM1A1707-4R7-R, dostępna online: www.eaton.com. Dostęp: 15 Sierpnia 2024.
- [109] Dokumentacja techniczna kondensatora polipropylenowego EPCOS B32524Q-3475K, dostępna online: www.product.tdk.com. Dostęp: 15 Sierpnia 2024.
- [110] Dokumentacja techniczna sterownika bramkowego Infineon 1EDI60N12AF, dostępna online: www.infineon.com. Dostęp: 15 Sierpnia 2024.
- [111] Dokumentacja techniczna sterownika bramkowego Infineon 1EDS5663H, dostępna online: www.infineon.com. Dostęp: 15 Sierpnia 2024.
- [112] Nota aplikacyjna kondensatorów ceramicznych Ceralink B58031I5105M062 produkowanych przez firmę TDK, dostępna online: www.tdk.com. Dostęp: 15 Sierpnia 2024.
- [113] M. S. Nikoo, A. Jafari, N. Perera, H. K. Yildirim, and E. Matioli, "Investigation on Output Capacitance Losses in Superjunction and GaN-on-Si Power Transistors," in *2020 IEEE 9th International Power Electronics and Motion Control Conference (IPEMC2020-ECCE Asia)*, 2020, pp. 48–51, doi: 10.1109/IPEMC-ECCEAsia48364.2020.9367884.
- [114] M. Guacci, M. Heller, D. Neumayr, D. Bortis, J. W. Kolar, G. Deboy, C. Ostermaier, and O. Häberlen, "On the Origin of the C_{oss} -Losses in Soft-Switching GaN-on-Si Power HEMTs," *IEEE Journal of Emerging and Selected Topics in Power Electronics*, vol. 7, no. 2, pp. 679–694, 2019, doi: 10.1109/JESTPE.2018.2885442.
- [115] J. B. Fedison, M. Fornage, M. J. Harrison, and D. R. Zimmanck, "Coss related energy loss in power MOSFETs used in zero-voltage-switched applications," in *2014 IEEE Applied Power Electronics Conference and Exposition - APEC 2014*, 2014, pp. 150–156, doi: 10.1109/APEC.2014.6803302.
- [116] Dokumentacja techniczna diody prostowniczej STPS60SM200C, dostępna online: www.st.com. Dostęp: 15 Sierpnia 2024.
- [117] Strona internetowa Interdyscyplinarnego Laboratorium Badawczego AGH, dostępna online: www.eaiib.agh.edu.pl. Dostęp: 15 Sierpnia 2024.
- [118] R. Hou, J. Lu, and D. Chen, "Parasitic capacitance E_{qoss} loss mechanism, calculation, and measurement in hard-switching for GaN HEMTs," in *2018 IEEE Applied Power Electronics Conference and Exposition (APEC)*, 2018, pp. 919–924, doi: 10.1109/APEC.2018.8341124.

Oświadczanie autora rozprawy:

Oświadczam, świadomy odpowiedzialności karnej za poświadczanie nieprawdy, że niniejszą pracę wykonałem osobiście i samodzielnie oraz, że nie korzystałem ze źródeł innych niż wymienione w pracy.

.....

(Podpis autora pracy)