



AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE

DZIEDZINA NAUK INŻYNIERYJNO-TECHNICZNYCH

DYSCYPLINA: AUTOMATYKA, ELEKTRONIKA, ELEKTROTECHNIKA I
TECHNOLOGIE KOSMICZNE

ROZPRAWA DOKTORSKA

*Bezzegarowy przetwornik TDC
(Time-to-Digital Converter) z sukcesywnym
równoważeniem upływu czasu*

Autor: mgr inż. Konrad Jurasz

Promotor rozprawy: dr hab. inż. Witold Machowski
Promotor pomocniczy: dr hab. inż. Dariusz Kościelnik

Praca wykonana:
Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie
Wydział Informatyki, Elektroniki i Telekomunikacji
Instytut Elektroniki

Kraków, 2024



AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE

FIELD OF SCIENCE: ENGINEERING AND TECHNOLOGY

SCIENTIFIC DISCIPLINE: AUTOMATION, ELECTRONICS, ELECTRICAL
ENGINEERING AND SPACE TECHNOLOGIES

DOCTORAL THESIS

*A clockless successive time balancing
time-to-digital converter*

Author: Konrad Jurasz, M.Sc.

First supervisor: Witold Machowski D.Sc.
Assisting supervisor: Dariusz Kościelnik D.Sc.

Completed at:
AGH University of Krakow
Faculty of Computer Science, Electronics and Telecommunications
Institute of Electronics

Kraków, 2024

Pragnę podziękować Panu dr. hab. inż. Witoldowi Machowskiemu za cenne uwagi, sugestie oraz wsparcie podczas przygotowywania rozprawy doktorskiej. Pragnę również podziękować Panu dr. hab. inż. Dariuszowi Kościelnikowi za niezliczone konsultacje naukowe i udzieloną pomoc w prowadzeniu badań.

Bezegarowy przetwornik TDC (Time-to-Digital Converter) z sukcesywnym równoważeniem upływu czasu

Konrad Jurasz

Streszczenie

Praca jest rezultatem badań prowadzonych przez autora nad udoskonaleniem i praktyczną implementacją w strukturze monolitycznej samotaktujących, bezpośrednich przetworników STB-TDC (*Successive Time Balancing Time-to-Digital Converter*). Układy te są przeznaczone do pomiaru odcinków czasu metodą kompensacji wagowej. Jednym z najważniejszych obszarów ich zastosowania są aplikacje biomedyczne, w których wysoka sprawność energetyczna jest kluczowym parametrem. Rozwiązania samotaktujące umożliwiają uzyskanie takiej sprawności, ponieważ nie posiadają w swojej strukturze zegara, zarówno zewnętrznego, jak i w postaci lokalnego oscylatora. Algorytm STB-TDC dokonuje ponadto pomiaru interwału czasu w sposób bezpośredni, co jest rzadko spotykaną, choć bardzo pożądaną cechą przetworników TDC.

Opis przeprowadzonych badań poprzedzono klasyfikacją algorytmów sukcesywnej aproksymacji zaproponowaną przez autora pracy. Wyodrębniono tam trzy istniejące warianty: oscylacyjną sukcesywną aproksymację, monotoniczną sukcesywną aproksymację oraz pełnoskalową sukcesywną aproksymację. Szczególną uwagę zwrócono na zdolność poszczególnych algorytmów do bezpośredniego przetwarzania nieodejmowalnych wielkości fizycznych, takich jak czas. Stanowi ona cenną zaletę konwersji, która pozwala uniknąć stosowania wstępnej konwersji będącej źródłem dodatkowego błędu przetwarzania i zużywanej energii dynamicznej w pojedynczym cyklu pracy przetwornika.

Dalsza część pracy zawiera opis i wyniki badań nad przetwornikiem STB-TDC. W pierwszej kolejności przedstawiono skonstruowany model przetwarzania metodą sukcesywnego równoważenia upływu czasu STB (*Successive Time Balancing*). Jego zaletą jest możliwość odwzorowania upływu czasu zarówno interwałów referencyjnych jak i mierzonego odcinka czasu. Następnie przedstawiono schemat przetwornika STB-TDC składający się z idealnych elementów oraz podano wyniki symulacji dla tak skonstruowanego układu.

Jednym z najważniejszych parametrów charakteryzujących wydajność metody przetwarzania czasu jest jej czas przetwarzania wyrażony w funkcji mierzonego interwału czasu. W niniejszej pracy wyznaczono tę zależność dla metody STB w sposób analityczny i udowodniono, że czas przetwarzania STB jest liniową funkcją mierzonego interwału czasu. Przeprowadzona analiza została dodatkowo zweryfikowana przy pomocy skonstruowanego w tym celu modelu behawioralnego.

Na podstawie idealnego modelu STB-TDC zaprojektowano i zoptymalizowano mikrostrukturę przetwornika czasu STB-TDC w technologii UMC 0,18 μm . Opis implementacji zawiera przede wszystkim wpływ nieidealności bloków składowych na charakterystykę przetwarzania oraz sposoby ich kompensacji.

W ostatniej części pracy przedstawiono wyniki pomiarów przeprowadzonych na serii próbnej mikrostruktury przetwornika STB-TDC. Uzyskane rezultaty wskazują, że zaprojektowany przetwornik STB-TDC spełnia postawione mu wymagania przetwarzając mierzone interwały czasu w sposób bezpośredni i asynchroniczny. Dla wytworzonej serii prototypów przedstawiono także wyniki statystyczne przeprowadzonych pomiarów.

A clockless successive time balancing time-to-digital converter

Konrad Jurasz

Abstract

This work presents the results of research conducted on the improvement and physical implementation of a new *Successive Time Balancing Time-to-Digital Converter* (STB-TDC). These circuits are predisposed to measure time intervals using successive approximation method. One of the major fields the STB-TDC can be used is the biomedical applications in which high energy efficiency is a key performance parameter. Self-clocked solutions makes it possible to achieve it because they do not use a reference clock – neither external nor internal in the form of a local oscillator. Moreover, the STB-TDC algorithm converts the time intervals directly which itself is very valuable feature of the TDCs.

Description of the conducted research is preceded by a classification of the successive approximation algorithms, which has been proposed by the author of this work. Three variants have been distinguished: Oscillating Successive Approximation (OSA), Monotonic Successive Approximation (MSA) and Full-Scale Monotonic Successive Approximation (FSMSA). In particular the attention was paid to the ability of individual algorithms to direct conversion of the non-decremental physical quantities. This is a valuable conversion advantage that eliminates the necessity of using preconversion which is a source of additional conversion error and increased dynamic energy consumption.

The next part of this dissertation contains a description and research results of the STB-TDC circuit. Firstly, the successive time balancing STB conversion model is presented. Its advantage consists in the ability to present the time lapse of both the measured time interval and the reference time intervals. Next, the schematic of the STB-TDC circuit is presented as well as its simulations results.

One of the most important parameters that characterize the efficiency of the time conversion method is the time of the conversion expressed in the function of the measured time interval. In this study this relationship is determined analytically for the STB-TDC method and it is proven that the time conversion of the STB is a linear function of the

measured time interval. The analysis is additionally verified by the dedicated behavioral model.

Based on the ideal STB-TDC model the real STB-TDC has been designed and optimized using the UMC 0,18 μm technology. This part mainly includes the description of the subsequent blocks, the impact of their nonidealities on the transfer characteristic and the compensation methods.

In the last part of this dissertation the measurements results of the STB-TDC prototype series have been presented. Obtained data proves that the designed STB-TDC meets the requirements set for it and converts the measured time intervals directly without any reference clock. In addition, a statistical analysis of the collected data was performed.

Spis treści

Streszczenie	4
Abstract	6
Spis treści	8
Spis rysunków	10
Spis tabel	17
1. Wstęp	18
1.1. Przedmiot i cel pracy	20
1.2. Tezy pracy	21
2. Asynchroniczne przetwarzanie analogowo-cyfrowe (A/C) wykorzystujące kodowanie sygnałów w dziedzinie czasu	22
2.1. Kodery w dziedzinie czasu TEM.....	22
2.2. Kodowanie w dziedzinie czasu metodą próbkowania progowego Level Crossing Sampling (LCS)	27
2.3. Bezpośrednie przetwarzanie TDC	29
2.4. Pośrednie przetwarzanie TDC	30
2.4.1. Samotaktujący przetwornik TDC typu Successive Charge Redistribution (SCR-TDC)	30
3. Bezpośrednie, samotaktujące przetwarzanie TDC metodą sukcesywnego równoważenia upływu czasu STB	36
3.1. Klasyfikacja algorytmów przetwarzania metodą sukcesywnej aproksymacji	36
3.1.1. Oscylacyjna wersja sukcesywnej aproksymacji	37
3.1.2. Monotoniczna wersja sukcesywnej aproksymacji	40
3.1.3. Pełnozakresowa monotoniczna sukcesywna aproksymacja	43
3.2. Algorytm sukcesywnego równoważenia upływu czasu STB-TDC	48
3.3. Układowa implementacja algorytmu sukcesywnego równoważenia upływu czasu STB-TDC	50
3.4. Badania symulacyjne układowego modelu przetwornika STB-TDC.....	55
4. Czas przetwarzania metodą STB-TDC	58

4.1. Czas przetwarzania metodą STB-TDC wyznaczony analitycznie	58
4.2. Czas przetwarzania metodą STB-TDC wyznaczony z wykorzystaniem modelu behawioralnego	65
5. Implementacja przetwornika STB-TDC w technologii UMC 0,18 μm	68
5.1. Struktury układowe i metody optymalizacji poszczególnych podzespołów przetwornika STB-TDC	68
5.1.1. Matryca pojemności referencyjnych.....	68
5.1.2. Klucze analogowe	71
5.1.2. Źródła prądowe	79
5.1.3. Komparatory	87
5.1.4. Referencyjne źródło napięcia.....	94
5.1.5. Układ wzajemnego wykluczenia	97
5.1.6. Układy wyostrzające z histerezą.....	100
5.1.7. Asynchroniczny Automat Sterujący ASM	103
5.2. Dodatkowe optymalizacje oraz kompensacje błędów	106
5.2.1. Kompensacja pojemności pasożytniczych matrycy kondensatorów referencyjnych	106
5.2.2. Mechanizm wstępnego wstrzykiwania ładunku	107
5.3. Wyniki badań symulacyjnych zaprojektowanego układu	108
6. Wyniki badań rzeczywistego przetwornika STB-TDC wytworzonego w postaci struktury monolitycznej	115
6.1. Stanowisko i metody pomiarowe	115
6.2. Parametry i charakterystyki rzeczywistego układu	116
6.3. Analiza statystyczna przeprowadzonych pomiarów.....	127
6.4. Potencjalne przyczyny niezgodności parametrów układów monolitycznych z wynikami symulacji	136
7. Podsumowanie	137
Bibliografia	140

Spis rysunków

1.1. Przetwarzanie ADC z wykorzystaniem TMSP.....	18
2.1. Schemat blokowy przetwornika ASDM.....	23
2.2. Przykładowy przebieg sygnałów modulatora ASDM	25
2.3. Schemat układu LIF (<i>Leaky Integrate-and-Fire</i>)	26
2.4. Przykładowy przebieg sygnałów układu Integrate-and-Fire	27
2.5. Warianty próbkowania typu LCS	29
2.6. Działanie licznikowego przetwornika TDC	30
2.7. Schemat blokowy przetwornika SCR-TDC.....	31
2.8. Przetwarzanie SCR-TDC: faza prekonwersji TQC	34
2.9. Przetwarzanie SCR-TDC: faza redystrybucji QDC – ładowanie kondensatora C_{n-1}	34
2.10. Przetwarzanie SCR-TDC: faza redystrybucji QDC – ładowanie kondensatora C_{n-2} ... 34	
2.11. Przetwarzanie SCR-TDC: faza redystrybucji QDC – ładowanie kondensatora C_{n-3} .. 34	
2.12. Zakończenie przetwarzania SCR-TDC.....	35
3.1. Model zestawu pomiarowego sukcesywnej aproksymacji: (a) waga szalkowa; (b) zestaw odważników referencyjnych	37
3.2. Ilustracja przeprowadzania pomiaru metodą oscylacyjnej sukcesywnej aproksymacji: (a) pierwszy krok; (b) przeszacowanie mierzonej wielkości; (c) kompensacja przeszacowania	38
3.3. Przebieg konwersji wariantem OSA.....	39
3.4. Uproszczony model przetwornika pracującego zgodnie z wariantem oscylacyjnej sukcesywnej aproksymacji	40
3.5. Ilustracja przeprowadzania pomiaru metodą monotonicznej sukcesywnej aproksymacji: (a) pierwszy krok; (b) przeszacowanie; (c) kompensacja przeszacowania	41
3.6. Przebieg konwersji wariantem monotonicznej sukcesywnej aproksymacji.....	42
3.7. Uproszczony model przetwornika pracującego zgodnie z wariantem monotonicznej sukcesywnej aproksymacji	43

3.8. Ilustracja przeprowadzania pomiaru metodą pełnozakresowej monotonicznej sukcesywnej aproksymacji: (a) pierwszy krok; (b) przeszacowanie; (c) kompensacja przeszacowania	44
3.9. Przebieg konwersji pełnozakresowej monotonicznej sukcesywnej aproksymacji	46
3.10. Uproszczony model przetwornika pracującego zgodnie z wariantem pełnozakresowej monotonicznej sukcesywnej aproksymacji.....	47
3.11. Przetwarzanie metodą STB-TDC: (a) pierwszy krok przetwarzania rozpoczynający budowę wieży R; (b - c) rozpoczęcie budowy wieży S; (c-d) dodanie kolejnego zbiornika do wieży S; (d - e) dodanie kolejnego zbiornika do wieży R; (f) zakończenie procesu przetwarzania	49
3.12. Schemat przetwornika STB-TDC	51
3.13. Przykładowe stany przetwornika STB-TDC podczas przetwarzania	53
3.14. Przykładowe przebiegi napięcia na szynach; linia niebieska: R, linia czerwona: S...	53
3.15. Diagram przepływu algorytmu STB-TDC	54
3.16. Konwersja mierzonego interwału czasu T_{IN} o długości 31,9 μs	56
3.17. Wynikowa charakterystyka przetwarzania wykreślona na podstawie 3080 próbek w zakresie od 1 ns do 154 μs	57
4.1. Wartość składnika sumy czasu odmierzonego na szynie R odniesiona do zakresu przetwarzania dla przetwornika o liczbie bitów $n = 5$; linia niebieska – skwantowana wartość czasu trwania impulsu wejściowego $T_{IN,B}$, linia czerwona – skwantowana wartość połowy czasu trwania impulsu wejściowego $T_{IN,BHF}$	60
4.2. Względna wartość błędów kwantyzacji dla przetwornika o liczbie bitów $n = 5$; linia niebieska – t_B/T , linia czerwona – t_{BHF}/T	61
4.3. Względna długość czasu odmierzonego za pomocą szyny referencyjnej T_R/T ; krzywa schodkowa – liczba bitów $n = 5$, linia przerywana – liczba bitów $n \rightarrow \infty$	62
4.4. Względna wartość czasu odmierzonego za pomocą szyny źródłowej T_S/T ; krzywa piłokształtna – liczba bitów $n = 5$, linia przerywana – liczba bitów $n \rightarrow \infty$	64
4.5. Względna długość czasu przetwarzania T_C ; linia fioletowa – liczba bitów $n = 5$, linia przerywana – liczba bitów $n \rightarrow \infty$	65

4.6. Względna długość czasu odmierzonego na szynie referencyjnej T_R/T wyznaczona za pomocą modelu behawioralnego; linia niebieska – liczba bitów $n=4$, linia fioletowa – liczba bitów $n=10$	66
4.7. Względna wartość czasu odmierzonego na szynie źródłowej T_S/FSR wyznaczona za pomocą modelu behawioralnego; linia czerwona – liczba bitów $n = 4$, linia pomarańczowa – liczba bitów $n = 10$	67
4.8. Względna długość czasu przetwarzania T_C/T	67
5.1. Topografia pojemności jednostkowej C_0 o rozmiarach $22,2 \mu\text{m} \times 22,2 \mu\text{m}$	69
5.2. Topografia macierzy pojemności referencyjnych C_7, \dots, C_0	71
5.3. Schemat bramki transmisyjnej TG	72
5.4. Schemat układu testowego: a) ładowanie pojemności jednostkowej C_0 ; b) ładowanie pojemności jednostkowej C_0 z uwzględnieniem pojemności pasożytniczej szyny wprowadzanej przez rzeczywiste klucze analogowe.....	73
5.5. Spadek napięcia na kluczu SW_k ; linia czerwona – napięcie na szynie, linia niebieska – napięcie na pojemności C_k	74
5.6. Skok napięcia na pojemności jednostkowej C_0 spowodowany wstrzyknięciem ładunku; linia zielona – szyna S, linia fioletowa – napięcie na pojemności C_0	75
5.7. Mechanizm ładowania kondensatora referencyjnego z uwzględnieniem pojemności pasożytniczej szyny: a) ładowanie kondensatora referencyjnego C_k podłączonego do szyny jako pierwszy; b) ładowanie kolejnego kondensatora referencyjnego	77
5.8. Wpływ kluczy analogowych na błąd nieliniowości różniczkowej DNL; linia czarna – $C_p = 9,39 \text{ fF}$, linia czerwona – $C_p = 18,78 \text{ fF}$	77
5.9. Topografia bramki transmisyjnej.....	78
5.10. Schemat źródła prądowego $I_{S(R)}$	81
5.11. Charakterystyka wyjściowa źródła prądowego $I_{S(R)}$	82
5.12. Wpływ rozrzutu technologicznego różnicującego wydajność prądową źródeł I_S, I_R o 1 % na charakterystykę błędu nieliniowości różniczkowej DNL.....	83
5.13. Wpływ rozrzutu technologicznego typu mismatch na wydajność źródła prądowego	83
5.14. Włączanie źródła prądowego w celu naładowania pojemności C_0 : czas osiągnięcia właściwego punktu pracy źródła prądowego; linia fioletowa – sygnał włączający źródło, linia	

niebieska – prąd wyjściowy I_{OUT} źródła, linia czerwona – napięcie na okładkach kondensatora C_0	84
5.15. Błąd opóźnienia włączania źródła prądowego.....	85
5.16. Błąd opóźnienia włączania źródła prądowego: linia czarna 200 ns, linia czerwona: 300 ns	85
5.17. Topografia źródła prądowego $I_{S(R)}$	86
5.18. Przykładowy wpływ opóźnienia komparatora na charakterystykę błędu nieliniowości różniczkowej.....	88
5.19. Schemat komparatora $K_{S(R)}$	88
5.20. Schemat wtórnika źródłowego $SF_{S(R)}$	89
5.21. Przesunięcie napięcia na szynie R; linia czerwona – SF_In, linia pomarańczowa – SF_Out, linia zielona – SF_Bias, linia fioletowa – V_{REF} , linia niebieska – Comp_Out.....	90
5.22. Topografia komparatora $K_{S(R)}$	92
5.23. Topografia wtórnika źródłowego $SF_{S(R)}$	92
5.24. Schemat referencyjnego źródła napięcia V_{REF}	95
5.25. Zaburzenie napięcia referencyjnego V_{REF} o 3 mV; linia czerwona – napięcie na szynie, linia żółta – narastający sygnał wyjściowy komparatora, linia fioletowa – napięcie referencyjne V_{REF}	95
5.26. Topografia referencyjnego źródła napięcia V_{REF}	96
5.27. Schemat blokowy dwustopniowego układu wzajemnego wykluczenia Mutex.....	98
5.28. Szczegółowy schemat dwustopniowego układu wzajemnego wykluczenia Mutex ...	98
5.29. Topografia filtra metastabilności.....	99
5.30. Schemat układu wyostrzającego z histerezą $ST_{S(R)}$	101
5.31. Wyostrzenie zbocza sygnału wyjściowego komparatora; linia czerwona – sygnał na wejściu komparatora, linia turkusowa – napięcie referencyjne, linia fioletowa – sygnał wyjściowy z komparatora, linia żółta – sygnał wyjściowy z przerzutnika Schmitta	101
5.32. Pętla histerezy przerzutnika Schmitta.....	102
5.33. Topografia układu wyostrzającego z histerezą $ST_{S(R)}$	102
5.34. Schemat automatu sterującego ASM.....	104
5.35. Topografia asynchronicznego automatu sterującego ASM	105

5.36. Mechanizm wstępnego wstrzykiwania ładunku: a) stan relaksacji; b) rozpoczęcie ładowania	107
5.37. Działanie mechanizmu wstępnego wstrzykiwania ładunku; linia czerwona – szyna S, linia fioletowa – wejście nieodwracające komparatora K_S , linia żółta – impuls T_{IN} , linia zielona – wejście odwracające komparatora K_S	108
5.38. Topografia przetwornika STB-TDC	109
5.39. Rozmieszczenie układów analogowych; a) aktywne układy przetwornika, b) symetryczne rozmieszczenie układów analogowych, c) rozmieszczenie kluczy, d) układ trzech kluczy połączonych z odpowiednimi szynami.....	110
5.40. Układ buforujący oraz zabezpieczenie antystatyczne w torze sygnału cyfrowego ..	111
5.41. Pobór prądu w czasie przetwarzania; linia czerwona – podzespoły analogowe, linia zielona – moduł ASM.....	112
5.42. Charakterystyka przetwarzania zaprojektowanego przetwornika STB-TDC.....	112
5.43. Charakterystyka błędu nieliniowości różniczkowej zaprojektowanego przetwornika STB-TDC.....	113
5.44. Charakterystyka błędu nieliniowości całkowitej INL zaprojektowanego przetwornika STB-TDC.....	113
6.1. Stanowisko pomiarowe do automatycznego wykonywania testów przetwornika STB-TDC.....	115
6.2. Procedura testowa	116
6.3. Fizyczna struktura przetwornika STB-TDC	117
6.4. Fizyczna struktura przetwornika STB-TDC wraz z łączaniem drutowym.....	118
6.5. Charakterystyki przetwarzania mikrostruktury przetwornika STB-TDC dla trzech różnych napięć zasilania; linia czarna – $VDD/VDDD = 1,8\text{ V}/1,8\text{ V}$, linia czerwona – $VDD/VDDD = 1,98\text{ V}/1,98\text{ V}$, linia niebieska - $VDD/VDDD = 1,62\text{ V}/1,62\text{ V}$	119
6.6. Skrócenie bitu w połowie zakresu przetwarzania – $FSR/2$	119
6.7. Proces definiowania bitów w przetworniku STB-TDC otrzymany symulacyjnie	120
6.8. Proces definiowania bitów przetwornika STB-TDC odczytany przez analizator logiczny	120

6.9. Próbkę #1: błąd nieliniowości różniczkowej przetwornika STB-TDC dla rozdzielczości 8-bitowej ; linia czarna – $VDD/VDDD = 1,8\text{ V}/1,8\text{ V}$, linia czerwona – $VDD/VDDD = 1,98\text{ V}/1,98\text{ V}$, linia niebieska - $VDD/VDDD = 1,62\text{ V}/1,62\text{ V}$	121
6.10. Próbkę #1: błąd nieliniowości całkowitej przetwornika STB-TDC dla rozdzielczości 8-bitowej ; linia czarna – $VDD/VDDD = 1,8\text{ V}/1,8\text{ V}$, linia czerwona – $VDD/VDDD = 1,98\text{ V}/1,98\text{ V}$, linia niebieska - $VDD/VDDD = 1,62\text{ V}/1,62\text{ V}$	121
6.11. Próbkę #1: błąd nieliniowości różniczkowej przetwornika STB-TDC przy założeniu rozdzielczości 7-bitowej ; linia czarna – $VDD/VDDD = 1,8\text{ V}/1,8\text{ V}$, linia czerwona – $VDD/VDDD = 1,98\text{ V}/1,98\text{ V}$, linia niebieska - $VDD/VDDD = 1,62\text{ V}/1,62\text{ V}$	122
6.12. Próbkę #1: błąd nieliniowości całkowitej przetwornika STB-TDC przy założeniu rozdzielczości 7-bitowej ; linia czarna – $VDD/VDDD = 1,8\text{ V}/1,8\text{ V}$, linia czerwona – $VDD/VDDD = 1,98\text{ V}/1,98\text{ V}$, linia niebieska - $VDD/VDDD = 1,62\text{ V}/1,62\text{ V}$	122
6.13. Próbkę #2: błąd nieliniowości różniczkowej przetwornika STB-TDC przy założeniu rozdzielczości 7-bitowej ; linia czarna – $VDD/VDDD = 1,8\text{ V}/1,8\text{ V}$, linia czerwona – $VDD/VDDD = 1,98\text{ V}/1,98\text{ V}$, linia niebieska - $VDD/VDDD = 1,62\text{ V}/1,62\text{ V}$	123
6.14. Próbkę #2: błąd nieliniowości całkowitej przetwornika STB-TDC przy założeniu rozdzielczości 7-bitowej ; linia czarna – $VDD/VDDD = 1,8\text{ V}/1,8\text{ V}$, linia czerwona – $VDD/VDDD = 1,98\text{ V}/1,98\text{ V}$, linia niebieska - $VDD/VDDD = 1,62\text{ V}/1,62\text{ V}$	123
6.15. Próbkę #3: błąd nieliniowości różniczkowej przetwornika STB-TDC przy założeniu rozdzielczości 7-bitowej ; linia czarna – $VDD/VDDD = 1,8\text{ V}/1,8\text{ V}$, linia czerwona – $VDD/VDDD = 1,98\text{ V}/1,98\text{ V}$, linia niebieska - $VDD/VDDD = 1,62\text{ V}/1,62\text{ V}$	124
6.16. Próbkę #3: błąd nieliniowości całkowitej przetwornika STB-TDC przy założeniu rozdzielczości 7-bitowej ; linia czarna – $VDD/VDDD = 1,8\text{ V}/1,8\text{ V}$, linia czerwona – $VDD/VDDD$	124
6.17. Próbkę #1: błąd nieliniowości różniczkowej dla napięcia zasilania $VDD/VDDD = 1,715\text{ V}$	125
6.18. Próbkę #1: błąd nieliniowości całkowitej dla napięcia zasilania $VDD/VDDD = 1,715\text{ V}$	125
6.19. Błąd nieliniowości różniczkowej; linia czerwona – wyłączony mechanizm wstrzykiwania ładunku, linia niebieska – włączony mechanizm wstrzykiwania ładunku	127

6.20. Grupa charakterystyk przetwarzania dla napięcia zasilania VDD/VDDD = 1,8 V/1,8 V	129
6.21. Grupa charakterystyk przetwarzania dla napięcia zasilania VDD/VDDD = 1,98 V/1,98 V	129
6.22. Grupa charakterystyk przetwarzania dla napięcia zasilania VDD/VDDD = 1,62 V/1,62 V	129
6.23. Grupa charakterystyk błędu nieliniowości różniczkowej dla napięcia zasilania VDD/VDDD = 1,8 V/1,8 V	130
6.24. Grupa charakterystyk błędu nieliniowości różniczkowej DNL dla napięcia zasilania VDD/VDDD = 1,98 V/1,98 V	130
6.25. Grupa charakterystyk błędu nieliniowości różniczkowej DNL dla napięcia zasilania VDD/VDDD = 1,62 V/1,62 V	130
6.26. Grupa charakterystyk błędu nieliniowości całkowej INL dla napięcia zasilania VDD/VDDD = 1,8 V/1,8 V	131
6.27. Grupa charakterystyk błędu nieliniowości całkowej INL dla napięcia zasilania VDD/VDDD = 1,98 V/1,98 V	131
6.28. Grupa charakterystyk błędu nieliniowości całkowej INL dla napięcia zasilania VDD/VDDD = 1,62 V/1,62 V	131
6.29. Histogramy wartości LSB w zależności od napięcia zasilania VDD/VDDD	132
6.30. Histogramy maksymalnych wartości błędu nieliniowości różniczkowej DNL w zależności od napięcia zasilania VDD/VDDD	132
6.31. Histogramy maksymalnych wartości błędu nieliniowości całkowej INL w zależności od napięcia zasilania VDD/VDDD	133
6.32. Histogramy błędu przesunięcia zera w zależności od napięcia zasilania VDD/VDDD	133
6.33. Histogramy wartości pełnego zakresu przetwarzania FSR w zależności od napięcia zasilania VDD/VDDD	134

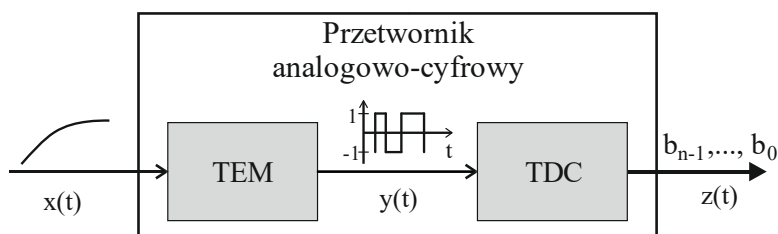
Spis tabel

5.1. Pojemności pasożytnicze związane z łączeniem kondensatorów referencyjnych.....	70
5.2. Wpływ kluczy na czas ładowania pojemności jednostkowej C_0	74
5.3. Wybrane parametry zaprojektowanej bramki transmisyjnej	79
5.4. Wybrane parametry źródła prądowego	86
5.5. Wpływ opóźnień komparatora na długości referencyjnych odcinków czasu	91
5.6. Wybrane parametry komparatora $K_{S(R)}$	93
5.7. Wybrane parametry wtórnika źródłowego $SF_{S(R)}$	93
5.8. Wybrane parametry referencyjnego źródła napięcia V_{REF}	97
5.9. Wybrane parametry układu wzajemnego wykluczenia	99
5.10. Wybrane parametry układu wyostrzającego z histerezą	103
5.11. Wybrane parametry modułu ASM.....	105
5.12. Kompensacja pojemności pasożytniczych matrycy pojemności referencyjnych	106
5.13. Wybrane parametry przetwornika STB-TDC.....	114
6.1. Wybrane parametry przetwornika STB-TDC.....	126
6.2. Wybrane parametry przetwornika STB-TDC.....	126
6.3. Zestawienie skrajnych wartości dla wybranych parametrów przetwarzania przy założeniu 7-bitowej rozdzielczości przetwarzania	135

1. Wstęp

Postępujący rozwój technologii CMOS pozwala na stopniowe zwiększanie liczby tranzystorów umieszczanych w produkowanych strukturach monolitycznych. Zdecydowanie ułatwia to konstruowanie coraz bardziej skomplikowanych układów cyfrowych. Projektowanie złożonych układów analogowych staje się jednak coraz trudniejsze między innymi w wyniku konieczności obniżania napięcia zasilania w kolejnych generacjach technologicznych [1-6]. Skutkiem tego jest pogorszenie stosunku sygnału do szumu SNR (*Signal-to-Noise Ratio*), co staje się szczególnie widoczne w klasycznych przetwornikach analogowo-cyfrowych ADC (*Analog-to-Digital Converters*) [3-6]. Jednym ze sposobów rozwiązania tego problemu jest zastosowanie techniki TMSP (*Time-Mode Signal Processing*) [1, 2, 7-15], która wykorzystuje interwały czasu $y(t)$ jako pośredni sygnał pomiędzy mierzoną wartością wejściową $x(t)$ a odpowiadającym jej słowem cyfrowym $z(t)$ (rys. 1.1).

Powyższa koncepcja kodowania wartości sygnału w postaci odcinków czasu nie jest już nowa. Zastosowano ją między innymi w asynchronicznych modulatorach sigma-delta ASDM (*Asynchronous Sigma-Delta Modulator*), w których chwile przełączania stanu wyjścia $y(t)$ są zależne od wartości sygnału wejściowego [16-20]. Pośrednią formą reprezentowania przebiegu $x(t)$ jest zatem ciąg impulsów prostokątnych, których długości podają wartości sygnału wejściowego.



Rysunek 1.1. Przetwarzanie ADC z wykorzystaniem TMSP

Przetwarzanie analogowo-cyfrowe wykorzystujące TMSP może zostać zrealizowane w dwóch krokach (rys. 1.1) [12]. Konwersja wartości sygnału z dziedziny napięcia do dziedziny czasu jest wykonywana przez koder TEM (*Time Encoding Machine*). Wygenerowane w ten sposób dwuwartościowe, pośrednie impulsy $y(t)$, są następnie

poddawane konwersji czasowo-cyfrowej, którą wykonują przetworniki TDC (*Time-to-Digital Converter*).

Kodery TEM mogą zostać zaimplementowane np. jako układy typu *Spiking Neuron* czy też wspomniane powyżej asynchroniczne modulatory Sigma-Delta ASDM (*Asynchronous Sigma-Delta Modulator*) [21-24]. Wszystkie charakteryzują się asynchroniczną pracą i minimalną liczbą przełączeń na cykl pracy, przez co uzyskują wysoką sprawność energetyczną, tak pożądaną na przykład w aplikacjach biomedycznych.

W systemach niewymagających wysokiej sprawności energetycznej na drugim etapie konwersji można zastosować przetworniki TDC, które wykorzystują referencyjny sygnał zegarowy [1, 2]. Takie rozwiązanie jest jednak nieefektywne, ponieważ częstotliwość próbkowania układów TEM jest ściśle zależna od wartości mierzonego sygnału. W rozproszonych systemach monitorowania środowiska czy też w mobilnych zastosowaniach biomedycznych (*Body Area Network*), w których sygnały cechują się krótkimi okresami o dużej aktywności rozdzielonymi długimi przerwami o niskiej aktywności [25-27], przez większość czasu referencyjny sygnał zegarowy przetwornika TDC będzie niepotrzebnie zużywał ograniczone zasoby dostępnej energii. Systemy o pożądanym niskim zapotrzebowaniu energetycznym wykorzystują więc wyłącznie rozwiązania asynchroniczne, pozbawione sygnału zegarowego (*Clockless systems*).

Przedstawiony w niniejszej pracy przetwornik sukcesywnego równoważenia upływu czasu STB-TDC (*Successive Time Balancing Time-to-Digital Converter*) jest układem samotaktującym i bezzegarowym [28-30]. Jest przeznaczony do przetwarzania interwałów czasu na odpowiadające im słowa cyfrowe. Konwersja tych impulsów odbywa się ponadto w sposób bezpośredni, co zostało osiągnięte przez zastosowanie rzadko spotykanej, monotonicznej wersji metody sukcesywnej aproksymacji umożliwiającej bezpośrednie przetwarzanie niedekrementowalnych wielkości fizycznych, takich jak czas [31, 32]. Dzięki temu wyeliminowano konieczność stosowania prekonwersji mierzonego sygnału, która nie tylko wprowadza dodatkowy błąd przetwarzania ale przede wszystkim przyczynia się do zwiększenia zużywanej energii dynamicznej w pojedynczym cyklu pracy.

Przewidywanym zastosowaniem przetwornika STB-TDC jest współpraca z koderami TEM, co umożliwi zbudowanie kompletnego układu przetwornika analogowo-cyfrowego, który dzięki wykorzystaniu techniki TMSP jest potencjalnie odporny na stopniowe obniżanie

napięcia zasilania w układach CMOS. Zdolność przetwornika STB-TDC do całkowicie bezzegarowego i jednocześnie bezpośredniego przetwarzania interwałów czasu może ponadto umożliwić uzyskanie wysokiej sprawności energetycznej stanowiącej kluczowy czynnik na przykład w aplikacjach biomedycznych.

1.1. Przedmiot i cel pracy

Przedmiotem niniejszej pracy jest zoptymalizowanie i zaimplementowanie w postaci układu scalonego nowej, w pełni asynchronicznej struktury przetwornika TDC (*Time-to-Digital Converter*) wykorzystującej metodę sukcesywnego równoważenia upływu czasu STB (*Successive Time Balancing*). Opracowane rozwiązanie układowe przetwornika STB-TDC, zaimplementowane w postaci mikrostruktury, zostanie skierowane do produkcji serii próbnej, poddane wszechstronnym badaniom i ostatecznie zweryfikowane na podstawie uzyskanych wyników.

Wyróżniającą cechą projektowanego i optymalizowanego przetwornika STB-TDC jest całkowity brak referencyjnego sygnału zegarowego, zarówno zewnętrznego, jak i w postaci lokalnego oscylatora. Badany przetwornik będzie pobudzany wyłącznie zboczami sygnału wyznaczającymi mierzony interwał czasu T_{IN} . Wszystkie pozostałe operacje prowadzące do uzyskania reprezentacji cyfrowej tego interwału będą inicjowane i nadzorowane przez wewnętrzny, asynchroniczny układ sterujący o postaci automatu stanów. Głównym celem implementowania w przetworniku techniki samotaktowania jest utworzenie układu o znacząco ograniczonej liczbie przełączeń przypadających na cykl przetwarzania zmniejszając pobór mocy dynamicznej i tym samym nadając przetwornikowi STB-TDC cechy układu o bardzo niskim zapotrzebowaniu energetycznym. Przetwarzanie wejściowych interwałów czasu będzie ponadto odbywało się w sposób bezpośredni, co zostanie osiągnięte poprzez zastosowanie rzadko wykorzystywanego wariantu algorytmu binarnej sukcesywnej aproksymacji. Dzięki powyższemu zostanie wyeliminowana konieczność dokonywania wstępnej konwersji mierzonego interwału czasu na inną wielkość fizyczną. To z kolei pozwoli zmniejszyć złożoność układową przetwornika oraz wykluczyć z algorytmu jego pracy operację będącą potencjalnym źródłem dodatkowych błędów przetwornika i jednocześnie wymagającą zużywania dodatkowych porcji energii.

Rozprawa doktorska zostanie podzielona na 7 rozdziałów, z czego pierwszy stanowi niniejszy wstęp. W rozdziale drugim zostaną omówione główne założenia oraz przeznaczenie asynchronicznego przetwarzania analogowo-cyfrowego. W rozdziale trzecim zostanie przedstawione bezpośrednie, samotaktujące przetwarzanie TDC metodą sukcesywnego równoważenia upływu czasu STB. W ramach tej części pracy zostanie również zaproponowany podział metody binarnej sukcesywnej aproksymacji (kompensacji wagowej) w którym zostaną wyszczególnione jej trzy podstawowe warianty. Jednym z głównych kryteriów tej klasyfikacji będzie zdolność do bezpośredniego przetwarzania czasu, która w przetwornikach analogowo-cyfrowych sukcesywnej aproksymacji jest rzadko spotykaną cechą. Następnie zostanie przedstawiony model układowy przetwornika STB-TDC, pozwalający na przeprowadzenie symulacji behawioralnych i zweryfikowanie implementowalności rozwiązania oraz jego osiągalnych w praktyce parametrów. Tematem rozdziału czwartego będzie stworzenie matematycznego modelu przetwornika STB-TDC i ostatecznie wyprowadzenie zależności określającej jego czas przetwarzania w funkcji długości mierzonego interwału czasu. Uzyskane rezultaty zostaną porównane z wynikami otrzymanymi za pomocą modelu behawioralnego i tym samym wzajemnie zweryfikowane. Rozdział piąty będzie zawierał opis praktycznej implementacji przetwornika STB-TDC w postaci mikrostruktury, która zostanie wykonana w technologii UMC 0,18 μm . W szczególności zostaną omówione sposoby optymalizacji parametrów zaprojektowanych podzespołów. W kolejnym - szóstym rozdziale zostaną przedstawione wyniki pomiarów wyprodukowanej serii prototypowej zaprojektowanego przetwornika STB-TDC oraz ich analiza statystyczna. Ostatni rozdział będzie zawierał podsumowanie przeprowadzonych badań oraz wynikające z nich wnioski.

1.2. Tezy pracy

- I. Możliwa jest praktyczna realizacja samotaktującego, bezzegarowego przetwornika TDC opartego na metodzie sukcesywnej aproksymacji, dokonującego pomiaru interwału czasu w sposób bezpośredni.
- II. Czas przetwarzania przetwornika STB-TDC jest liniową funkcją długości mierzonego interwału czasu z dokładnością do kroku kwantyzacji.

2. Asynchroniczne przetwarzanie analogowo-cyfrowe (A/C) wykorzystujące kodowanie sygnałów w dziedzinie czasu

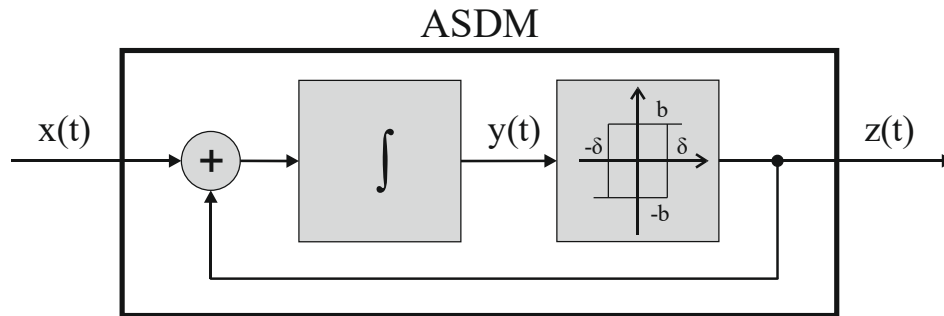
Układy asynchroniczne posiadają dużą sprawność energetyczną, dzięki czemu znajdują zastosowanie m.in. w aplikacjach biomedycznych [22, 33-38]. Wynika to przede wszystkim z charakteru sygnałów występujących w tych systemach. Cechują się one krótkimi okresami o dużej aktywności, które są rozdzielone długimi przerwami [22]. Stosowanie synchronicznych przetworników analogowo-cyfrowych, spełniających kryterium Shannona-Nyquista w odniesieniu do globalnego pasma sygnału, byłoby więc nieefektywne, ponieważ przez większość czasu kolejno otrzymywane słowa cyfrowe, będące wynikiem ciągłego próbkowania sygnału o lokalnie niewielkiej aktywności, nie dostarczałyby istotnej informacji, niepotrzebnie zużywając dostępne zasoby energii. Stosowanie w tej sytuacji asynchronicznego przetwarzania analogowo-cyfrowego A-ADC (*Asynchronous Analog-to-Digital Conversion*) jest więc o wiele bardziej korzystne, ponieważ jego intensywność działania jest ściśle zależna od dynamiki zmian mierzonego sygnału a nie od referencyjnego sygnału zegarowego o stałej częstotliwości [39-44].

Szczególnym przypadkiem systemów A-ADC są układy przystosowane do przetwarzania sygnałów, których aktualna wielkość jest kodowana w dziedzinie czasu. Zapisanie informacji o obserwowanym przebiegu w postaci ciągu interwałów czasu, nazywane przetwarzaniem w poziomie, stanowi alternatywę dla klasycznego przetwarzania analogowo-cyfrowego w dziedzinie napięcia, określanego mianem przetwarzania w pionie.

2.1. Kodery w dziedzinie czasu TEM

Układem powszechnie stosowanym do kodowania wielkości sygnału w dziedzinie czasu jest asynchroniczny modulator sigma-delta ASDM (*Asynchronous Sigma-Delta Modulator*) [16, 17, 20, 34, 45]. Składa się on z integratora oraz przerzutnika z histerezą, objętych pętlą ujemnego sprzężenia zwrotnego, (rys. 2.1). Sygnał wyjściowy $z(t)$ kodera ASDM zawsze przyjmuje jedną z dwóch wartości: $+b$ lub $-b$. Jeżeli sygnał wyjściowy $z(t)$ przyjmuje aktualnie wartość $+b$, to przebieg na wyjściu integratora $y(t)$ opada monotonicznie do

ujemnej wartości progowej histerezy $-\delta$. Po osiągnięciu tej wartości następuje natychmiastowe przełączenie przelutnika z histerezą na wartość przeciwną: $z(t) = -b$. Polaryzacja wejścia integratora wartością $-b$ powoduje, że sygnał $y(t)$ narasta monotonicznie do wartości $+\delta$. Jeżeli sygnał wejściowy $x(t)$ jest równy zeru, to chwile t_k, t_{k+1}, \dots przełączania stanu układu ASDM są zależne wyłącznie od parametrów integratora oraz histerezy przelutnika (rys. 2.2). Natomiast jeżeli sygnał wejściowy $x(t)$ zaczyna narastać (opadać), to generowane na wyjściu odcinki czasu odpowiadające dodatniemu (ujemnemu) stanowi wyjścia kodera $z(t)$, ulegają wydłużeniu (skróceniu). Czas trwania dodatnich i ujemnych impulsów wyjściowych T_k, T_{k+1}, \dots jest nieliniową funkcją uśrednianej w tych okresach wielkości sygnału wejściowego $x(t)$. Modulacji podlegają zarówno: częstotliwość, jak i współczynnik wypełnienia sygnału wyjściowego $z(t)$. Długości kolejnych impulsów sygnału wyjściowego $z(t)$ reprezentują więc wartości sygnału $x(t)$ w kolejnych przedziałach czasu T_k, T_{k+1}, \dots , a zatem mogą być traktowane jako kolejne próbki. Warto zwrócić uwagę na trzy istotne aspekty tej relacji.



Rysunek 2.1. Schemat blokowy przetwornika ASDM

Po pierwsze, próbkowanie dokonywane przez układ ASDM jest nierównomierne, a momenty podawania kolejnych próbek zależą zarówno od parametrów układu jak i lokalnej wartości sygnału wejściowego $x(t)$. Próbkowanie wyznaczone wartościami mierzonego sygnału (*signal dependent sampling*) jest charakterystyczne dla asynchronicznego przetwarzania analogowo-cyfrowego. Po drugie, długość danego impulsu wyjściowego $z(t)$ podaje informację nie o chwilowej wartości wejściowego sygnału $x(t)$, lecz o jego uśrednionej wartości \bar{x}_k w przedziale czasu $t_k \div t_{k+1}$, co jest naturalnym rezultatem zastosowania integratora. Po trzecie, pojedynczy impuls wyjściowy nie tylko dostarcza informację o wartości sygnału $x(t)$, ale również wyznacza względne położenie początku

kolejnego impulsu odpowiadającemu \bar{x}_{k+1} . Ostatnia z wymienionych cech jest ceną zaletą układów TEM i nie występuje w innych odmianach próbkowania nierównomiernego.

Długość T_k generowanego impulsu w funkcji wielkości sygnału wejściowego oraz półokresu oscylacji własnych T_0 kodera ASDM można zapisać w postaci:

$$T_k = \frac{2k\delta}{b + (-1)^k \bar{x}_k} \quad (2.1)$$

$$T_0 = \frac{2k\delta}{b} \quad (2.2)$$

Dla poprawnego działania kodera ASDM niezbędne jest przestrzeganie warunku $|x(t)| < |b|$ zapewniającego monotoniczny charakter sygnału wyjściowego integratora $y(t)$ w każdym przedziale czasu T_k . Spełnienie kryterium Nyquista w odniesieniu do minimalnej częstotliwości próbkowania $x(t)$ wymaga jednak w praktyce stosowania silniejszego ograniczenia o postaci $|x(t)| \leq |c| < |b|$, przy czym stosunek $\eta = c/b$, nazywany współczynnikiem głębokości modulacji, jest jednym z kluczowych parametrów konstrukcyjnych układu ASDM. Uwzględniając powyższe, minimalną T_{min} i maksymalną T_{max} długość generowanych impulsów można zapisać jako:

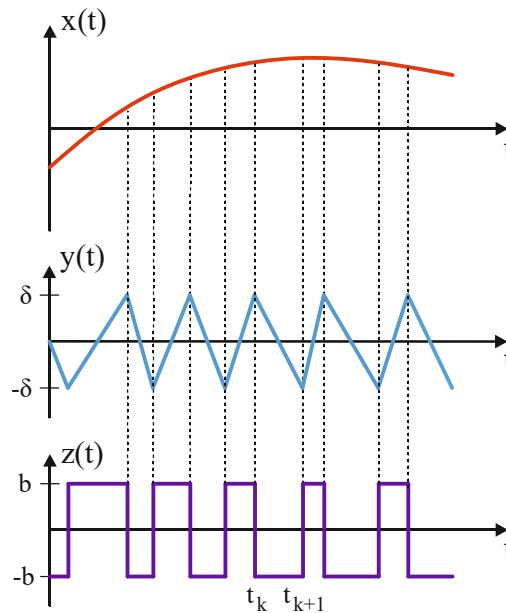
$$T_{min} = \frac{2k\delta}{b + c} = \frac{T_0}{1 + \eta} \quad (2.3)$$

$$T_{max} = \frac{2k\delta}{b - c} = \frac{T_0}{1 - \eta} \quad (2.4)$$

Wykorzystywanie układu ASDM w charakterze kodera TEM zyskało na popularności po tym jak w 2004 roku Lazar i Toth wykazali, że sygnał zakodowany w postaci interwałów czasu może zostać bezstratnie odtworzony (*perfect recovery*) [13]. Warunkami koniecznymi idealnego zrekonstruowania przetwarzanego sygnału $x(t)$ jest spełnienie kryterium Nyquista dla minimalnej częstotliwości próbkowania oraz dysponowanie nieskończoną liczbą próbek. Oznacza to, że $T_{max} \leq T_N$, gdzie $T_N = 1/2f_g$ jest maksymalną długością okresu równomiernego próbkowania sygnału o górnej częstotliwości granicznej równej f_g .

Inną, również popularną grupą układów o charakterze kodera TEM są odmiany modulatora *Integrate-and-Fire* (IF) [21-24]. Jednym z podstawowych wariantów tego układu jest odmiana LIF (*Leaky Integrate-and-Fire*) [22, 46], która składa się ze sterowanego źródła prądowego, kondensatora, rezystora, klucza analogowego oraz komparatora (rys. 2.3).

Na wypadkową wydajność źródła prądowego składają się podstawowa składowa stała I_b oraz modulowana składowa zmienna $i_x(t)$, której wartość jest proporcjonalna od wielkości sygnału wejściowego $x(t)$. Składowa stała I_b zapewnia ciągły, powtarzalny cykl pracy układu LIF, nawet w przypadku zerowej wartości sygnału wejściowego $x(t)$. W takiej sytuacji kondensator jest ładowany prądem o stałym natężeniu do momentu, gdy napięcie pomiędzy jego okładkami przekroczy próg V_{REF} i spowoduje przejście sygnału wyjściowego $z(t)$ komparatora w stan wysoki. W następstwie powyższego, sterowany sygnałem $z(t)$ klucz jest zwierany, co powoduje natychmiastowe rozładowanie kondensatora. Wyjście komparatora powraca wtedy do stanu niskiego, tworząc w sygnale wyjściowym $z(t)$ krótki impuls (*spike*), który wyznacza zarówno koniec aktualnego interwału czasu, jak i początek kolejnego.

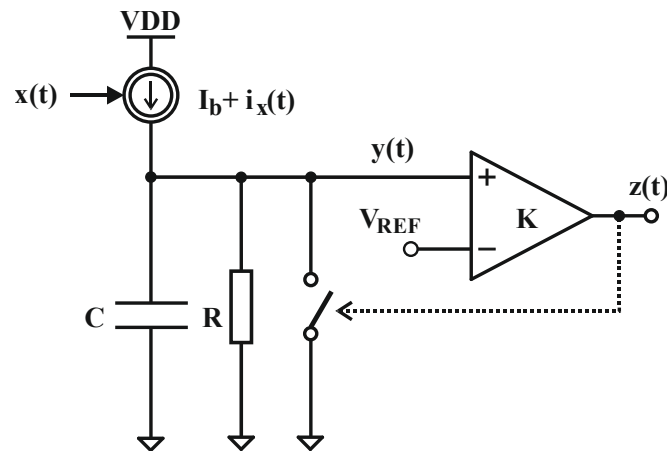


Rysunek 2.2. Przykładowy przebieg sygnałów modulatora ASDM

Jeżeli sygnał wejściowy $x(t)$ jest różny od zera, to natężenie prądu I_b jest uzupełniane o składową zmienną $i_x(t)$, powodując zmianę szybkości ładowania kondensatora. W wyniku tego częstotliwość generowanych impulsów sygnału $z(t)$ jednoznacznie odpowiada uśrednianej przedziałami wartości sygnału $x(t)$ (rys. 2.4).

Cechy układu LIF są zbliżone do opisanego powyżej modulatora ASDM. Próbkowanie sygnału jest również nierównomierne i zależne zarówno od parametrów elementów konstrukcyjnych układu, jak i lokalnej wartości sygnału wejściowego $x(t)$ [46-48]. Odległość pomiędzy kolejnymi impulsami dostarcza informacji o średniej wartości sygnału $x(t)$ w

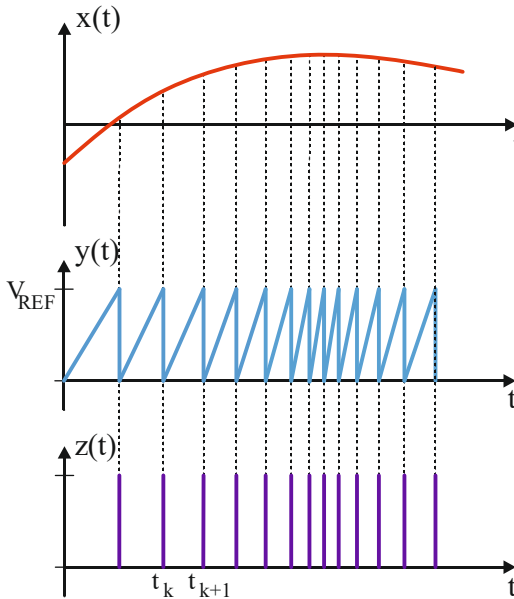
przedziale czasu $t_k \div t_{k+1}$, ponieważ i tym razem pierwszym blokiem układu jest integrator (rys. 2.3). Dodatkowo wygenerowany impuls wyznacza również względne położenie kolejnego przedziału próbkowania. Ograniczenia nakładane na sygnał wejściowy $x(t)$ również są podobne, jednak w tym przypadku dotyczą one wartości natężenia prądu ładującego kondensator. Informacja zawarta w interwale czasu nie zostanie przekłamana, jeżeli maksymalna ujemna wartość składowej zmiennej $i_x(t)$ nie spowoduje zaniku ani zmiany znaku prądu $I_b + i_x(t)$ ładującego kondensator. Zakładając, że źródło nie może powodować rozładowywania kondensatora, to powyższy warunek w praktyce oznacza, że $|I_b + i_x(t)| > 0$. Z drugiej strony należy również ograniczyć maksymalną dodatnią wartość składowej $i_x(t)$, aby uniknąć nadpróbkowania sygnału $x(t)$.



Rysunek 2.3. Schemat układu LIF (*Leaky Integrate-and-Fire*)

Możliwość idealnego zrekonstruowania sygnału zakodowanego za pomocą LIF wykazali Wei i Harris [35]. Wzoruując się na pracy Lazara i Totha [13], Wei i Harris również posłużyli się teorią ramek i powtórzyli rozumowanie przeprowadzone przez ich poprzedników. Mimo to, kodery LIF nie zdobyły takiej popularności, jaką cieszy się układ ASDM. Przyczyną tego jest potencjalnie gorsza sprawność energetyczna układów LIF, bowiem zakodowanie pojedynczej próbki odbywa się za pomocą dwóch zbroczy a nie jednego (jak ma to miejsce w przypadku układu ASDM). Relacja pomiędzy maksymalną a minimalną wartością prądu $i_x(t)$ nie jest jednoznaczna i może prowadzić do niepotrzebnego i kosztownego energetycznie wysokiego nadpróbkowania sygnału wejściowego $x(t)$. Ponadto, stosunkowo prosta struktura ideowa układu LIF musi posiadać dodatkowy element czasowy, pośredniczący w

sterowaniu kluczem. Włączenie go bezpośrednio przez komparator nie zapewnia bowiem całkowitego rozładowania kondensatora, co z kolei zakłóca proces kodowania.



Rysunek 2.4. Przykładowy przebieg sygnałów układu Integrate-and-Fire

2.2. Kodowanie w dziedzinie czasu metodą próbkowania progowego Level Crossing Sampling (LCS)

Innym sposobem kodowania wartości sygnałów w dziedzinie czasu jest metoda próbkowania progowego LCS (*level-crossing sampling*). Technika ta polega na rejestrowaniu momentów t_k , w których wartość sygnału osiąga jeden z predefiniowanych poziomów kwantyzacji (rys. 2.5a) [49-51]. W przetwarzaniu sygnałów najczęściej jest stosowana jej odmiana wieloprogowa (*multilevel-crossing sampling*), która jest pozbawiona histerezy. W takim przypadku są rejestrowane wszystkie przekroczenia wartości progów (rys. 2.5a). W systemach kontrolno-sterujących o wiele częściej stosowana jest odmiana wieloprogowa z histerezą (rys. 2.5b) [52-53]. Wersja ta jest nazywana w literaturze jako *Lebesgue sampling* czy też *send-on-delta scheme* [54-57]. Domyślnie ignoruje ona następujące bezpośrednio po sobie przekroczenia tego samego progów, traktując je jako mało przydatne, ponieważ w praktyce oznacza to, że wielkość sygnału $x(t)$ utrzymuje się w pobliżu raportowanej ostatnio wartości.

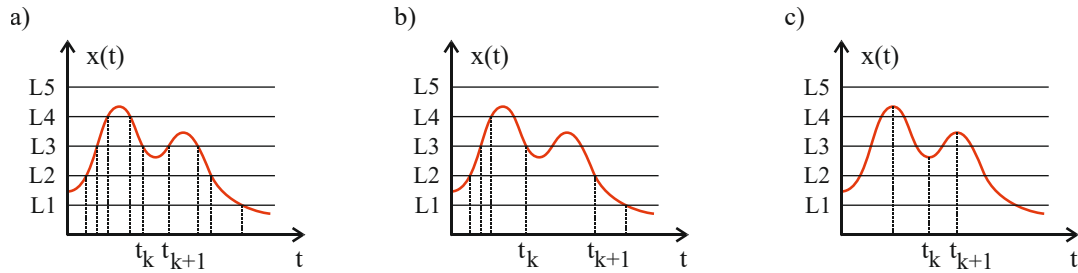
Liczba progów w systemach wieloprogowych wynosi na ogół od kilku do kilkunastu, a ograniczenie to wynika z dokładności układów analogowych dostarczających wartości

kolejnych poziomów napięcia [41]. Ich rozmieszczenie jest zazwyczaj równomierne, jednak istnieją systemy o rozkładzie nieliniowym, a nawet adaptacyjnym [58-64]. Bardzo ważny jest pełen determinizm położenia progów zarówno w układzie kodującym jak i dekodującym. Dzięki niemu opis próbki zawiera tylko numer porządkowy progów oraz długość interwału czasu, jaki upłynął od ostatniej próbki. W praktyce wykorzystuje się zwykle kodowanie 1-bitowe. Po wstępnym zsynchronizowaniu odbiornika z nadajnikiem do wskazania osiągniętego aktualnie progów wystarczy przecież dwuwartościowe określenie kierunku, w którym został on przekroczony (w górę lub w dół).

Szczególną odmianą techniki LCS jest rejestrowanie wyłącznie momentów przecięcia poziomu zerowego przez obserwowany przebieg (*zero-crossing sampling*). W takim przypadku opis próbki ogranicza się do podania tylko chwili t_k wystąpienia takiego zdarzenia.

Rozwiązaniem bardziej wyrafinowanym jest technika próbkowania ekstremów. Polega ona na wykrywaniu momentów zerowania się pierwszej pochodnej sygnału i pobierania w tych chwilach jego aktualnej wartości (rys. 2.5c). Opis próbki musi zatem zawierać aż dwa wielobitowe słowa, z których pierwsze podaje chwilę próbkowania t_k , a drugie wielkość sygnału $x(t_k)$. Mimo to, takie rozwiązanie jest bardzo ekonomiczne, ponieważ w jednej próbce jest zawarta informacja zarówno o wartości sygnału jak i jego pochodnej (o zawsze zerowej wielkości), co jest ekwiwalentem dwóch osobnych próbek. Uwzględniając twierdzenie Papoulisa, do rekonstrukcji sygnału można użyć zarówno jego bezpośrednich wartości, jak i jego liniowej transformacji (np. pochodnej), zapewniając łącznie spełnienie kryterium Nyquista [65]. Rejestrowanie lokalnych ekstremów pozwala zatem dwukrotnie ograniczyć średnią częstotliwość próbkowania.

Zaletą techniki LCS jest automatyczne dopasowywanie się intensywności próbkowania do lokalnej aktywności sygnału. Szybkie zmiany jego wartości zwiększają ilość opisującej go informacji. Z drugiej strony, brak aktywności przebiegu rozrzedza lub wręcz zatrzymuje próbkowanie, redukując nadmiarową liczbę operacji próbkowania, co obniża energochłonność oraz liczbę przesyłanych danych. Powyższa cecha jest szczególnie widoczna w sygnałach o długotrwałym braku aktywności przerywanym nagłą, impulsową zmianą wartości, takich jak sygnały biomedyczne (np. EKG), mowy czy też odczyty czujników (np. ciśnienia).



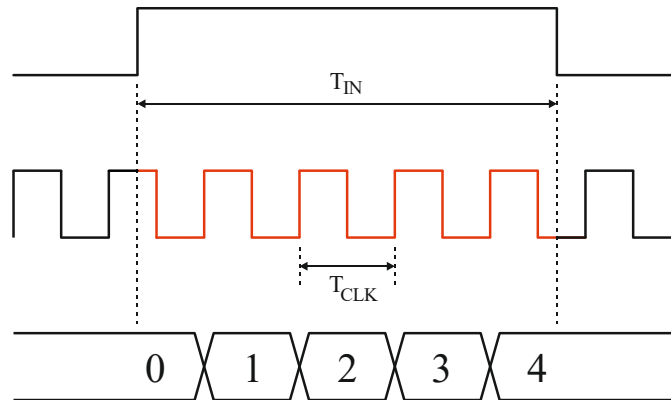
Rysunek 2.5. Warianty próbkowania typu LCS

2.3. Bezpośrednie przetwarzanie TDC

Jednym z najprostszych sposobów pomiaru czasu jest zliczanie kolejno upływających cykli zegara referencyjnego (rys. 2.6). Grupę przetworników TDC, w których jest stosowana ta metoda określa się jako licznikowe (*Counter Time-to-Digital Converter*) [1, 2, 66]. W podstawowej wersji charakteryzują się one prostą konstrukcją oraz brakiem nadmiarowości czasu przetwarzania. Druga z tych cech oznacza, że pomiar trwa tak długo, jak mierzony interwał T_{IN} , co w istocie stanowi cenną i rzadko spotykaną zaletę przetwornika analogowo-cyfrowego. Oczywiście, brak redundancji czasu przetwarzania nie oznacza, że wynik jest dostępny dokładnie w chwili określenia ostatniego bitu. Należy przecież zatrzasnąć słowo cyfrowe w buforze wyjściowym, czy też wyzerować stan licznika.

W praktyce licznikowe przetworniki TDC umożliwiają osiągnięcie rozdzielczości rzędu pikosekund, co sprawia że wciąż są rozwijane zarówno w postaci specjalizowanych struktur monolitycznych ASIC (*Application Specific Integrated Circuit*) jak i rekonfigurowalnych układów scalonych FPGA (*Field Programmable Gate Array*) [66-69].

Licznikowe przetworniki TDC nie są jednak pozbawione wad. Prosty sposób pomiaru okupiony jest dwukrotnie większym błędem kwantyzacji, co wynika z braku synchronizacji zegara referencyjnego ze zboczami mierzonego impulsu (rys. 2.6) [66]. W konsekwencji błąd kwantyzacji może osiągnąć ± 1 LSB, zamiast $\pm 0,5$ LSB, co jest typową wartością dla większości systemów przetwarzania ADC/DAC. Oznacza to, że błąd kwantyzacji z definicji jest powiększony o 3 dB. Co więcej, podwójny brak synchronizacji powoduje niejednoznaczność wyniku przetwarzania, ponieważ ta sama długość mierzonego impulsu może być podawana przez ten sam przetwornik jako jedna z dwóch liczb cyfrowych, różniących się o 1 LSB.



Rysunek 2.6. Działanie licznikowego przetwornika TDC

Oprócz powiększonego błędu kwantyzacji, przetworniki licznikowe charakteryzują się również niską sprawnością energetyczną. Stosunkowo prosta struktura oraz sama metoda pomiaru okupione są bowiem bardzo dużą liczbą przełączeń przypadających na cykl pracy. Licznikowy przetwornik TDC o rozdzielczości n -bitowej wykonuje średnio 2^{n-1} przełączeń, podczas gdy w przetworniku sukcesywnej aproksymacji SA-TDC (*Successive Approximation Time-to-Digital Converter*) liczba ta wynosi zaledwie $n+1$.

2.4. Pośrednie przetwarzanie TDC

2.4.1. Samotaktujący przetwornik TDC typu Successive Charge Redistribution (SCR-TDC)

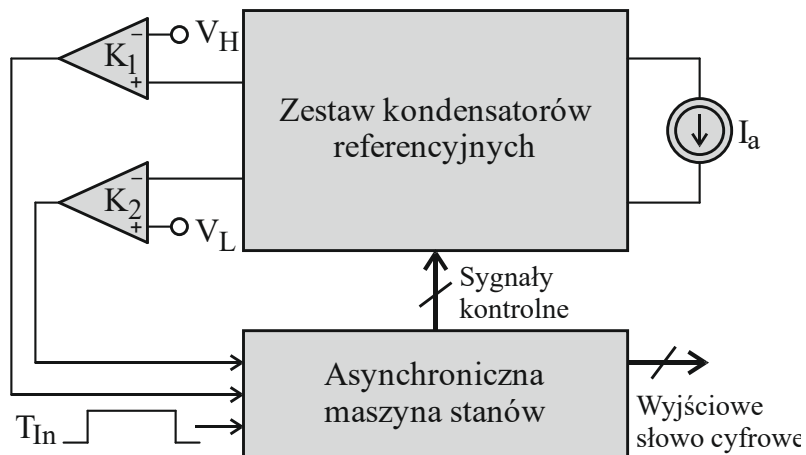
Niewielka liczba wykonywanych przełączeń w przetwornikach TDC stosujących sukcesywną aproksymację nadaje im cechy układów o wysokiej sprawności energetycznej. Jako przykład układu SA-TDC, który dodatkowo charakteryzuje się bezzegarową, samotaktującą konwersją, można wskazać przetwornik z sukcesywną redystrybucją ładunku SCR-TDC (*Successive Charge Redistribution Time-to-Digital Converter*) [14, 70].

W układzie SCR-TDC przetwarzany interwał T_{IN} jest najpierw zamieniany na ilość ładunku proporcjonalną do długości mierzonego interwału. Każdy cykl pracy przetwarzania rozpoczyna się zatem od fazy gromadzenia tego ładunku, co jest odpowiednikiem próbkowania analogowego sygnału wejściowego. Pierwszym etapem pracy jest więc prekonwersja czasowo-ładunkowa TQC (*Time-to-Quantum Conversion*).

Po zgromadzeniu ładunku rozpoczyna się proces jego redystrybucji, a więc przetwarzania właściwego, podczas którego są określane wartości bitów wyjściowego słowa cyfrowego. Etap ten sprowadza się do podzielenia zgromadzonego ładunku na mniejsze części o skwantowanych wielkościach, pozostających względem siebie w stosunku binarnym. Rezultat tego podziału jednoznacznie wyznacza ostateczną wartość wyjściowego słowa cyfrowego. Ze względu na charakter dokonywanej zamiany zgromadzonego ładunku na słowo cyfrowe, faza redystrybucji została określona jako konwersja ładunkowo-cyfrowa QDC (*Quantum-to-Digital Conversion*).

Po zakończeniu redystrybucji zgromadzony i podzielony ładunek jest usuwany, a przetwornik SCR-TDC powraca do stanu relaksacji, w którym oczekuje na rozpoczęcie kolejnego procesu przetwarzania.

Schemat blokowy przetwornika SCR-TDC przedstawiono na rys. 2.7. Zastosowany zestaw kondensatorów referencyjnych C_n, \dots, C_0 , z których n pierwszych pozostaje względem siebie w stosunku binarnym wskazuje, iż układ wykorzystuje metodę binarnej sukcesywnej aproksymacji. Najmniejszy w zbiorze C_{n-1}, \dots, C_0 kondensator C_0 jest nazywany pojemnością jednostkową, a każdy z pozostałych elementów C_k posiada pojemność $2^k C_0$. Dodatkowy kondensator C_n jest przeznaczony na gromadzenie ładunku podczas pierwszej fazy TQC, co oznacza, że jego pojemność musi wynosić co najmniej $2^n C_0$. Nie istnieje górne ograniczenie pojemności tego elementu, jednak biorąc pod uwagę minimalizację powierzchni zajmowanej przez matrycę kondensatorów C_n, \dots, C_0 , należy dążyć do nieprzekraczania tej wartości.



Rysunek 2.7. Schemat blokowy przetwornika SCR-TDC

Źródło prądowe I_a jest wykorzystywane zarówno w czasie fazy prekonwersji jak i redystrybucji ładunku. Jego stała wydajność, w obu przypadkach, zapewnia liniowy wzrost napięcia na aktualnie ładowanym kondensatorze.

Komparatory K_1 , K_2 , wykrywają chwile naładowania oraz rozładowania określonych kondensatorów referencyjnych. W tym celu wykorzystują one napięcia referencyjne V_L oraz V_H .

Pracę przetwornika SCR-TDC nadzoruje asynchroniczna maszyna stanów ASM, która reaguje wyłącznie na sygnały generowane przez komparatory K_1 , K_2 , oraz zbocza interwału wejściowego T_{IN} .

Proces przetwarzania rozpoczyna się w chwili wykrycia przedniego zbocza interwału czasu T_{IN} . W tym samym momencie jest włączane źródło prądowe I_a , co rozpoczyna ładowanie kondensatora próbkującego C_n , a więc tym samym fazę gromadzenia ładunku TQC (rys. 2.8).

Wykrycie tylnego zbocza T_{IN} kończy prekonwersję TQC i rozpoczyna przetwarzanie właściwe QDC (rys. 2.8 – 2.11). W tej chwili ilość ładunku zgromadzonego w kondensatorze próbkującym C_n jest proporcjonalna do czasu trwania interwału T_{IN} . W poszukiwaniu cyfrowego ekwiwalentu zgromadzonego ładunku, algorytm sukcesywnej aproksymacji (kompensacji wagowej) dokonuje redystrybucji ładunku, dzieląc go na mniejsze części za pomocą kondensatorów referencyjnych C_{n-1} , ..., C_0 . W rezultacie, każdy z kondensatorów powinien zostać naładowany do założonego napięcia referencyjnego V_L lub pozostać pusty.

Do przenoszenia ładunku pomiędzy poszczególnymi kondensatorami służy źródło prądowe I_a . Kierunek przepływu prądu jednoznacznie określa, który z kondensatorów jest aktualnie źródłowym C_s , a który docelowym C_d . Kwestię zapewnienia właściwej polaryzacji źródła prądowego I_a rozwiązuje pomocnicze napięcie referencyjne V_H . Dolna okładka kondensatora źródłowego C_s , z którego jest pobierany ładunek zawsze znajduje się na odpowiednio wyższym potencjale w stosunku do górnej okładki kondensatora docelowego C_d , gromadzącego ten ładunek (lub jego odpowiednią część).

W pierwszej kolejności źródło prądowe jest włączane pomiędzy kondensator próbkujący C_n (kondensator źródłowy C_s) i największy kondensator referencyjny C_{n-1} (kondensator docelowy C_d). Sytuację tę przedstawia rys. 2.9. Algorytm redystrybucji

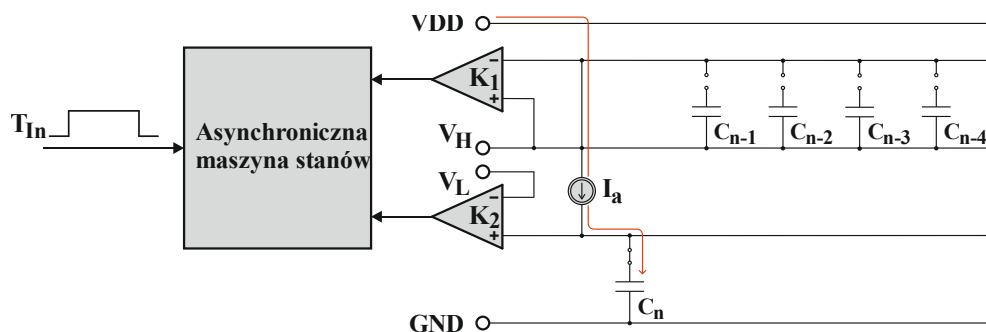
ładunku i związane z nim wyznaczanie kolejnych kondensatorów źródłowych i docelowych można przedstawić następująco:

- Jeżeli aktualny kondensator docelowy o numerze porządkowym d zostanie naładowany do napięcia referencyjnego V_L , co automatowi sterującemu ASM zasygnalizuje komparator K_2 , to następuje zmiana kondensatora docelowego na kondensator o dwukrotnie mniejszej pojemności, o numerze $d-1$ (rys. 2.9 – 2.10).
- Jeżeli aktualny kondensator źródłowy o numerze porządkowym s zostanie całkowicie rozładowany, co automatowi sterującemu ASM zasygnalizuje komparator K_1 , to aktualny kondensator o numerze d zacznie pełnić funkcję kondensatora źródłowego C_s , a funkcja kondensatora docelowego zostanie powierzona następnemu kondensatorowi o numerze $d-1$ (rys. 2.11).

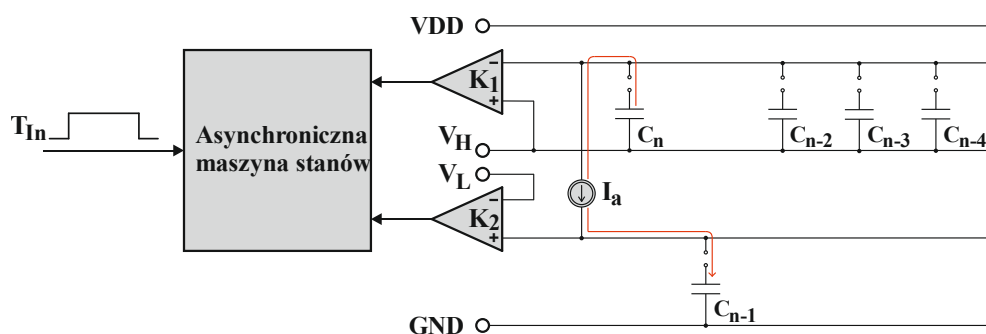
Proces redystrybucji ładunku kończy się, gdy w czasie pełnienia funkcji kondensatora docelowego C_d przez najmniejszy kondensator C_0 , którykolwiek z komparatorów - K_1 lub K_2 - zasygnalizuje odpowiednio rozładowanie aktualnego kondensatora źródłowego C_s lub naładowanie kondensatora C_0 (C_d) do napięcia referencyjnego V_L (rys. 2.12).

Algorytm definiowania wartości bitów wyjściowego słowa cyfrowego jest bardzo prosty. Każdemu bitowi o numerze k , odpowiadającemu kondensatorowi C_k , który podczas fazy redystrybucji ładunku został naładowany do napięcia referencyjnego V_L nadawana jest wartości logiczna 1 (rys. 2.10). Wszystkim pozostałym bitom nadawana jest wartość logiczna 0 (rys. 2.11).

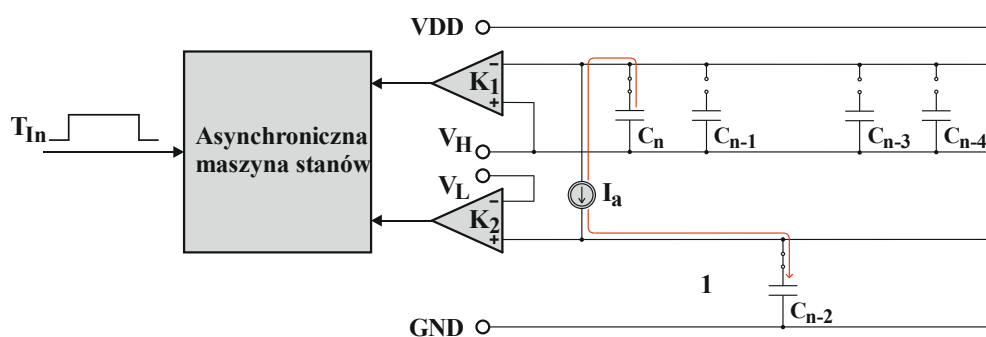
Przedstawione rozwiązanie zostało przystosowane do całkowicie asynchronicznego pomiaru długości odcinków czasu T_{IN} . Jednak niemożliwe jest przeprowadzenie za jego pomocą pomiaru bezpośredniego, ponieważ przed przystąpieniem do właściwej konwersji (QDC) należy w pierwszej kolejności zgromadzić ładunek proporcjonalny do długości mierzonego odcinka czasu T_{IN} (TQC). W przeciwieństwie do przetwornika SCR-TDC, przedstawiony w niniejszej pracy przetwornik STB-TDC posiada zdolność bezpośredniego przetwarzania interwałów czasu.



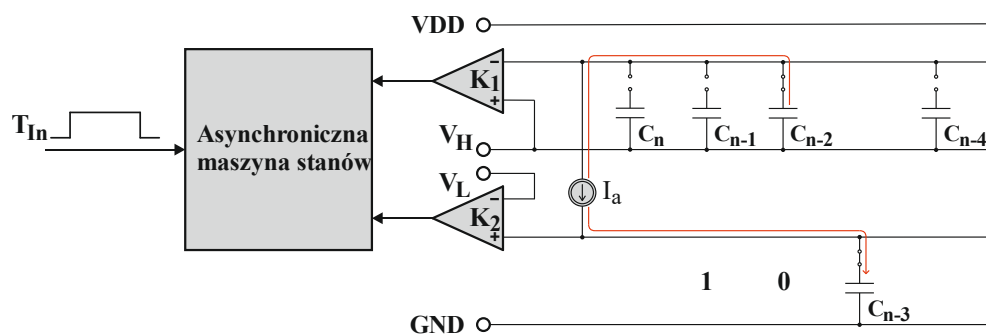
Rysunek 2.8. Przetwarzanie SCR-TDC: faza prekonwersji TQC



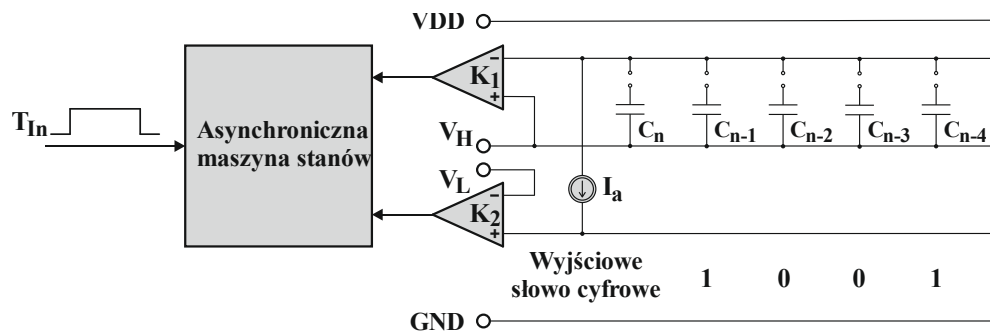
Rysunek 2.9. Przetwarzanie SCR-TDC: faza redystrybucji QDC – ładowanie kondensatora C_{n-1}



Rysunek 2.10. Przetwarzanie SCR-TDC: faza redystrybucji QDC – ładowanie kondensatora C_{n-2}



Rysunek 2.11. Przetwarzanie SCR-TDC: faza redystrybucji QDC – ładowanie kondensatora C_{n-3}



Rysunek 2.12. Zakończenie przetwarzania SCR-TDC

3. Bezpośrednie, samotaktujące przetwarzanie TDC metodą sukcesywnego równoważenia upływu czasu STB

Konwersja z wykorzystaniem metody kolejnych przybliżeń SA jest rozwijana w kierunku przetwarzania wielkości odejmowalnych (np. ładunek, napięcie). Poszukując algorytmów, które umożliwiłyby przetwarzanie czasu, którego oczywiście nie można odjąć, dokonano przeglądu rozwiązań przetworników SA i na tej podstawie wyodrębniono trzy główne warianty sukcesywnej aproksymacji.

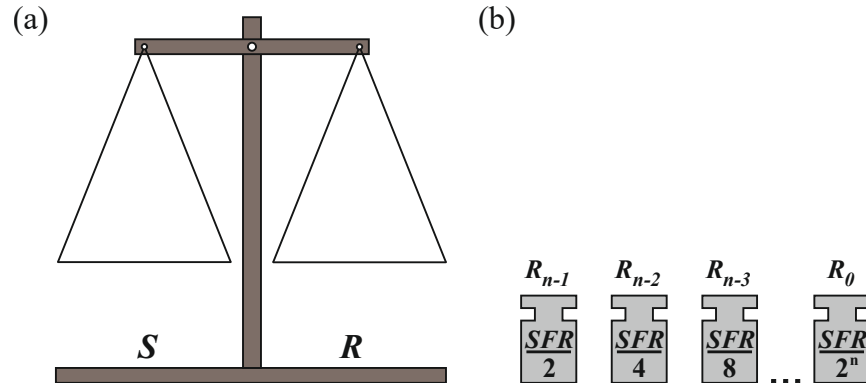
Metoda kolejnych przybliżeń SA stanowi kompromis pomiędzy szybkimi, ale energochłonnymi albo dokładnymi, ale wolnymi metodami przetwarzania ADC [71]. Przetwarzanie SA w każdym cyklu konwersji wymaga tylko $n+1$ kroków, co znacząco ogranicza liczbę przełączeń a tym samym pobór mocy dynamicznej [2, 6, 14]. Z kolei stosunkowo prosta struktura układowa przetworników SA-ADC zapewnia niski pobór mocy statycznej tak istotny dla rozwiązań o wymaganym niskim zapotrzebowaniu energetycznym (*ultra low-power electronics*).

3.1. Klasyfikacja algorytmów przetwarzania metodą sukcesywnej aproksymacji

W przetwarzaniu analogowo-cyfrowym wyróżnia się trzy główne warianty binarnej sukcesywnej aproksymacji. Bez względu na sposób ich implementacji, każdy z nich charakteryzuje się odmiennymi cechami. W odniesieniu do przetwarzania czasu szczególnie istotne są operacje wykonywane na zestawie elementów referencyjnych w czasie aproksymowania za ich pomocą mierzonej wielkości. Do przedstawienia sposobu aproksymacji każdego z wyszczególnionych wariantów i wskazania różnic pomiędzy nimi posłużono się klasycznym modelem wagi szalkowej.

W przedstawionym modelu szalkom wagi przypisano nazwy: szalka źródłowa S oraz szalka referencyjna R (rys. 3.1a). Algorytm SA jest realizowany za pomocą odpowiedniej sekwencji rozkładania elementów referencyjnych R_{n-1}, \dots, R_0 na wadze w taki sposób, aby po wykorzystaniu wszystkich elementów referencyjnych R_{n-1}, \dots, R_0 możliwe było określenie wielkości X_{IN} z dokładnością do błędu kwantyzacji (rys. 3.1b). Mierzona masa

X_{IN} jest zawsze umieszczana na szalce źródłowej S , natomiast sposób rozkładania elementów referencyjnych R_{n-1}, \dots, R_0 zależy od zastosowanego algorytmu sukcesywnej aproksymacji.



Rysunek 3.1. Model zestawu pomiarowego sukcesywnej aproksymacji: (a) waga szalkowa; (b) zestaw odważników referencyjnych

Masy elementów referencyjnych R_{n-1}, \dots, R_0 , pozostają względem siebie w stosunku binarnym: $R_k = 2^k R_0$, dla $k = 0, 1, \dots, n-1$. Oczywiście istnieje dokładna zależność pomiędzy liczbą i wartościami elementów referencyjnych a zakresem i dokładnością wykonywanych pomiarów. Po pierwsze, za pomocą n elementów referencyjnych można przedstawić mierzoną masę X_{IN} jako jedną z 2^n możliwych podzbiorów elementów referencyjnych R_{n-1}, \dots, R_0 . Masy poszczególnych podzbiorów zawierają się w przedziale $(0, \dots, 2^n R_0)$. Po drugie, ze względu na skończoną liczbę podzbiorów, dokładność pomiaru również jest skończona i równa masie jednostkowej R_0 .

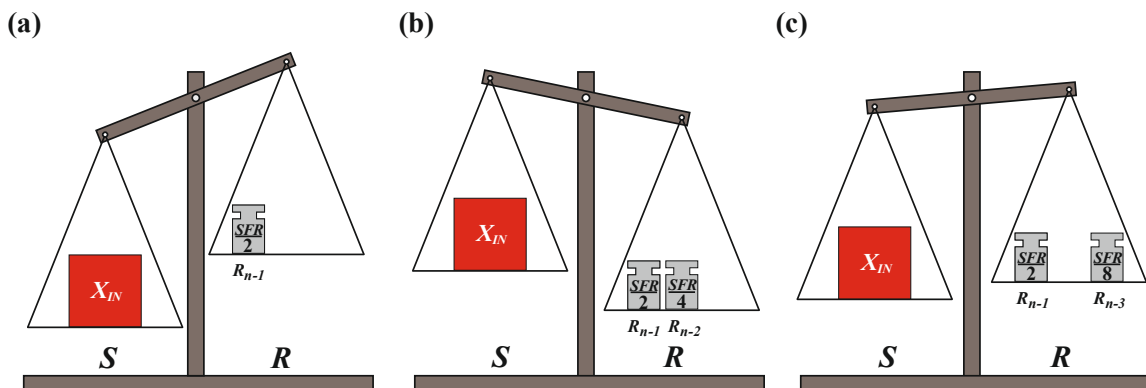
Biorąc pod uwagę powyższe, mierzona wielkość X_{IN} powinna być mniejsza niż $2^n R_0$, aby było możliwe dokonanie prawidłowego pomiaru. Wartość tę określa się jako zakres przetwarzania FSR (*full scale range*):

$$FSR = 2^n R_0 \quad (3.1)$$

3.1.1. Oscylacyjna wersja sukcesywnej aproksymacji

Pierwszy wariant sukcesywnej aproksymacji wymaga zastosowania jednego zestawu odważników referencyjnych R_{n-1}, \dots, R_0 . Układane są one wyłącznie na szalce referencyjnej R .

Pomiar rozpoczyna się od położenia mierzonego elementu X_{IN} na szalce źródłowej S. Równocześnie na szalce referencyjnej R jest umieszczany największy odważnik referencyjny R_{n-1} (rys. 3.2). Każdy kolejny krok przetwarzania składa się z dwóch operacji. W pierwszej z nich jest sprawdzany aktualny stan wagi szalkowej. Jeżeli całkowita masa elementów referencyjnych znajdujących się aktualnie na szalce R jest mniejsza od masy mierzonego elementu X_{IN} ($S > R$), to stan wagi pozostaje bez zmian. W przeciwnym przypadku ($S < R$), element referencyjny R_k , który został użyty jako ostatni jest usuwany z szalki referencyjnej R, co oznacza cofnięcie podjętej wcześniej decyzji. Drugim krokiem (w obu przypadkach) jest umieszczenie kolejnego, dwukrotnie mniejszego elementu referencyjnego R_{k-1} ($k \geq 1$) na szalce referencyjnej R.



Rysunek 3.2. Ilustracja przeprowadzania pomiaru metodą oscylacyjnej sukcesywnej aproksymacji:

(a) pierwszy krok; (b) przeszacowanie mierzonej wielkości; (c) kompensacja przeszacowania

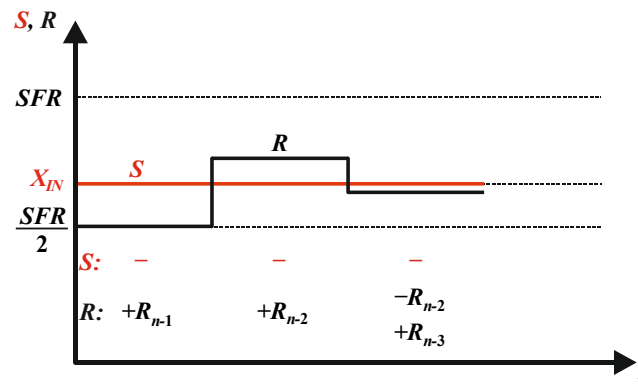
Ostatni krok pomiaru rozpoczyna się w chwili położenia na szalce referencyjnej R najmniejszego odważnika R_0 . Ogranicza się tylko do decyzji czy najmniejszy element referencyjny R_0 należy usunąć czy też pozostawić na szalce R.

Kiedy konwersja dobiegnie końca masa odważników referencyjnych zgromadzonych na szalce R stanowi ekwiwalent masy mierzonego elementu X_{IN} z dokładnością do kroku kwantyzacji R_0 . Tak więc wynik pomiaru można określić jako:

$$X_{IN} \approx \sum_{k=0}^{n-1} (R_k \cdot P_k), \quad (3.2)$$

gdzie P_k wskazuje, czy dany odważnik R_k ostatecznie pozostawiono na szalce referencyjnej ($P_k = 1$), czy też został z niej usunięty ($P_k = 0$).

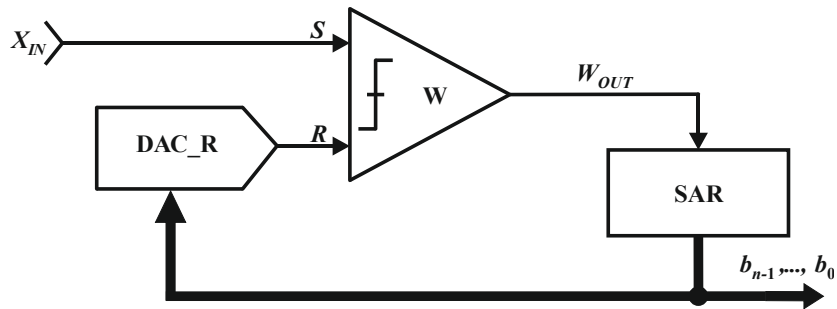
Rysunek 3.3 przedstawia proces konwersji w dziedzinie czasu. Operacje dodawania oraz odejmowania odważników referencyjnych R_{n-1}, \dots, R_0 powodują oscylacje masy wokół mierzonej wielkości X_{IN} . Z tego powodu omawiana wersja sukcesywnej aproksymacji została nazwana oscylacyjną sukcesywną aproksymacją OSA (*oscillating successive approximation*) [32].



Rysunek 3.3. Przebieg konwersji wariantem OSA

Schemat blokowy przetwornika ADC wykorzystującego wariant OSA (rys. 3.4) zawiera komparator W , przetwornik cyfrowo-analogowy DAC_R oraz logikę sterującą SAR (*successive approximation register*). Wejścia komparatora W , oznaczone jako S i R , reprezentują ramiona wagi szalkowej (rys. 3.1). Przetwornik cyfrowo-analogowy DAC_R wytwarza sygnał referencyjny R , natomiast komparator W dokonuje porównania sygnałów wejściowych S i R , a wynik tej operacji jest przekazywany do logiki sterującej SAR . Na jego podstawie podejmowana jest decyzja o tym, czy sygnał referencyjny R powinien zostać zmniejszony.

Wartość mierzonej wielkości X_{IN} jest przedstawiona w postaci n -bitowego słowa wyjściowego b_{n-1}, \dots, b_0 . W i -tym kroku procesu konwersji, dla $i = 2, 3, \dots, (n+1)$ (z wyłączeniem pierwszego kroku) jest określana wartość bitu b_{n-i+1} . Jeżeli sygnał źródłowy S jest większy od sygnału referencyjnego R ($S > R$), to bit b_{n-i+1} otrzymuje wartość logiczną 1. W przeciwnym przypadku bit b_{n-i+1} otrzymuje wartość logiczną 0.



Rysunek 3.4. Uproszczony model przetwornika pracującego zgodnie z wariantem oscylacyjnej sukcesywnej aproksymacji

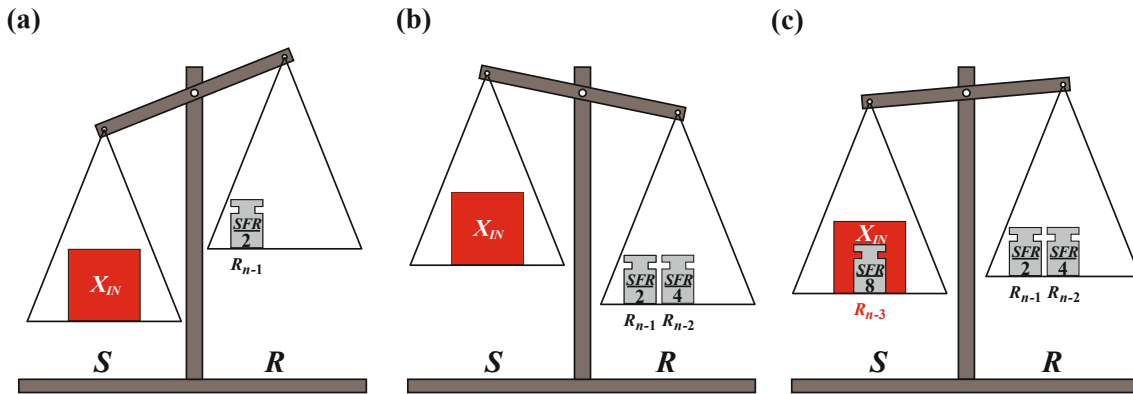
Problematyczną cechą algorytmu OSA jest konieczność usuwania określonego elementu referencyjnego R_k (rys. 3.2c) w przypadku przeszacowania mierzonej wielkości X_{IN} (rys. 3.2b). Operacja ta nie zawsze jest możliwa. Gdy mierzona wielkość X_{IN} jest niedekrementowalną wielkością fizyczną, raz wprowadzonych elementów referencyjnych R_{n-1}, \dots, R_0 nie można już wycofać. Przykładem takiej sytuacji jest pomiar interwału czasu X_{IN} , którego długość jest określana za pomocą referencyjnych interwałów czasu o znanych długościach R_{n-1}, \dots, R_0 . W takim przypadku cofnięcie odmierzonego już referencyjnego interwału czasu R_k (przedstawione obrazowo na rys. 3.2 jako zdjęcie odważnika) jest niemożliwe, ponieważ nie można cofnąć czasu, który już upłynął. Należy jednak zaznaczyć, że metoda OSA jest stosowana w pośrednim przetwarzaniu czasu [72-74]. Wymaga ona jednak dodatkowej, wstępnej konwersji (*preconversion*), zamieniającej interwał czasu X_{IN} na inną, dekrementowalną wielkość fizyczną, taką jak ładunek lub napięcie.

3.1.2. Monotoniczna wersja sukcesywnej aproksymacji

Druga wersja metody sukcesywnej aproksymacji również wymaga używania tylko jednego zestawu odważników referencyjnych R_{n-1}, \dots, R_0 . Tym razem jednak odważniki te mogą być układane zarówno na szalce S, jak i R. Stąd zaś wynika, że za pomocą tylko jednego zbioru elementów referencyjnych możliwe jest zarówno aproksymowanie mierzonej wielkości (szalka R), jak i kompensowanie ewentualnego przeszacowania (szalka S) i to bez potrzeby cofania wcześniej wykonanych czynności (dekrementowania zbioru ustawionych już odważników).

Proces konwersji rozpoczyna się od położenia mierzonego elementu X_{IN} na szalce S. Równocześnie, największy element referencyjny R_{n-1} jest kładziony na szalce R (rys. 3.5a).

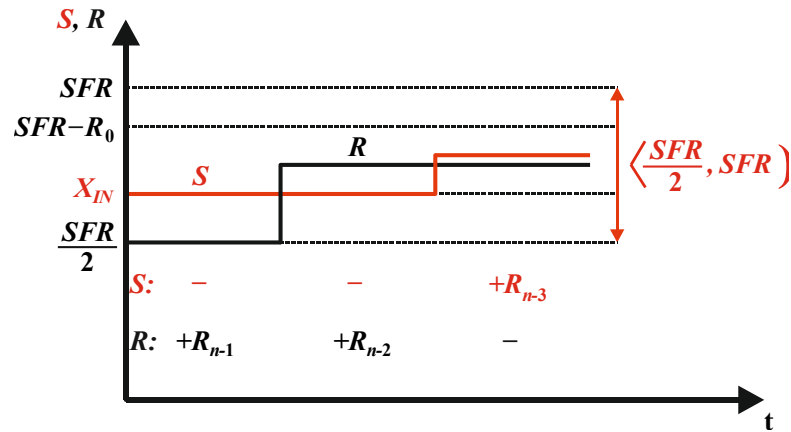
W każdym kolejnym kroku, odpowiedni element referencyjny R_k ($k < n-1$) jest kładziony na aktualnie lżejszej szalce (rys. 3.5b, c).



Rysunek 3.5. Ilustracja przeprowadzania pomiaru metodą monotonicznej sukcesywnej aproksymacji: (a) pierwszy krok; (b) przeszacowanie; (c) kompensacja przeszacowania

Ostatni krok przetwarzania jest wykonywany po położeniu najmniejszego odważnika R_0 na jednej z szalek i sprowadza się do określenia końcowego wychylenia wagi. Na tej podstawie jest wyznaczana wartość najmniej znaczącego bitu b_0 .

Pomimo tego, że wykorzystywany jest tylko jeden zbiór elementów referencyjnych R_{n-1}, \dots, R_0 (tak jak w przypadku wariantu OSA), operacja odejmowania (cofnięcie wcześniej podjętej decyzji) nie jest konieczna. Elementy referencyjne R_{n-1}, \dots, R_0 są wyłącznie dodawane, więc całkowita masa zgromadzona na obu szalkach wzrasta w każdym kolejnym kroku. W dodatku, podczas konwersji zgromadzone masy na poszczególnych szalkach zbliżają się do siebie w sposób monotoniczny (rys. 3.6). Dlatego właśnie omawianą wersję algorytmu nazwano monotoniczną sukcesywną aproksymacją MSA (*Monotonic Successive Approximation*).



Rysunek 3.6. Przebieg konwersji wariantem monotonicznej sukcesywnej aproksymacji

Rezultatem przetwarzania za pomocą wariantu MSA jest, tak jak poprzednio, zrównanie ciężaru obu szalek S i R z dokładnością do najmniejszego kroku kwantyzacji R_0 . Uwzględniając informację o ostatecznym wychyleniu wagi, ekwiwalent mierzonego elementu X_{IN} może zostać wyznaczony zgodnie z zależnością:

$$X_{IN} \approx \left(\sum_{k=0}^{n-1} (R_k \cdot P_k) \right) - \left(\sum_{k=0}^{n-1} (R_k \cdot \bar{P}_k) \right) - R_0 \cdot Q, \quad (3.3)$$

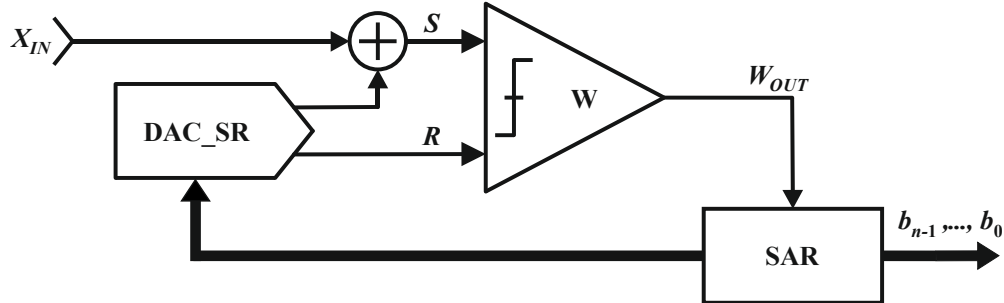
gdzie P_k wskazuje na którą z szalek został położony k -ty element referencyjny: R ($P_k = 1$) czy S ($P_k = 0$), zaś Q oznacza wychylenie wagi.

Wartość współczynnika Q jest określana w następujący sposób: jeżeli całkowita masa zgromadzona na szalce R jest nie większa niż całkowita masa zgromadzona na szalce S, to Q otrzymuje wartość logiczną 0. W przeciwnym przypadku Q otrzymuje wartość logiczną 1.

Należy zaznaczyć, że tak jak w przypadku OSA, cyfrową reprezentację mierzonej wielkości X_{IN} można otrzymać bez wykonywania jakichkolwiek operacji matematycznych, określając wartość każdego kolejnego bitu wyniku na podstawie rezultatu uprzednio wykonanej czynności [75].

Uproszczony model przetwornika MSA przedstawiono na rys. 3.7. Składa się on z komparatora W, przetwornika cyfrowo-analogowego DAC_SR wyposażonego w dwa sygnały wyjściowe oraz logiki sterującej SAR. Dokładnie tak samo, jak w przypadku poprzedniego algorytmu, sygnały S i R komparatora W odnoszą się do szalek wagi. Przetwornik cyfrowo-analogowy DAC_SR generuje wartości sygnałów S i R. Na podstawie

wyjściowej wartości komparatora W_{OUT} logika sterująca SAR decyduje, który z sygnałów – S czy R – powinien zostać zwiększony w kolejnym kroku.



Rysunek 3.7. Uproszczony model przetwornika pracującego zgodnie z wariantem monotonicznej sukcesywnej aproksymacji

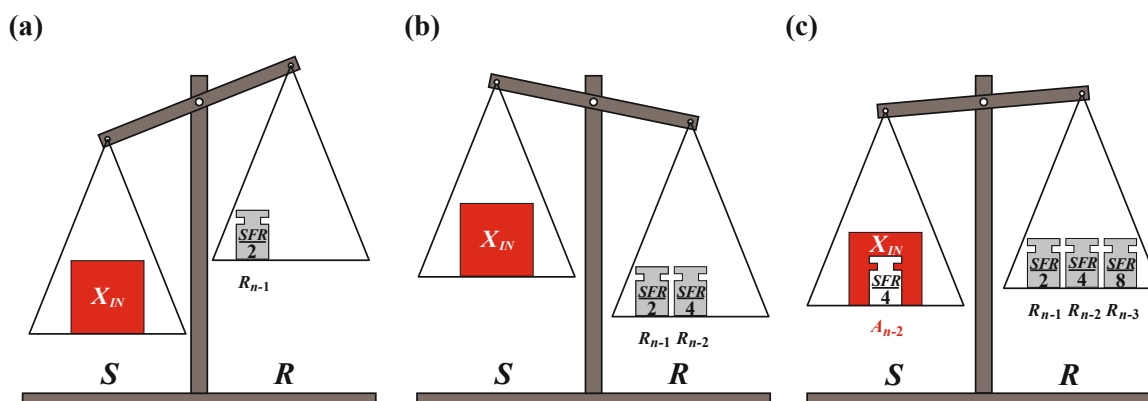
Wartości bitów wyjściowego słowa cyfrowego b_{n-1}, \dots, b_0 są wyznaczone kolejno, zaczynając od najbardziej znaczącego MSB. Jeżeli w i -tym kroku ($i = 2, 3, \dots, n+1$) sygnał referencyjny R jest większy od sygnału źródłowego S, to bit b_{n-i+1} przyjmuje wartość logiczną 1. W przeciwnym przypadku bit b_{n-i+1} przyjmuje wartość logiczną 0.

Algorytm MSA nie wymaga dekrementowania wcześniej wypracowanych wartości (zmiana wcześniej podjętej decyzji). Cecha ta jest jednak okupiona przez konieczność zastosowania układu o większej złożoności (rys. 3.7) w porównaniu do algorytmu OSA (rys. 3.3). Brak konieczności cofania wykonanych operacji pozwala na bezpośrednie przetwarzanie nieodejmowalnych wielkości fizycznych, takich jak czas [32, 76-80].

3.1.3. Pełnozakresowa monotoniczna sukcesywna aproksymacja

Obok popularnych algorytmów OSA i MSA istnieje jeszcze jeden wariant sukcesywnej aproksymacji. Posiada on zdolność bezpośredniego przetwarzania wielkości niedekrementowalnych, co w tej kwestii daje mu przewagę nad algorytmem OSA. Niestety, cecha ta jest okupiona istotną rozbudową przetwornika, ponieważ oprócz podstawowego zbioru odważników referencyjnych R_{n-1}, \dots, R_0 wymaga on jeszcze zbioru pomocniczego: A_{n-1}, \dots, A_0 . Zbiory R_{n-1}, \dots, R_0 oraz A_{n-1}, \dots, A_0 są identyczne, tj. każdy element A_k ze zbioru A_{n-1}, \dots, A_0 (rys. 3.8 – białe odważniki) jest równy co do wartości odpowiadającemu elementowi R_k ($A_k = R_k$) ze zbioru R_{n-1}, \dots, R_0 (rys. 3.8 – szare odważniki). Tak jak w przypadku OSA, podstawowe odważniki referencyjne R_{n-1}, \dots, R_0 są układane tylko na

szalce R, natomiast odważniki ze zbioru pomocniczego A_{n-1}, \dots, A_0 są kładzione tylko na szalce S.



Rysunek 3.8. Ilustracja przeprowadzania pomiaru metodą pełnozakresowej monotonicznej sukcesywnej aproksymacji: (a) pierwszy krok; (b) przeszacowanie; (c) kompensacja przeszacowania

Proces przetwarzania rozpoczyna się w chwili położenia mierzonej wielkości X_{IN} na szalce źródłowej S. Równocześnie na szalce referencyjnej R kładziony jest największy element referencyjny R_{n-1} (rys. 3.8a). W każdym kolejnym kroku, aż do wyczerpania zbioru odważników referencyjnych, wykonywane są dwie operacje. Po pierwsze analizowany jest stan wagi. Jeżeli szalka R jest lżejsza od szalki S ($S > R$), to dodatkowa korekta nie jest wykonywana. W przeciwnym wypadku ($S < R$), przeszacowanie spowodowane przez ostatnio położony element referencyjny R_k , jest kompensowane poprzez położenie pomocniczego elementu referencyjnego A_k na szalce S (rys. 3.8b). Drugą operacją (w obu przypadkach) jest umieszczenie dwukrotnie mniejszego od użytego poprzednio elementu referencyjnego R_{k-1} ($k \geq 1$) na szalce referencyjnej R.

Ostatni krok konwersji jest wykonywany po wykorzystaniu najmniejszego elementu referencyjnego R_0 . Sprowadza się on tylko do decyzji czy koniecznym jest położenie pomocniczego elementu referencyjnego A_0 na szalce S.

Z przedstawionego opisu jednoznacznie wynika, że wszystkie elementy referencyjne R_{n-1}, \dots, R_0 są kolejno kładzione na szalce R i żaden z nich nie jest zdejmowany, bez względu na to, czy wystąpiło przeszacowanie ($R > S$). Z drugiej strony, pomocnicze elementy referencyjne A_{n-1}, \dots, A_0 dopełniają mierzony element X_{IN} w taki sposób aby po zakończeniu konwersji całkowita masa zgromadzona na szalce S znajdowała się w zakresie

$\langle FSR - R_0, FSR \rangle$. Wielkość mierzonego elementu X_{IN} może zatem zostać wyznaczona jako różnica pomiędzy sumarycznymi masami odważników znajdującymi się na poszczególnych szalkach:

$$X_{IN} \approx \sum_{k=0}^{n-1} R_k - \sum_{k=0}^{n-1} (A_k \cdot P_k), \quad (3.4)$$

gdzie P_k wskazuje, czy k -ty pomocniczy element referencyjny A_k został położony na szalce S ($P_k = 1$), czy nie ($P_k = 0$).

Jak wspomniano powyżej, w przypadku tego wariantu sukcesywnej aproksymacji na szalce referencyjnej R znajduje się ostatecznie cały zbiór elementów referencyjnych R_{n-1}, \dots, R_0 , którego całkowita masa wynosi $FSR - R_0$. Uwzględniając powyższe, zależność (3.4) można przekształcić do postaci:

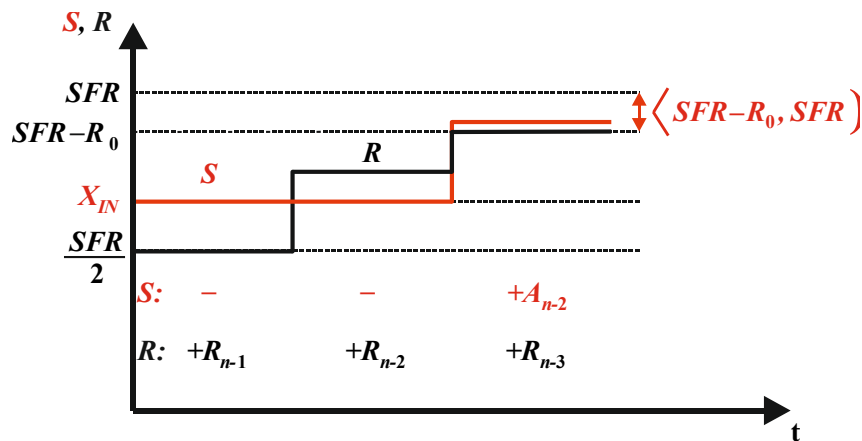
$$X_{IN} \approx FSR - R_0 - \sum_{k=0}^{n-1} (A_k \cdot P_k), \quad (3.5)$$

Należy zaznaczyć, że operacja odejmowania, którą sugerują równania (3.4) i (3.5), ani żadna inna operacja matematyczna nie jest konieczna do otrzymania poprawnego wyniku o postaci binarnej. Ekwiwalentem masy mierzonego elementu X_{IN} są bowiem te elementy ze zbioru A_{n-1}, \dots, A_0 , które nie zostały umieszczone na szalce S:

$$X_{IN} \approx \sum_{k=0}^{n-1} (A_k \cdot \bar{P}_k). \quad (3.6)$$

Przeprowadzenie pomiaru z użyciem omawianej wersji algorytmu SA powoduje stopniowy wzrost mas zgromadzonych na obu szalkach wagi, podobnie zresztą, jak miało to miejsce poprzednio (MSA). Bez względu na aktualne wychylenie wagi żaden odważnik nie jest zdejmowany z szalek, co byłoby równoznaczne z cofnięciem wcześniej podjętej decyzji. Podczas wykonywania kolejnych kroków konwersji całkowita masa zgromadzona na szalce R w sposób monotoniczny zawsze zmierza do wartości $(FSR - R_0)$, gdy równocześnie masa gromadzona na szalce S jest stopniowo zwiększana do wartości z zakresu $\langle FSR - R_0, FSR \rangle$ (rys. 3.9). Z uwagi na wymienione cechy wariant ten został nazwany pełnozakresową monotoniczną sukcesywną aproksymacją FSMSA (*Full-Scale Monotonic Successive Approximation*).

Uproszczony model przetwornika FSMSA przedstawiono na rys. 3.10. Składa się on z komparatora W, dwóch przetworników cyfrowo-analogowych – DAC_R i DAC_S – oraz logiki sterującej SAR. Podobnie jak w przypadku OSA, przetwornik cyfrowo-analogowy DAC_R wytwarza sygnał referencyjny R, natomiast dodatkowy przetwornik cyfrowo-analogowy DAC_S wytwarza składową sygnału S, której wartość dopełnia X_{IN} . Komparator W wskazuje logice sterującej SAR aktualną proporcję sygnałów S i R. Na tej podstawie logika sterująca SAR podejmuje decyzje o ewentualnym zwiększeniu sygnału S, co jest konieczne w przypadku przeszacowania ($S < R$).

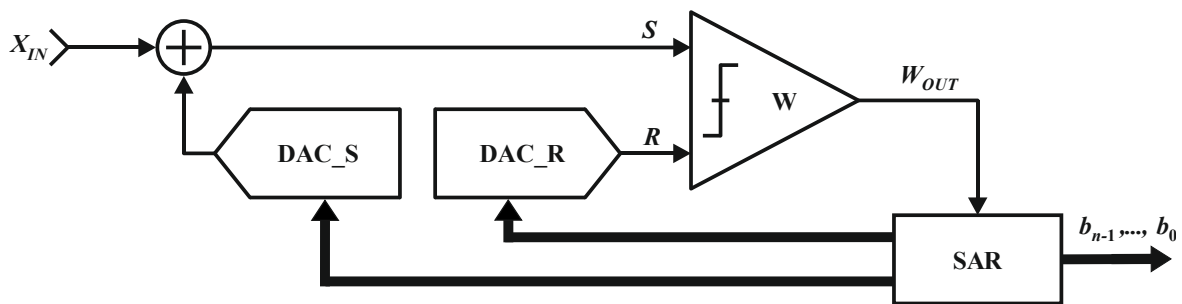


Rysunek 3.9. Przebieg konwersji pełnozakresowej monotonicznej sukcesywnej aproksymacji

Identycznie jak w obu poprzednich przypadkach wielkość mierzonego elementu X_{IN} jest podawana w postaci wyjściowego słowa cyfrowego b_{n-1}, \dots, b_0 . Podczas procesu konwersji kolejnym bitem b_{n-1}, \dots, b_0 nadawane są wartości odzwierciedlające aktualny stan sygnału W_{OUT} . Jeżeli w i-tym kroku procesu konwersji ($i = 2, 3, \dots, n+1$) sygnał źródłowy S jest większy od sygnału referencyjnego R ($S > R$), to bit b_{n-i+1} otrzymuje wartość logiczną 1. W przeciwnym przypadku bit b_{n-i+1} otrzymuje wartość logiczną 0.

Algorytm FSMSA nie wymaga przeprowadzania dekrementacji wielkości aproksymującej. Oznacza to, że raz podjęta decyzja nigdy nie jest cofana, a mimo to możliwe jest otrzymanie poprawnej wartości wyjściowego słowa cyfrowego b_{n-1}, \dots, b_0 reprezentującego mierzoną wielkość X_{IN} . Ta charakterystyczna cecha osiągnięta została m.in. poprzez użycie pomocniczego zbioru elementów referencyjnych A_{n-1}, \dots, A_0 , który jest używany do kompensacji przeszacowania ($S < R$).

Brak stosowania dekrementacji umożliwia bezpośrednie przetwarzanie nieodejmowalnych wielkości fizycznych, takich jak czas. Jeżeli zatem mierzoną wielkością X_{IN} jest jego odcinek (interwał czasu), to referencyjne odcinki czasu R_{n-1}, \dots, R_0 są wyłącznie dodawane (kolejno odcierane). W przypadku przeszacowania mierzonego interwału czasu X_{IN} jest on natomiast sztucznie wydłużany o kompensujący interwał A_k , co przywraca sytuację sprzed przeszacowania. Oczywiście zastosowanie dodatkowego zbioru elementów A_{n-1}, \dots, A_0 wiąże się nieodłącznie z koniecznością wykorzystania dodatkowych układów oraz zwiększonym zapotrzebowaniem energetycznym całego przetwornika. Pomimo tych wad, możliwość bezpośredniego przetwarzania czasu, której nie zapewnia OSA, powoduje, że i ta wersja algorytmu znajduje praktyczne zastosowanie [81].



Rysunek 3.10. Uproszczony model przetwornika pracującego zgodnie z wariantem pełnozakresowej monotonicznej sukcesywnej aproksymacji

W przedstawionej powyżej klasyfikacji wariantów metody kompensacji wagowej zwrócono szczególną uwagę na zdolność danego algorytmu do bezpośredniego przetwarzania niedekrementowalnych wielkości fizycznych. Stanowi to cenną zaletę konwersji, która pozwala uniknąć prekonwersji będącej źródłem dodatkowego błędu przetwarzania i zużywaną energią w pojedynczym cyklu pracy przetwornika. Niemniej jednak przedstawiony powyżej model wagi szalkowej nie uwzględnia w wystarczający sposób specyfiki wykorzystania poszczególnych wariantów do pomiaru długości odcinka czasu T_{IN} , który siłą rzeczy także odbywa się w czasie.

3.2. Algorytm sukcesywnego równoważenia upływu czasu STB-TDC

Algorytm sukcesywnego równoważenia upływu czasu STB-TDC (*Successive Time Balancing Time-to-Digital Conversion*) jest zdolny do bezpośredniego przetwarzania interwałów czasu T_{IN} [28-30]. W odniesieniu do zaproponowanej klasyfikacji algorytmów SA, jego sposób aproksymacji T_{IN} można przyporządkować do wariantu MSA, który nie tylko jest pozbawiony operacji odejmowania, ale również wykorzystuje tylko jeden zestaw elementów referencyjnych.

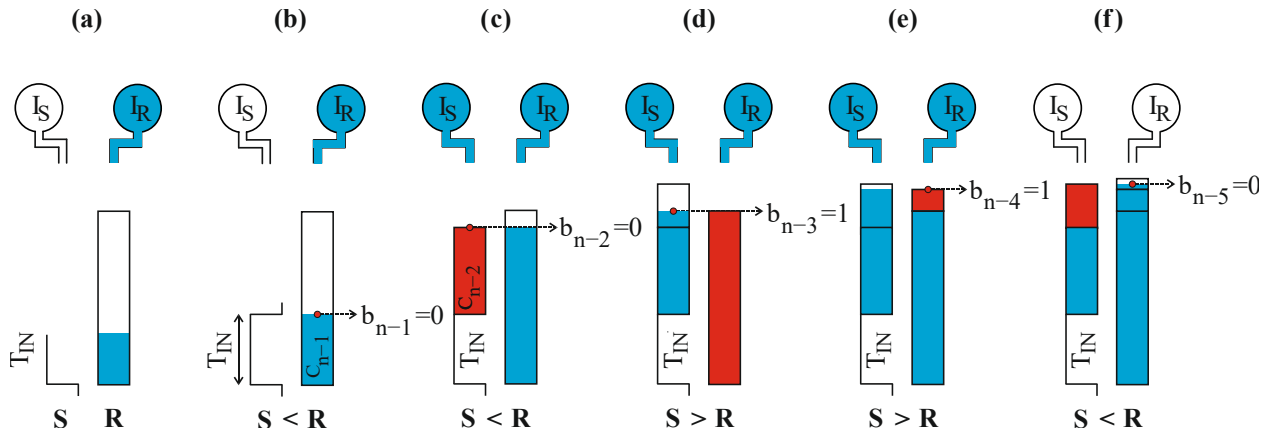
W celu przedstawienia cyklu przetwarzania algorytmu STB-TDC odstąpiono od uproszczonego modelu wagi szalkowej i wykorzystano model hydrauliczny. Jego zaletą jest możliwość zobrazowania czasu trwania zarówno odmierzanych interwałów referencyjnych jak i mierzonego interwału czasu T_{IN} , który podlega bezpośredniej konwersji.

W tym (hydraulicznym) modelu algorytm przetwarzania metodą STB-TDC jak i sposób określenia wartości bitów b_{n-1}, \dots, b_0 wyjściowego słowa cyfrowego przedstawiono jako proces wznoszenia dwóch wież: źródłowej S oraz referencyjnej R. Elementy składowe ograniczają się do jednego zbioru binarnie-skalowanych, pustych zbiorników C_{n-1}, \dots, C_0 , których pojemności są zdefiniowane jako $C_k = 2^k C_0$, dla $k = 0, \dots, n-1$.

Wieże S i R są wznoszone poprzez układanie odpowiednich pojemników referencyjnych C_{n-1}, \dots, C_0 jeden na drugim. Dla każdego procesu budowy wież, pojemniki referencyjne używane są w malejącej kolejności, zaczynając od największego C_{n-1} .

Każda wieża ma przypisaną pompę o stałej wydajności: I_S oraz I_R . Służą one do jednostajnego (stała wydajność) napełniania kolejnych pojemników referencyjnych cieczą. Dlatego czas potrzebny do napełnienia k-tego zbiornika C_k jest zawsze proporcjonalny do jego pojemności C_k .

Proces konstruowania wież rozpoczyna się w chwili pojawienia się wiodącego zbocza mierzonego interwału czasu T_{IN} (rys. 3.11a). W tej samej chwili największy z pojemników C_{n-1} jest układany na podstawie wieży referencyjnej R. Równocześnie uruchamiana jest pompa I_R i tym samym rozpoczyna się jednostajne napełnianie zbiornika C_{n-1} . Podnoszący się poziom cieczy w zbiorniku odzwierciedla wydłużający się fragment interwału czasu T_{IN} , który upłynął od pojawienia się jego przedniego zbocza.



Rysunek 3.11. Przetwarzanie metodą STB-TDC: (a) pierwszy krok przetwarzania rozpoczynający budowę wieży R; (b - c) rozpoczęcie budowy wieży S; (c-d) dodanie kolejnego zbiornika do wieży S; (d - e) dodanie kolejnego zbiornika do wieży R; (f) zakończenie procesu przetwarzania

Budowa wieży źródłowej S rozpoczyna się w chwili wykrycia tylnego zbocza mierzonego impulsu T_{IN} . W tej samej chwili największy z dostępnych zbiorników referencyjnych C_k (w przedstawionym przykładzie C_{n-2}) jest ustawiany na wysokości określonej przez długość interwału czasu T_{IN} . Równocześnie z zainstalowaniem zbiornika referencyjnego na wieży S jest uruchamiana pompa I_S , która rozpoczyna jego jednostajne napełnianie.

Wszystkie kolejne kroki przetwarzania są rozpoczynane w chwilach wykrycia napełnienia któregośkolwiek ze zbiorników referencyjnych C_{n-1}, \dots, C_0 . Pierwszą wykonywaną operacją jest określenie wartości odpowiedniego bitu. Następnie podejmowana jest decyzja o użyciu kolejnego zbiornika referencyjnego. Nadawanie wartości odpowiednim bitom słowa cyfrowego b_{n-1}, \dots, b_0 odbywa się zgodnie z poniższymi zasadami:

- Jeżeli pojemnik C_k został umieszczony na wieży S i podczas jego napełniania rozpoczęto napełniania kolejnego zbiornika na wieży R, to bit b_k otrzymuje wartość logiczną 1.
- Jeżeli pojemnik C_k został umieszczony na wieży R i podczas jego napełniania **nie** rozpoczęto napełniania kolejnego zbiornika na wieży S, to bit b_k otrzymuje wartość logiczną 1.
- w każdym innym przypadku bit b_k otrzymuje wartość logiczną 0.

Operacje określania wartości bitów b_{n-1}, \dots, b_0 oraz rozmieszczenia kolejnych zbiorników referencyjnych C_{n-1}, \dots, C_0 są wykonywane do momentu, w którym po

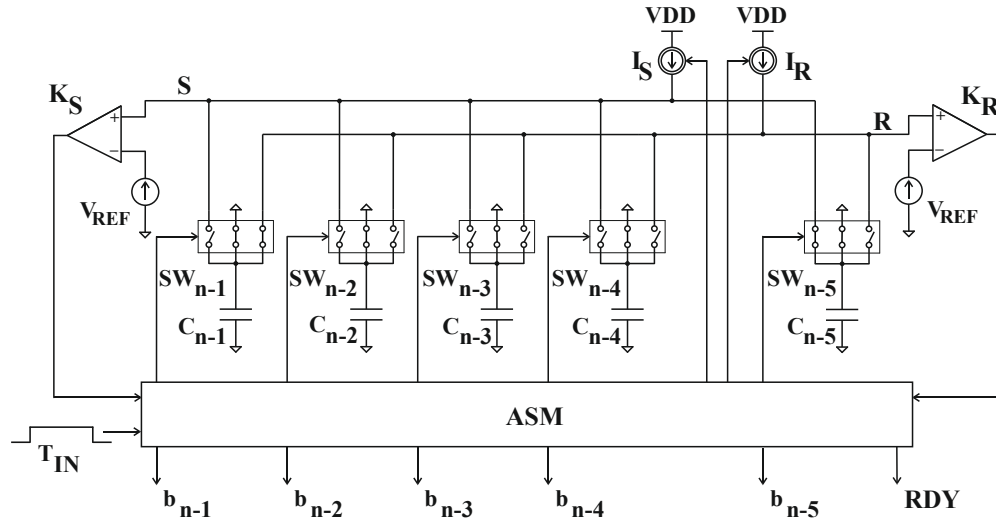
umieszczeniu zbiornika C_k na jednej z wież (S lub R) i napełnieniu go, nie pozostaje już żaden zbiornik, który mógłby zostać umieszczony na szczycie tej wieży. W przypadku pojemnika C_0 , wartość odpowiadającemu mu bitowi b_0 jest określana w taki sposób, jak gdyby istniał kolejny zbiornik referencyjny C_{-1} , którego napełnianie rozpoczęłoby się w chwili określenia bitu b_0 .

Po zakończeniu przetwarzania wysokości wież S i R są równe z dokładnością do kroku kwantyzacji (najmniejszego zbiornika), co umożliwia wyznaczenie długości mierzonego interwału czasu T_{IN} jako różnicę zbiorników referencyjnych zgromadzonych na każdej z wież. Relacja ta została opisana zależnością (3.3). W przedstawionym modelu są widoczne charakterystyczne cechy zastosowanego wariantu sukcesywnej aproksymacji MSA [31]. Podczas procesu konwersji nie występuje sytuacja, w której koniecznym byłoby usunięcie któregośkolwiek zbiornika referencyjnego C_k (tj. usunięcie referencyjnego odcinka czasu, który siłą rzeczy już upłynął). Cecha ta pozwala na przetwarzanie analogowo-cyfrowe długości interwału czasu T_{IN} w sposób bezpośredni.

3.3. Układowa implementacja algorytmu sukcesywnego równoważenia upływu czasu STB-TDC

Opisany w poprzedniej sekcji model przetwarzania wyjaśnia sposób bezpośredniego konwertowania mierzonego interwału czasu na słowo cyfrowe. Przedstawienie drugiej niezwykle istotnej cechy opracowanego rozwiązania, jaką jest zdolność w pełni asynchronicznego, bezzegarowego funkcjonowania, wymaga jednak wprowadzenia implementacji układowej algorytmu STB-TDC.

Schemat elektroniczny przetwornika STB-TDC przedstawiono na rys. 3.12. Jego składowe stanowią: jeden zestaw binarnie-skalowanych pojemności referencyjnych C_{n-1}, \dots, C_0 , dwa źródła prądowe I_S, I_R o identycznej wydajności, dwa komparatory K_R, K_S , referencyjne źródło napięcia V_{REF} , zestaw analogowych kluczy SW_{n-1}, \dots, SW_0 oraz asynchroniczna maszyna stanów ASM, która nadzoruje pracę przetwornika.



Rysunek 3.12. Schemat przetwornika STB-TDC

W stanie relaksacji, gdy przetwornik oczekuje na pojawienie się mierzonego impulsu T_{IN} szyny S i R są zwarte z masą. Zapobiega to gromadzeniu się na nich przypadkowych ładunków, które potencjalnie mogłyby zaburzyć dokładność przetwarzania. Połączenie szyn z masą umożliwiają klucze SW_{n-1} oraz SW_0 .

Proces konwersji rozpoczyna się wraz z pojawieniem się przedniego zbocza mierzonego interwału czasu T_{IN} (rys. 3.13a). W pierwszej kolejności asynchroniczny automat sterujący ASM odłącza szynę R od masy i podłącza do niej największy kondensator C_{n-1} za pomocą klucza SW_{n-1} . Następnie włączane jest źródło prądowe I_R , które rozpoczyna dostarczanie ładunku do kondensatora, powodując liniowe narastanie napięcia między jego okładkami i tym samym również na szynie referencyjnej R (rys. 3.14).

Pojawienie się tylnego zbocza interwału czasu T_{IN} również inicjuje wykonanie dwóch operacji. Po pierwsze, poprzez klucz SW_k do szyny S jest podłączany największy z niewykorzystanych jeszcze kondensatorów C_k ($k < n - 1$). Natychmiast po tym jest włączane źródło prądowe I_S , co tak jak w przypadku szyny R powoduje liniowe narastanie napięcia między jego okładkami jak i na szynie źródłowej S (rys. 3.13b).

Gdy napięcie na aktualnie ładowanym kondensatorze zrówna się z wartością napięcia referencyjnego V_{REF} , właściwy komparator (K_R lub K_S) przekazuje tę informację do maszyny sterującej ASM. Układ ten przypisuje wówczas w dwie operacje. Pierwszą z nich jest nadanie wartości odpowiedniemu bitowi zgodnie z poniższym algorytmem:

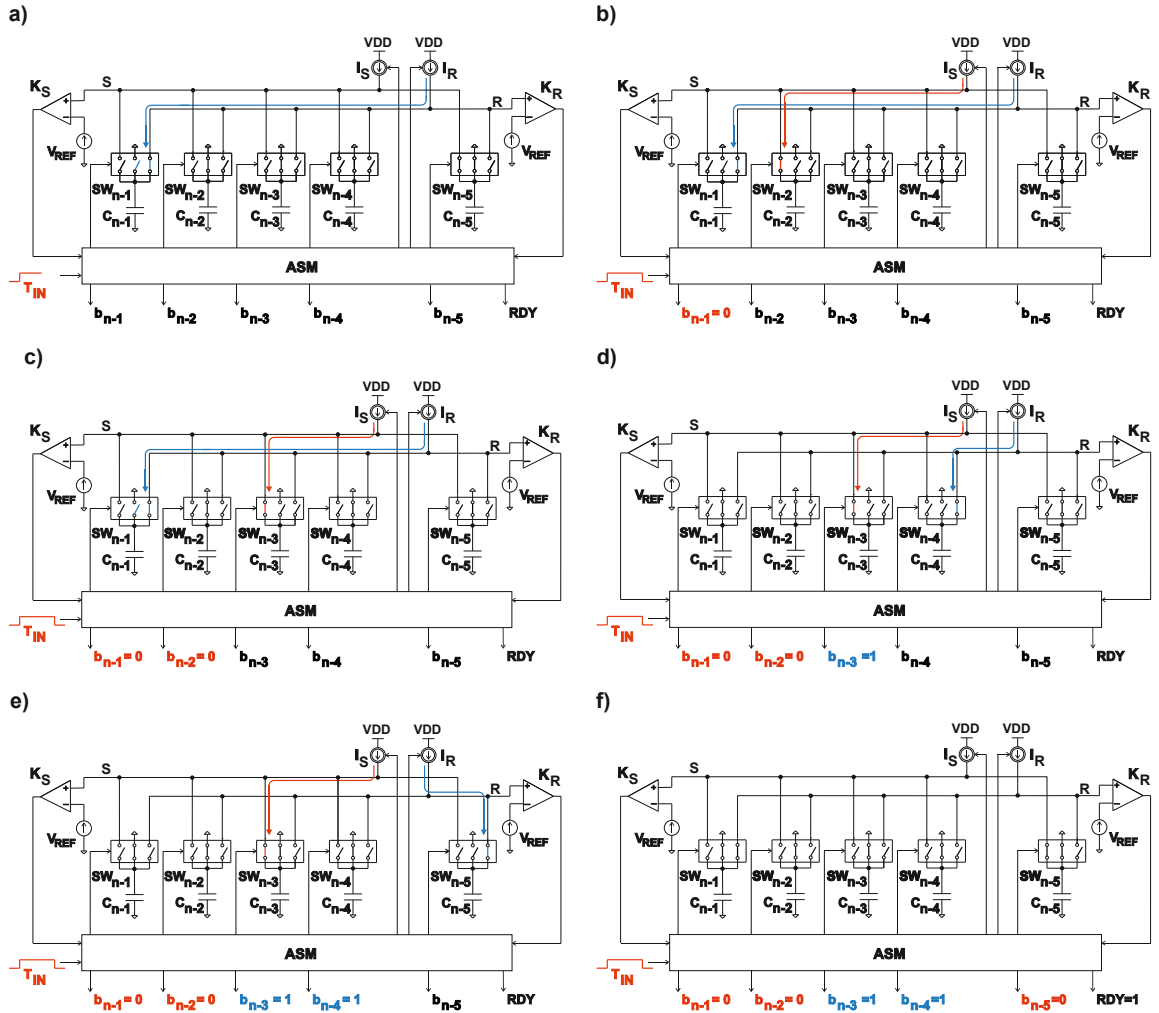
- jeżeli kondensator C_k został podłączony do szyny źródłowej S i podczas jego ładowania rozpoczęło ładowanie kondensatora na szynie R, to bit b_k otrzymuje wartość logiczną 1: $b_k = 1$ (rys. 3.13c-d),
- jeżeli kondensator C_k został podłączony do szyny referencyjnej R i podczas jego ładowania **nie** rozpoczęło ładowania kondensatora na szynie S, bo bit b_k otrzymuje wartość logiczną 1: $b_k = 1$ (rys. 3.13d-e),
- w każdym innym przypadku, bit b_k otrzymuje wartość logiczną 0: $b_k = 0$ (rys. 3.13a, b, f).

Jak już to wcześniej wyjaśniono (podrozdział 3.3), wyjątek od powyższych zasad stanowi bit b_0 , ponieważ jest on przypisany do kondensatora C_0 będącego ostatnim w sekwencji. Dlatego w tym przypadku wartość bitu b_0 jest ustalana w taki sposób, jak gdyby istniał kolejny kondensator C_{-1} , który zostałby użyty w następnej kolejności (rys. 3.13f).

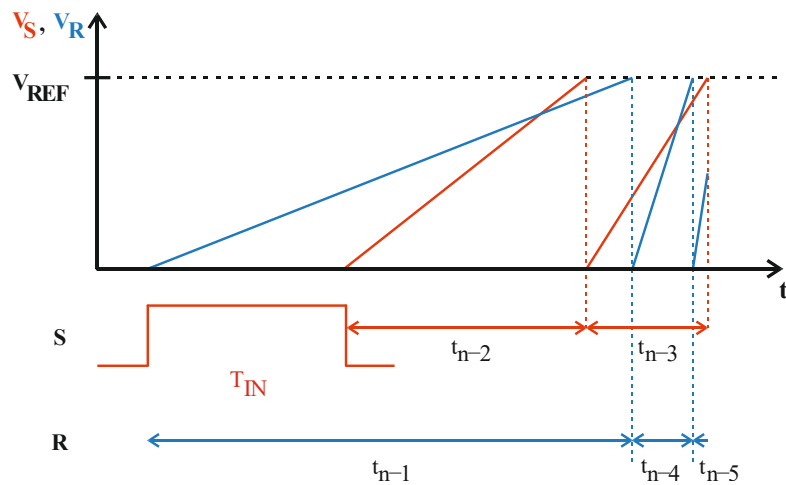
Po wykonaniu powyższych czynności górna okładka kondensatora C_k jest odłączana od szyny i łączona z masą. Równocześnie do tej samej szyny jest podłączany kolejny kondensator (przy założeniu, że naładowany kondensator nie jest ostatnim). Oczywiście, niekoniecznie musi to być kondensator C_{k-1} , ponieważ ten mógł już zostać wykorzystany. Procedura podłączania, ładowania oraz odłączania kondensatorów jest powtarzana do wyczerpania zbioru elementów referencyjnych.

Opisana powyżej sekwencja pokazuje w jaki sposób w przetworniku STB-TDC osiągnięto właściwość samotaktowania (*self-clocking*). Po otrzymaniu informacji o skończonym ładowaniu pojemności C_k , automat sterujący ASM decyduje o jego zastąpieniu kolejnym kondensatorem. W późniejszym kroku przetwarzania ten nowo podłączony do szyny kondensator spowoduje reakcję komparatora a za jego pośrednictwem - automatu sterującego ASM (rys. 3.15).

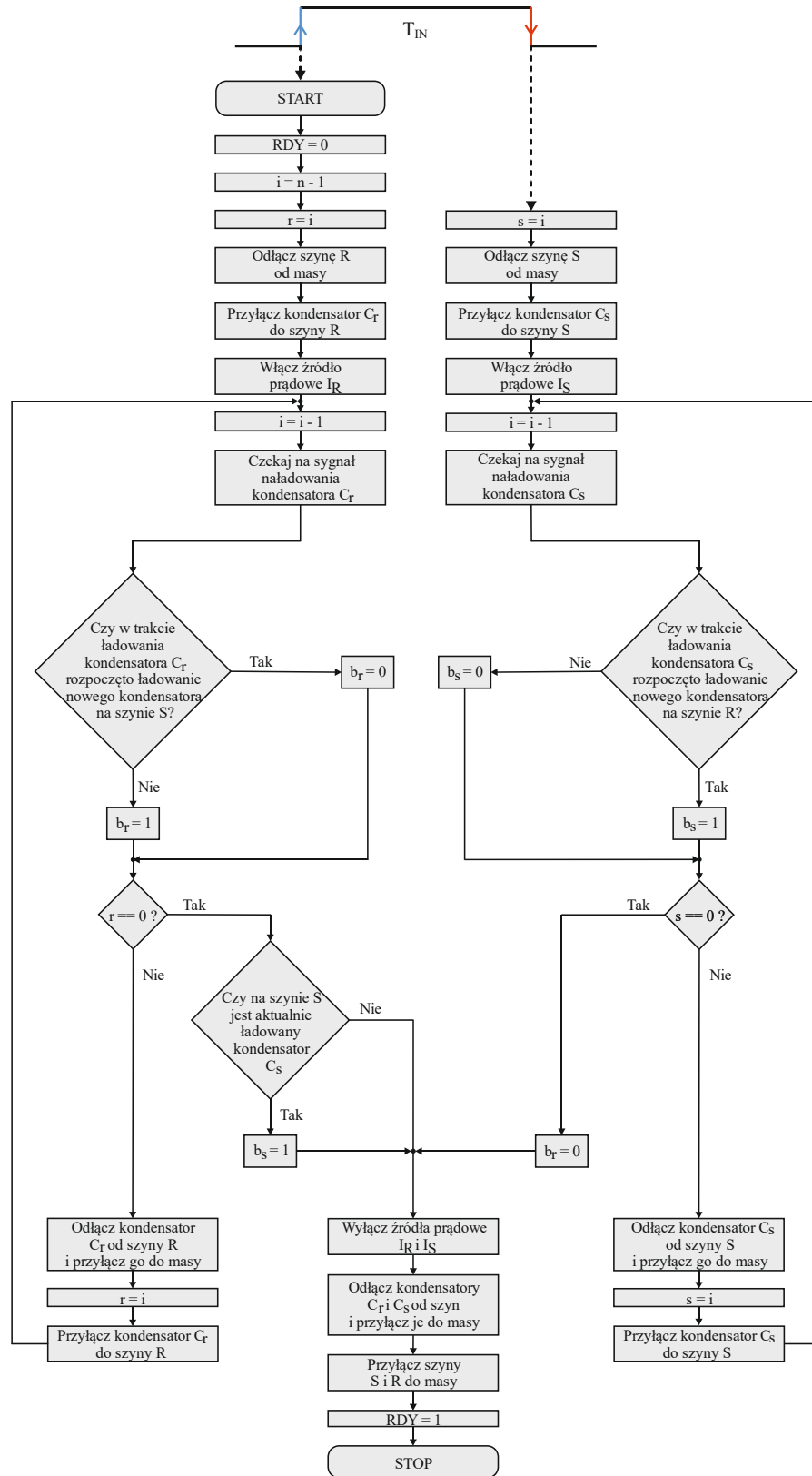
Wraz z zakończeniem przetwarzania wyjście RDY ustawiane jest w stan wysoki, sygnalizując gotowość wyjściowego słowa cyfrowego b_{n-1}, \dots, b_0 . Równocześnie następuje wyłączenie źródeł prądowych oraz zwarcie szyn do mas poprzez klucze SW_7, SW_0 . Przetwornik przejdzie następnie w stan relaksacji oczekując na pojawienie się wiodącego zbocza kolejnego interwału T_{IN} . Do tego czasu bity b_{n-1}, \dots, b_0 pozostają zatrzaśnięte w rejestrze wyjściowym.



Rysunek 3.13. Przykładowe stany przetwornika STB-TDC podczas przetwarzania



Rysunek 3.14. Przykładowe przebiegi napięcia na szynach; linia niebieska: R, linia czerwona: S



Rysunek 3.15. Diagram przepływu algorytmu STB-TDC

3.4. Badania symulacyjne układowego modelu przetwornika STB-TDC

Weryfikację układowego modelu przetwornika STB-TDC (na poziomie ideowego schematu elektronicznego) przeprowadzono w środowisku Cadence® Virtuoso (wersja IC6.1.8). Część analogową zaprojektowano za pomocą idealnych elementów wchodzących w skład standardowej biblioteki *analoglib*. Działanie asynchronicznego automatu sterującego zaimplementowano w języku Verilog-A. Na wykorzystanie właśnie tego języka opisu sprzętu HDL (*Hardware Description Language*) zdecydowano się ze względu na konieczność uzyskania pełnej kontroli nad sekwencyjnością wykonywanych operacji w sytuacji posługiwania się wyidealizowanymi elementami konstrukcyjnymi o zerowym opóźnieniu propagacyjnym.

W uproszczonym modelu zbudowanym z elementów idealnych aspekty technologiczne mogą zostać pominięte. Niemniej jednak już na tym etapie niektóre parametry układu muszą zostać racjonalnie oszacowane w taki sposób, aby ich osiągnięcie było możliwe w rzeczywistej mikrostrukturze. Należy przy tym zaznaczyć, że metoda STB-TDC jest przeznaczona do pomiaru stosunkowo długich interwałów czasu (rzędu mikrosekundy) wykorzystywanych np. w medycynie czy też pomiarach środowiskowych.

Zdecydowano, że układ zostanie wykonany w technologii UMC 0,18 μm . W celu zapewnienia dobrego dopasowania elementów (*circuit matching*) i odporności na rozrzut technologiczny (*technological variations*), elementy analogowe powinny być stosunkowo dużych rozmiarów [82-86]. W szczególności dotyczy to fizycznej matrycy pojemności referencyjnych C_{n-1}, \dots, C_0 [87]. Matryce te w przypadku braku dodatkowych mechanizmów kompensacji często wyznaczają granicę rozdzielczości przetwarzania [82, 88-90]. Uwzględniając powyższe, przyjęto:

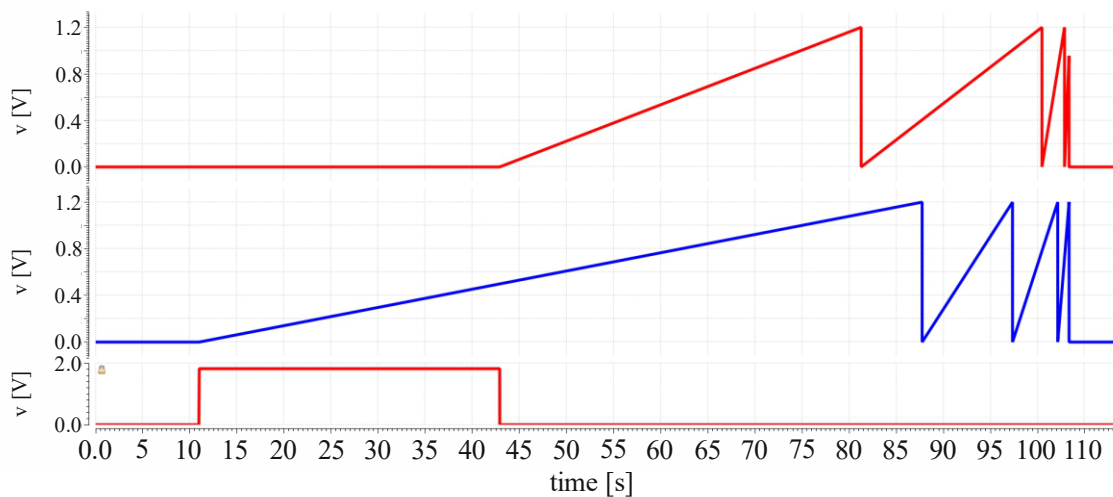
- 8-bitową rozdzielczość przetwornika,
- wartość pojemności jednostkowej C_0 równą 500 fF,
- napięcie referencyjne V_{REF} równe 1,2 V, co jest typową wartością dla rzeczywistych rozwiązań w technologii UMC 0,18 μm [90-96],
- wartość prądu źródeł I_S, I_R równą 1 μA .

Zatem jednostkowy interwał czasu T_0 , w projektowanym układzie będzie wynosił:

$$T_0 = \frac{V_{REF} \cdot C_0}{I_{R(S)}} = 600ns, \quad (3.7)$$

natomiast zakres przetwarzania przetwornika STB-TDC będzie równy $153,6 \mu s$.

Weryfikacja poprawności funkcjonowania układu została przeprowadzona z wykorzystaniem narzędzia *Virtuoso Analog Design Environment XL*. Zamodelowanie asynchronicznego automatu sterującego ASM w języku Verilog-A narzuciło mieszany typ symulacji (*Mixed - Mode Simulation*). Na rys. 3.16 przedstawiono uzyskane wyniki dla symulacji, w której konwersji poddano impuls wejściowy T_{IN} o długości $31,9 \mu s$. Otrzymany wynik cyfrowy b_7, \dots, b_0 wynosi 00110101 i jest zgodny z przewidywanym.

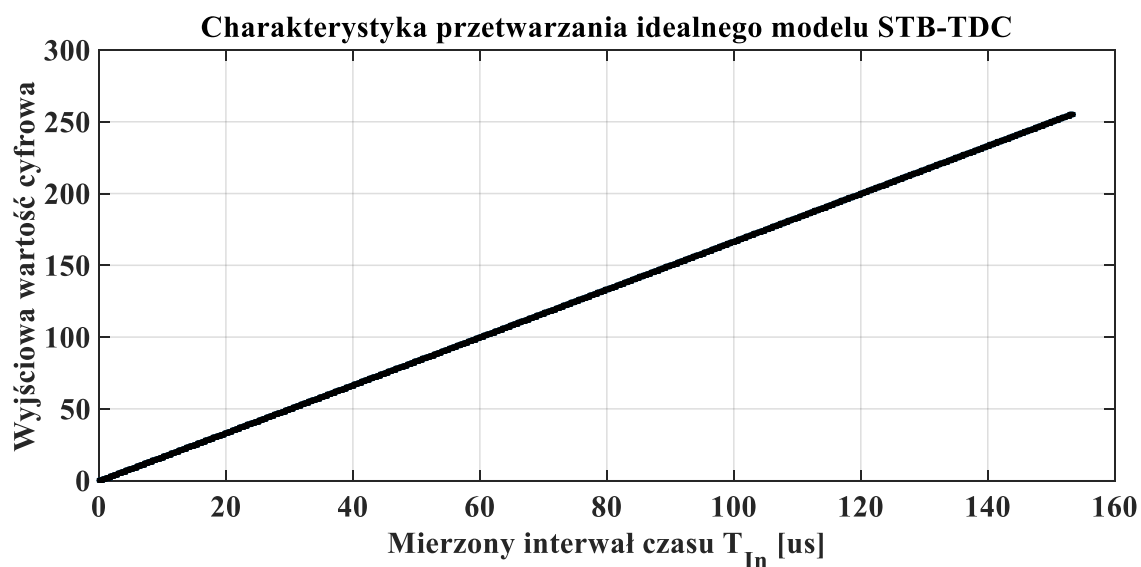


Rysunek 3.16. Konwersja mierzonego interwału czasu T_{IN} o długości $31,9 \mu s$

Przetwornik STB-TDC rozpoczyna proces bezpośredniej aproksymacji czasu dokładnie w chwili pojawienia się przedniego zbocza impulsu T_{IN} i nie przeprowadza on żadnej wstępnej konwersji (*preconversion*). Ładunki dostarczane przez źródła prądowe o stałej wydajności powodują liniowe narastanie napięcia na okładkach kolejnych kondensatorów C_7, \dots, C_0 . Nagłe spadki napięcia wskazują momenty, w których naładowany kondensator C_k jest zastępowany kolejnym.

Na podstawie 3080 różnych długości wejściowego interwału czasu T_{IN} wykreślono charakterystykę przetwarzania (rys. 3.17). Aby dokładnie przetestować cały zakres przetwarzania układu na jego wejście podano serię interwałów czasu, z których najkrótszy trwał $1 ns$ i był zwiększany o kolejne $50 ns$ w każdym cyklu pętli, aż do osiągnięcia wartości $154 \mu s$.

Otrzymane wyniki symulacyjne potwierdziły, że na poziomie ideowym przy zastosowaniu elementów idealnych badana struktura bezpośredniego, samotaktującego przetwornika STB-TDC jest w pełni sprawna funkcjonalnie i nie wykazuje żadnych błędów. Charakterystyka przetwarzania jest liniowa, a błąd kwantyzacji pokrywa się z teoretyczną krzywą schodkową przetwarzania.



Rysunek 3.17. Wynikowa charakterystyka przetwarzania wykreślona na podstawie 3080 próbek w zakresie od 1 ns do 154 μ s

4. Czas przetwarzania metodą STB-TDC

Przetwarzanie metodą STB-TDC jest zupełnie nowym sposobem pomiaru interwału czasu. Jednym z najważniejszych parametrów charakteryzujących jej wydajność jest czas przetwarzania T_C , wyrażony w funkcji długości mierzonego interwału czasu $T_C(T_{IN})$. W niniejszym rozdziale wyznaczono w sposób analityczny zależność opisującą wielkość omawianego parametru. Podobna analiza została przeprowadzona dla innego typu przetwornika TDC w pracy [97]. Otrzymane parametry dodatkowo zweryfikowano przy pomocy skonstruowanego w tym celu modelu behawioralnego.

4.1. Czas przetwarzania metodą STB-TDC wyznaczony analitycznie

Proces przetwarzania STB-TDC rozpoczyna się w chwili wykrycia przedniego zbocza interwału wejściowego T_{IN} , a kończy się po wykorzystaniu wszystkich kondensatorów referencyjnych C_{n-1}, \dots, C_0 przetwornika. Zgodnie z opisem przedstawionym w rozdziale 5.3, mierzony interwał czasu T_{IN} jest aproksymowany różnicą referencyjnych odcinków czasu T_{n-1}, \dots, T_0 odmierzonych za pomocą obu szyn S i R. Jednocześnie, suma długości mierzonego interwału T_{IN} i odcinków referencyjnych wyznaczonych za pomocą szyny S – T_S oraz odcinków referencyjnych wyznaczonych za pomocą szyny R – T_R są sobie równe z dokładnością do kroku kwantyzacji T_0 . Obrazowo przedstawia to ostatecznie prawie identyczna wysokość obu wież w modelu przetwarzania (rys. 3.11f). Biorąc pod uwagę, że określenie wartości ostatniego bitu b_0 jest równoznaczne z zakończeniem przetwarzania (jeden z kondensatorów nie musi zostać całkowicie naładowany), czas konwersji T_C przetwornika STB-TDC można opisać jako:

$$T_C = \min\{T_S, T_R\} \quad (4.1)$$

Najdłuższy odcinek referencyjny $T_{n-1} = T_k \cdot 2^{n-1}$ jest zawsze odmierzany za pomocą szyny referencyjnej R. Na podstawie przedstawionego algorytmu STB-TDC podejmowania decyzji o rozpoczęciu odmierzania następnego referencyjnego odcinka czasu T_{k-1} (podłączaniu następnego kondensatora), całkowity czas odmierzony za pomocą szyny referencyjnej R w ramach jednego cyklu przetwarzania wynosi:

$$T_R = T_{n-1} + \sum_{k=1}^{n-1} b_k T_{k-1} = 2^{n-1} T_0 + \sum_{k=1}^{n-1} b_k T_{k-1} \quad (4.2)$$

gdzie bit b_k , związany z kondensatorem referencyjnym C_k , wskazuje za pomocą której szyny: S ($b_k = 0$) czy R ($b_k = 1$) został odmierzony referencyjny odcinek czasu T_{k-1} .

Mając na uwadze, że zakres przetwarzania rozważanego przetwornika wynosi T , a maksymalna długość interwału wejściowego T_{IN} wynosi:

$$T = 2^n \cdot T_0, \quad (4.3)$$

równanie (4.2) można zapisać w postaci:

$$T_R = \frac{T}{2} + \sum_{k=1}^{n-1} b_k T_{k-1} \quad (4.4)$$

Jednocześnie, zakładając, że miarą czasu trwania impulsu wejściowego T_{IN} podającą jego długość z dokładnością błędu kwantyzacji t_B jest binarne słowo cyfrowe B , prawdą jest że:

$$BT_0 = \sum_{k=0}^{n-1} b_k 2^k T_0 = \sum_{k=0}^{n-1} b_k T_k = T_{In} + t_B = T_{In,B} \quad (4.5)$$

gdzie $T_{In,B}$ jest skwantowaną (zaokrągloną w dół) długością impulsu wejściowego o rzeczywistym czasie trwania T_{IN} .

Zgodnie z powszechnie stosowaną zasadą niedoważania wyniku w przetwornikach analogowo-cyfrowych, wartość błędu t_B występującą w zależności (4.5) można opisać następującymi nierównościami:

$$t_B \leq 0 \quad (4.6)$$

$$|t_B| < T_0 \quad (4.7)$$

Ponieważ dla każdego k spełniającego warunek $1 \leq k \leq n-1$ zachodzi:

$$T_{k-1} = 2^{k-1} T_0 = \frac{2^k}{k} T_0 = \frac{T_k}{2} \quad (4.8)$$

to sumę z zależności (4.4) można zapisać w postaci:

$$\sum_{k=1}^{n-1} b_k T_{k-1} = \sum_{k=1}^{n-1} b_k \frac{T_k}{2} = \frac{1}{2} \sum_{k=1}^{n-1} b_k T_k = \frac{T_{In}}{2} + t_{BHf} = T_{In,BHf} \quad (4.9)$$

gdzie t_{BHf} jest błędem kwantyzacji połowy długości impulsu wejściowego $T_{In}/2$ wyrażonej za pomocą pomniejszonej o jeden liczby bitów b_{n-1}, \dots, b_1 i przypisanych im dwukrotnie

zmniejszonych wag, a $T_{In,BHf}$ jest skwantowaną według tej zasady połową długości impulsu wejściowego o rzeczywistym czasie trwania $T_{In}/2$.

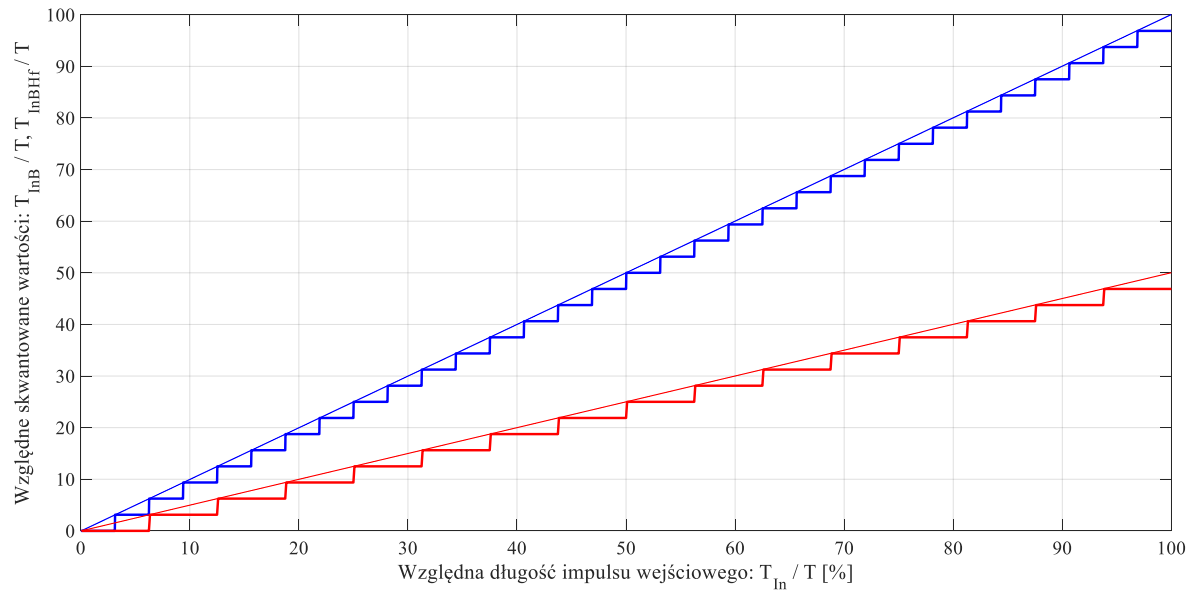
Powyższa sytuacja dla liczby bitów $n = 5$ przedstawiono na rys. 4.1. Należy zwrócić uwagę, że błędy kwantyzacji t_B oraz t_{BHf} nie są tożsame. Przebieg ich zmienności w funkcji względnej długości impulsu wejściowego T_{In}/T przedstawiono na rys. 4.2, a zależność między nimi jest następująca:

$$t_{BHf} = \begin{cases} \frac{t_B}{2}, & \text{dla } b_0 = 0 \\ \frac{t_B - T_0}{2}, & \text{dla } b_0 = 1 \end{cases} \quad (4.10)$$

Na podstawie powyższej formuły oraz korzystając z równań (4.6) i (4.7) można stwierdzić, że:

$$t_{BHf} \leq 0 \quad (4.11)$$

$$|t_{BHf}| < T_0 \quad (4.12)$$



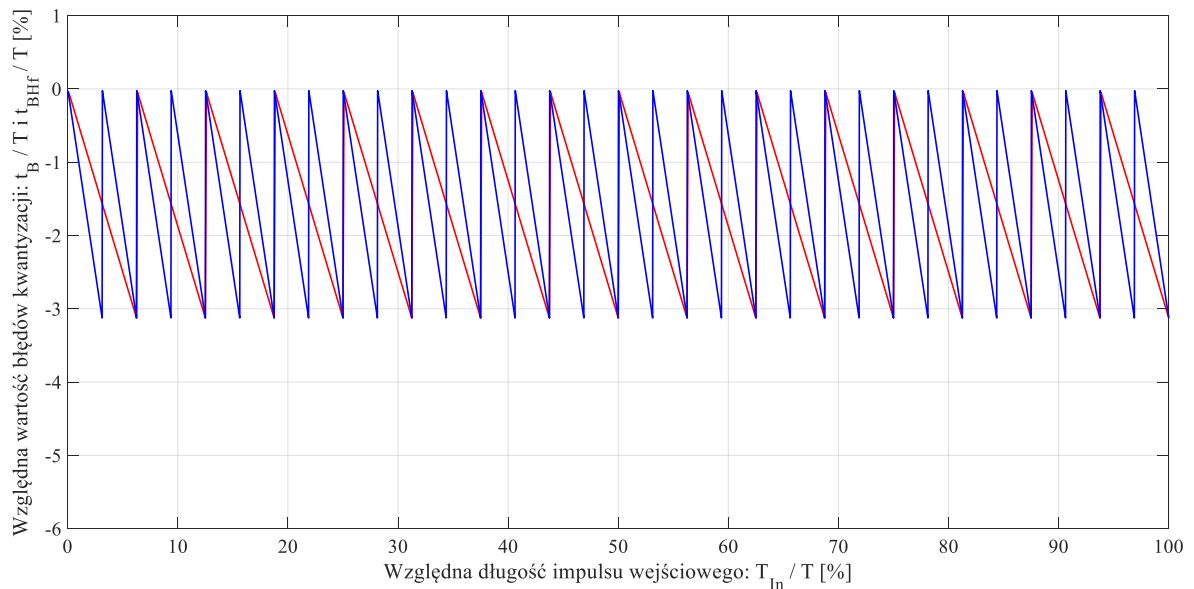
Rysunek 4.1. Wartość składnika sumy czasu odmierzonego na szynie R odniesiona do zakresu przetwarzania dla przetwornika o liczbie bitów $n = 5$; linia niebieska – skwantowana wartość czasu trwania impulsu wejściowego $T_{In,B}$, linia czerwona – skwantowana wartość połowy czasu trwania impulsu wejściowego $T_{In,BHf}$

Korzystając z zależności (4.9) sumaryczny czas odmierzony za pomocą szyny referencyjnej R dany równaniem (4.4) można zapisać w postaci:

$$T_R = \frac{T}{2} + \frac{T_{In}}{2} + t_{BHf} \quad (4.13)$$

Jego wielkość odniesioną do zakresu przetwarzania T i wykreśloną dla układu 4-bitowego w funkcji względnej długości impulsu wejściowego T_{In}/T przedstawiono na rys. 4.3. Wysokość skoku jednostkowego otrzymanej krzywej schodkowej odpowiada maksymalnej wartości błędu kwantyzacji t_{BHf} i jest odwrotnie proporcjonalna do liczby bitów przetwornika. W szczególności, gdy $n \rightarrow \infty$ wyrażenie (4.13) przyjmuje postać:

$$\lim_{n \rightarrow \infty} (T_R) = \frac{T + T_{In}}{2} \quad (4.14)$$



Rysunek 4.2. Względna wartość błędów kwantyzacji dla przetwornika o liczbie bitów $n = 5$; linia niebieska – t_B/T , linia czerwona – t_{BHf}/T

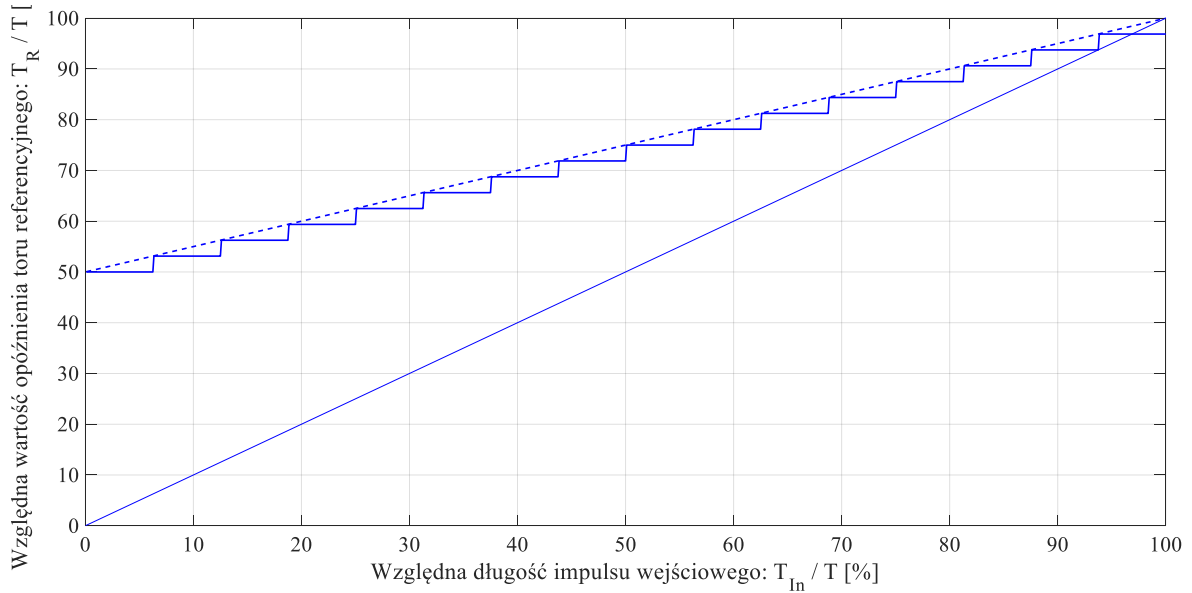
Uproszczona zależność (4.14) aproksymuje dokładne wyrażenie (4.13) z błędem nieprzekraczającym 1 % już dla układu o liczbie bitów $n = 7$. Ponadto zawsze prawdziwa jest nierówność:

$$\lim_{n \rightarrow \infty} (T_R) \geq T_R \quad (4.15)$$

Oznacza to, że stosowanie uproszczonej formuły (4.14) do określenia czasu, po którym z całą pewnością zostanie określony wynik procesu przetwarzania jest nie tylko wygodniejsze, ale i całkowicie bezpieczne.

Każdy referencyjny odcinek czasu, który nie został odmierzony za pomocą szyny referencyjnej R, a zatem odpowiadający bitowi $b_k = 0$ jest odmierzany za pomocą szyny S. Zatem sumaryczny czas odmierzony za pomocą szyny sygnałowej S można zapisać jako:

$$T_S = T_{In} + \sum_{k=1}^{n-1} (1 - b_k)T_{k-1} \quad (4.16)$$



Rysunek 4.3. Względna długość czasu odmierzonego za pomocą szyny referencyjnej T_R/T ; krzywa schodkowa – liczba bitów $n = 5$, linia przerywana – liczba bitów $n \rightarrow \infty$

Zgodnie z regułami zapisu binarnego oraz pokrycia zakresu przetwarzania od 0 do T przez wykorzystywaną przestrzeń kodową jasne jest, że:

$$\begin{aligned} \sum_{k=0}^{n-1} b_k T_k + \sum_{k=0}^{n-1} (1 - b_k) T_k &= \sum_{k=0}^{n-1} b_k 2^k T_0 + \sum_{k=0}^{n-1} (1 - b_k) 2^k T_0 = \\ &= (2^n - 1) T_0 = T - T_0 \end{aligned} \quad (4.17)$$

Podobna zależność obowiązuje dla sumy będącej składnikiem równania (4.16):

$$\begin{aligned} \sum_{k=1}^{n-1} b_k T_{k-1} + \sum_{k=1}^{n-1} (1 - b_k) T_{k-1} &= \sum_{k=1}^{n-1} b_k 2^{k-1} T_0 + \sum_{k=1}^{n-1} (1 - b_k) 2^{k-1} T_0 = \\ &= (2^{n-1} - 1) T_0 = \frac{T}{2} - T_0 \end{aligned} \quad (4.18)$$

Wprowadzając zależność (4.9) do równania (4.18) sumę będącą składnikiem wyrażenia (4.16) można zapisać jako:

$$\sum_{k=1}^{n-1} (1 - b_k) T_{k-1} = \frac{T}{2} - T_0 - T_{In,BHf} = \frac{T - T_{In}}{2} - T_0 - t_{BHf} \quad (4.19)$$

Korzystając z zależności (4.16) oraz (4.19) czas odmierzony za pomocą szyny S, liczony od chwili rozpoczęcia przetwarzania, można zapisać w postaci:

$$T_S = \frac{T}{2} + \frac{T_{In}}{2} - T_0 - t_{BHf} \quad (4.20)$$

Wyrażenie opisujące długość czasu T_S (4.20) jest bardzo podobne do jego odpowiednika dla czasu T_R (4.13). Składnikiem różniącym obie funkcje jest zawarta w nich część błędu kwantowania, który tym razem przyjmuje postać $-T_0 - t_{BHf}$. Należy zwrócić uwagę, że na podstawie (4.11) i (4.12) otrzymuje się:

$$-T_0 - t_{BHf} \leq 0 \quad (4.21)$$

$$|-T_0 - t_{BHf}| < T_0 \quad (4.22)$$

Względna wielkość czasu T_S odniesioną do zakresu przetwarzania T i wykreśloną dla 4-bitowego przetwornika w funkcji względnej długości impulsu wejściowego T_{In}/T przedstawiono na rys. 4.4.

Podobnie, jak w przypadku czasu T_R , i tym razem wysokość powtarzającego się „skoku” otrzymanej funkcji odpowiada maksymalnej wartości błędu kwantyzacji t_{BHf} i zgodnie z zależnością (4.12) jest odwrotnie proporcjonalna do liczby bitów n wyjściowego słowa cyfrowego B . W szczególności, dla $n \rightarrow \infty$ wyrażenie (4.20) przyjmuje postać:

$$\lim_{n \rightarrow \infty} (T_S) = \frac{T + T_{In}}{2} = \lim_{n \rightarrow \infty} (T_R) \quad (4.23)$$

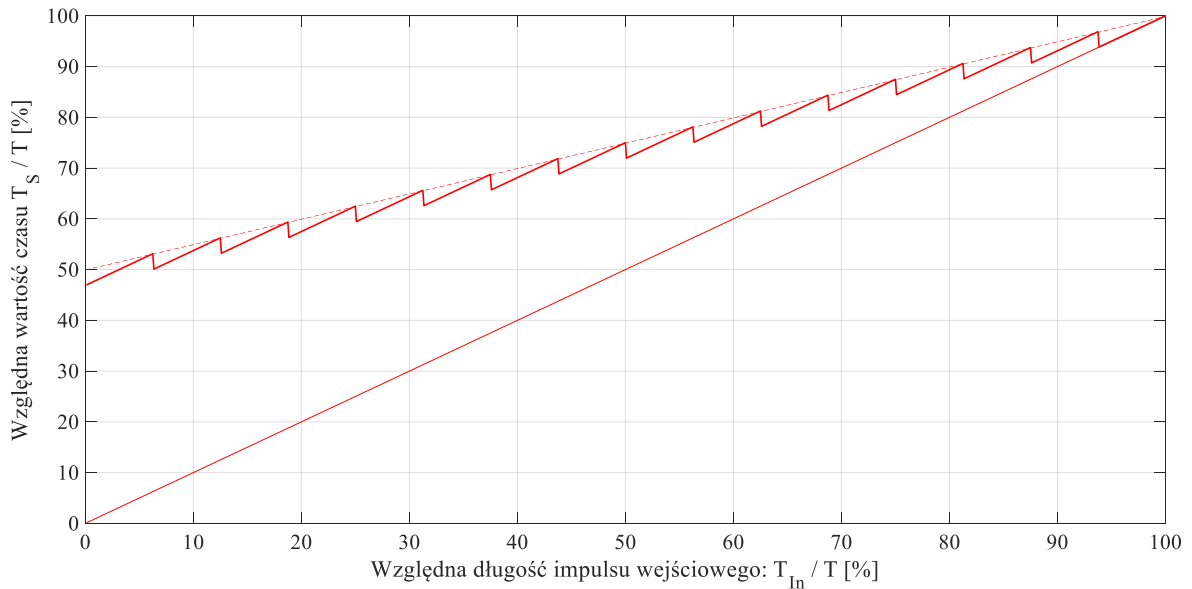
Prawdziwa jest również relacja będąca odpowiednikiem zależności (4.15), otrzymanej wcześniej dla czasu T_R oraz związane z nią wnioski:

$$\lim_{n \rightarrow \infty} (T_S) \geq T_S \quad (4.24)$$

Na podstawie zależności (4.1) oraz równań (4.13) i (4.20) czas przetwarzania T_C można zapisać następująco:

$$T_C = \min \left\{ \frac{T}{2} + \frac{T_{In}}{2} - T_0 - t_{BHf}, \frac{T}{2} + \frac{T_{In}}{2} + t_{BHf} \right\} \quad (4.25)$$

$$T_C = \frac{T + T_{In}}{2} + \min\{-T_0 - t_{BHf}, t_{BHf}\} \quad (4.26)$$



Rysunek 4.4. Względna wartość czasu odmierzonego za pomocą szyny źródłowej T_S/T ; krzywa piłokształtna – liczba bitów $n = 5$, linia przerywana – liczba bitów $n \rightarrow \infty$

Krzywą względnej wartości czasu przetwarzania T_C/T , otrzymaną zgodnie z powyższą zależnością dla układu 4-bitowego, wykreślono na rys. 4.5 linią fioletową. Dodatkowo zaznaczono oba składniki kształtujące jej przebieg: względny czas odmierzony za pomocą szyny referencyjnej T_R/T oraz względny czas odmierzony za pomocą szyny źródłowej, odniesione do momentu rozpoczęcia przetwarzania T_S/T .

Wyrażenie (4.25) opisujące czas przetwarzania T_C , podobnie jak zależności otrzymane dla czasów T_R i T_S , można uniezależnić od liczby bitów układu i wynikającej z niej wielkości błędu kwantyzacji t_{BHf} , wyznaczając granicę dla $n \rightarrow \infty$ i posługując się wyrażeniami (4.14) i (4.23):

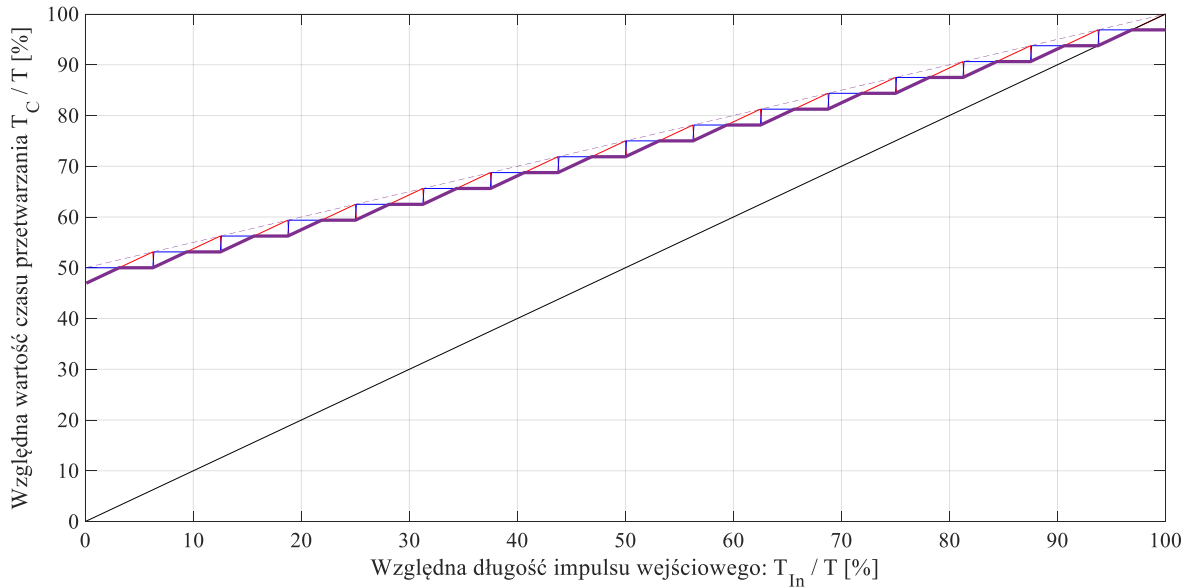
$$\lim_{n \rightarrow \infty} (T_C) = \min\left\{\lim_{n \rightarrow \infty} (T_S), \lim_{n \rightarrow \infty} (T_R)\right\} = \frac{T + T_{In}}{2} \quad (4.27)$$

Uzyskaną w ten sposób prostą graniczną zaznaczono na rys. 4.5 linią przerywaną. Jako uogólniona miara wielkości czasu przetwarzania T_C danego rodzaju układu może służyć graniczna wartość tego parametru: minimalna T_{C_min} , maksymalna T_{C_max} i średnia T_{C_avg} . Ich wartości wynoszą:

$$T_{C_min} = \lim_{n \rightarrow \infty} (T_C(T_{In} = 0)) = \frac{T}{2} \quad (4.28)$$

$$T_{C_max} = \lim_{n \rightarrow \infty} (T_C(T_{In} = FSR)) = T \quad (4.29)$$

$$T_{C_avg} = \frac{1}{T} \int_0^T \lim_{n \rightarrow \infty} (T_C(T_{In})) dT_{In} = \frac{3}{4}T \quad (4.30)$$



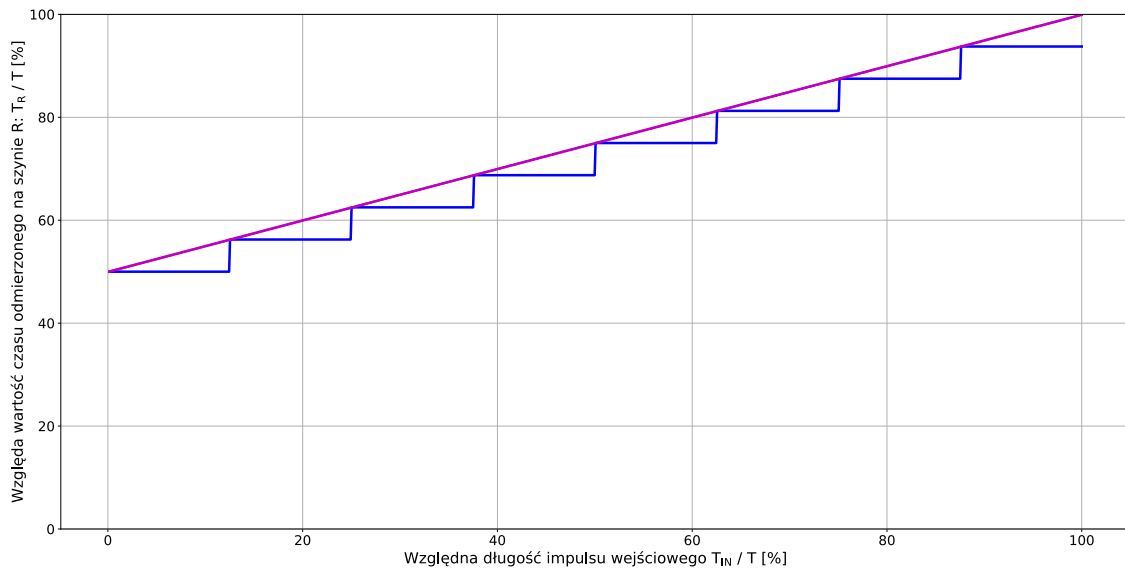
Rysunek 4.5. Względna długość czasu przetwarzania T_C ; linia fioletowa – liczba bitów $n = 5$, linia przerywana – liczba bitów $n \rightarrow \infty$

4.2. Czas przetwarzania metodą STB-TDC wyznaczony z wykorzystaniem modelu behawioralnego

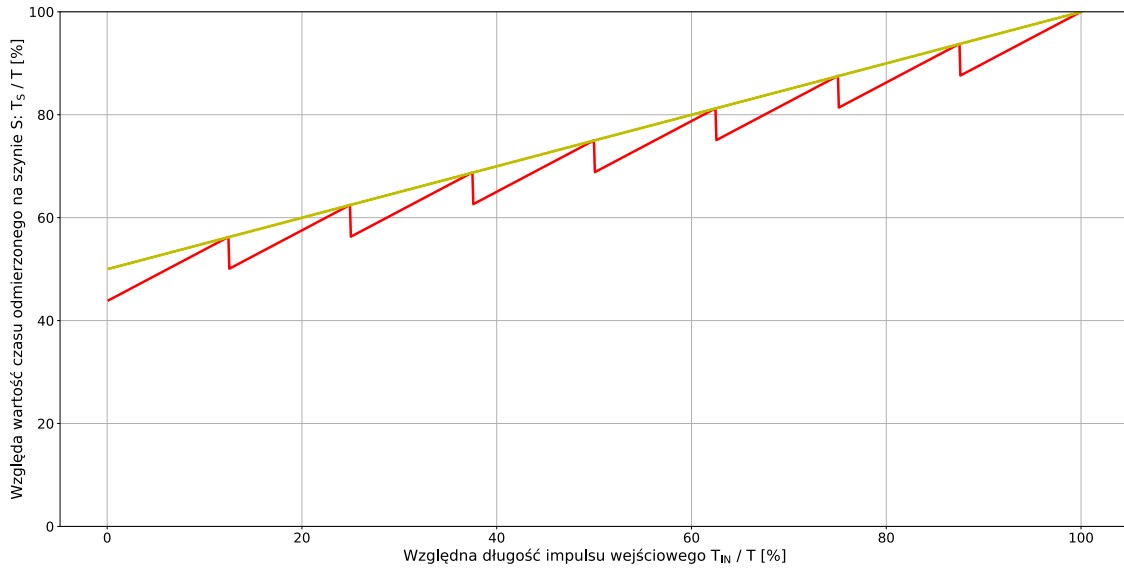
Analitycznie wyznaczony czas przetwarzania metodą STB-TDC poddano dodatkowej weryfikacji za pomocą zbudowanego w tym celu modelu behawioralnego. Do jego stworzenia posłużono się opisanym już schematem wznoszenia wież (rys. 3.11). Przyjęto, że wysokość bloku konstrukcyjnego o numerze k jest proporcjonalna do czasu trwania referencyjnego interwału czasu T_k . Symulując proces przetwarzania, zgodnie z przedstawionym algorytmem, łączono ze sobą referencyjne odcinki czasu T_{n-1}, \dots, T_0 , tworząc dwie grupy: źródłową S oraz referencyjną R . Sumy interwałów czasu gromadzonych w poszczególnych grupach reprezentują bezpośrednio długości czasów odmierzonych za pomocą obu szyn. Na podstawie zebranych wyników wykreślono charakterystyki dla układu

przetwornika STB-TDC o rozdzielczości 4-bitowej oraz 10-bitowej (naśladującej granicę $n \rightarrow \infty$).

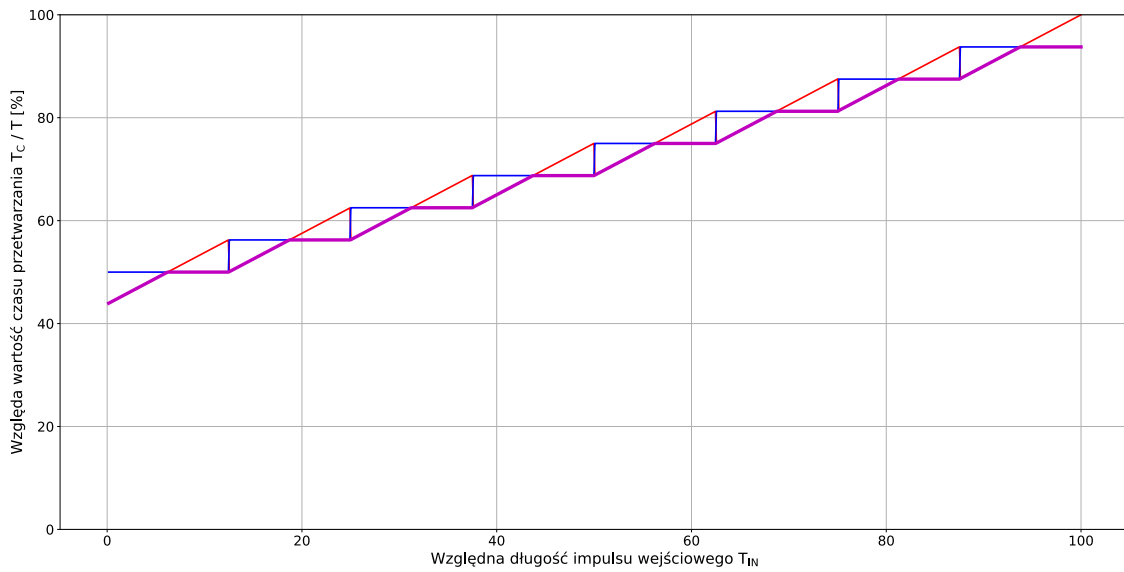
Na rys. 4.6 i rys. 4.7 kolejno wykreślono sumaryczny czas odmierzony za pomocą szyny referencyjnej R oraz szynie źródłowej S. Otrzymane charakterystyki pokrywają się z wynikami obliczeń analitycznych przedstawionych w poprzednim podrozdziale, co stanowi dodatkowy dowód poprawności zarówno przeprowadzonych rozważań analitycznych, jak i symulacji. Z kolei na rys. 4.8 przedstawiono ponadto wypadkowy czas przetwarzania T_C oraz oba tworzące go składniki T_S , T_R .



Rysunek 4.6. Względna długość czasu odmierzonego na szynie referencyjnej T_R/T wyznaczona za pomocą modelu behawioralnego; linia niebieska – liczba bitów $n=4$, linia fioletowa – liczba bitów $n=10$



Rysunek 4.7. Względna wartość czasu odmierzonego na szynie źródłowej T_s/FSR wyznaczona za pomocą modelu behawioralnego; linia czerwona – liczba bitów $n = 4$, linia pomarańczowa – liczba bitów $n = 10$



Rysunek 4.8. Względna długość czasu przetwarzania T_C/T

5. Implementacja przetwornika STB-TDC w technologii UMC 0,18 μm

Zaproponowane rozwiązanie układowe przetwornika STB-TDC zostało przystosowane do przetwarzania mierzonego interwału czasu T_{IN} na ośmiobitowe słowo cyfrowe. Każdy z elementów składowych został najpierw opracowany oddzielnie, jednak w miarę postępów niektóre z zaprojektowanych już podzespołów wykorzystano w implementacji kolejnych. Umożliwiło to już na wczesnym etapie wykrywanie oraz rozwiązanie ewentualnych problemów wynikających na przykład z ograniczeń technologicznych.

W dalszej części niniejszej pracy opis, schemat oraz wykresy przebiegów elektrycznych będą zawsze przedstawiane dla jednego układu danego typu, bez względu na to, czy występuje on w strukturze przetwornika jednokrotnie (referencyjne źródło napięcia), dwukrotnie (źródła prądowe, komparatory, wtórnik źródłowe, układy wyostrzające), czy też wielokrotnie (klucze analogowe). Budowa przetwornika STB-TDC jest w pełni symetryczna (rys. 3.12), więc wyniki przedstawione dla pojedynczego reprezentanta grupy układów danego typu są prawdziwe dla wszystkich pozostałych wchodzących w jej skład.

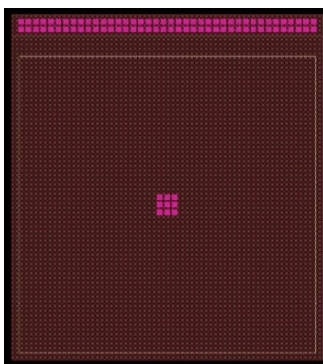
W rozdziale 3 przedstawiono wyniki otrzymane dla przetwornika STB-TDC, w którym krok kwantyzacji T_0 wynosił 600 ns. Przystępując do implementacji układu podniesiono wymagania konstrukcyjne skracając krok kwantyzacji T_0 do 400 ns.

5.1. Struktury układowe i metody optymalizacji poszczególnych podzespołów przetwornika STB-TDC

5.1.1. Matryca pojemności referencyjnych

Implementację matrycy pojemności referencyjnych C_7, \dots, C_0 rozpoczęto od precyzyjnego określenia pojemności jednostkowej C_0 . Zgodnie z założeniem przyjętym w podrozdziale 3.4, jej wartość powinna wynosić 500 fF. Do utworzenia matrycy wybrano strukturę MIM (*metal-insulator-metal*), która w technologii UMC 0,18 μm 1P6M jest realizowana standardowo pomiędzy piątym i szóstym metalem. Powodem tego wyboru jest pożądana duża precyzja implementacji pojemności, jej niezależność od wartości napięcia na

okładkach kondensatora oraz brak ścisłych wymagań dotyczących okupowanej powierzchni przez całą matrycę. Aby zminimalizować losowy rozrzut technologiczny (*random mismatch*), zarówno długość jak i szerokość pola jednostkowego przyjęto równą 22,2 μm otrzymując pojemność jednostkową C_0 o wartości 499,5 fF (rys. 5.1). Zgodnie z powszechnie stosowaną praktyką, każdy kolejny kondensator C_7, \dots, C_1 został zbudowany jako wielokrotność pojemności jednostkowej C_0 [98]. Wszystkie pojemności zostały rozmieszczone zgodnie z wybranym wariantem algorytmu *common centroid* [99], dzięki czemu zarówno dla całej matrycy, jak i każdej pojemności referencyjnej z osobna, uzyskano symetryczną strukturę (rys. 5.2), zwiększając tym samym odporność parametrów modułu na rozrzut systematyczny (*systematic mismatch*). Dodatkowo, matryca pojemności została otoczona kondensatorami typu *dummy*, aby zapewnić identyczne sąsiedztwo dla wszystkich pojemności referencyjnych (rys. 5.2).



Rysunek 5.1. Topografia pojemności jednostkowej C_0 o rozmiarach 22,2 μm x 22,2 μm

Przeprowadzona ekstrakcja RC wykazała, że obecność pojemności pasożytniczych wnoszonych przez połączenia narusza binarny stosunek pojemności referencyjnych C_7, \dots, C_0 , co przedstawiono w tab. 5.1. Zdecydowano jednak, że kompensacja tych odchyleń zostanie przeprowadzona w końcowej fazie projektowania mikrostruktury całego przetwornika STB-TDC, gdy ta będzie już zawierała wszystkie fizyczne połączenia - niewidoczne jeszcze na tym etapie (podrozdział 5.2.1). W przedstawionej dalej analizie matryca pojemności referencyjnych C_7, \dots, C_0 będzie więc wykorzystana tylko w formie schematu a nie topografii.

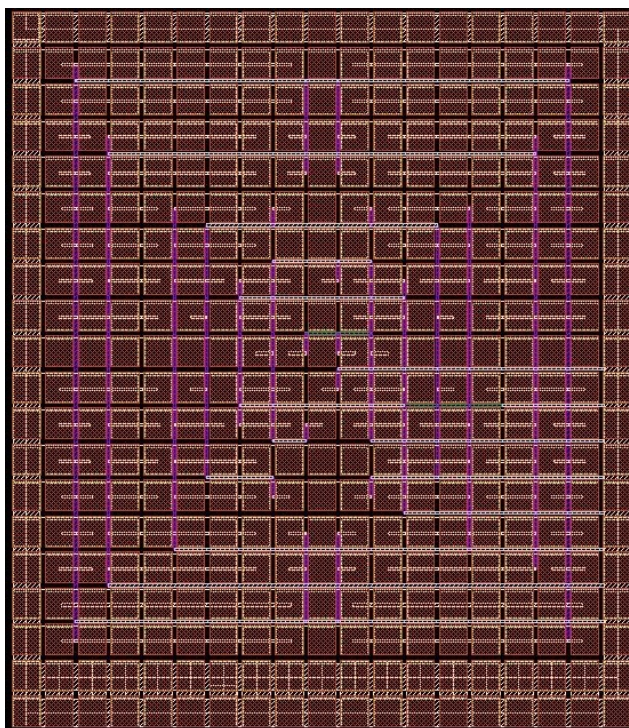
Wprowadzenie nawet stosunkowo dużych zmian w tak skonstruowanej (*symetrycznej*) matrycy jest prostsze niż modyfikacja układów analogowych. Można w tym celu wykorzystać dedykowane narzędzia (*module generator*), które po odpowiedniej

parametryzacji automatycznie dokonują zmian na jej elementach składowych. Tak więc finalna modyfikacja matrycy powinna być mniej problematyczna niż wprowadzanie zmian w czułych blokach analogowych.

Tabela 5.1. Pojemności pasożytnicze związane z łączeniem kondensatorów referencyjnych

Kondensator referencyjny	Pojemność pasożytnicza [fF]	Stosunek C_k/C_0 z uwzględnieniem pojemności pasożytniczych
C_0	8,76	1
C_1	79,9	2,123
C_2	147	4,220
C_3	212	8,279
C_4	223	16,163
C_5	374	32,184
C_6	629	64,135
C_7	1090	127,939

Do implementacji matrycy referencyjnej wykorzystano w sumie 380 pojemności jednostkowych C_0 , z czego 125 stanowią sztuczne pojemności ochronne zajmujące najbardziej zewnętrzne pozycje. Zaprojektowana struktura ma wymiary 512,8 μm x 592 μm , a jej całkowita powierzchnia wynosi 303577,6 μm^2 . Połączenia pomiędzy poszczególnymi pojemnościami tworzą za pomocą metali M2 – M6, co pokrywa prawie cały zbiór warstw przeznaczonych do rysowania połączeń (*routing*). Nie ogranicza to jednak w żadnym stopniu tworzenia połączeń pomiędzy pozostałymi podzespołami. W docelowej mikrostrukturze przetwornika STB-TDC z założenia żaden z sygnałów zewnętrznych nie jest prowadzony poprzez matrycę pojemności, gdyż doprowadziłoby to do powstania sprzężeń pojemnościowych (*cross coupling*).

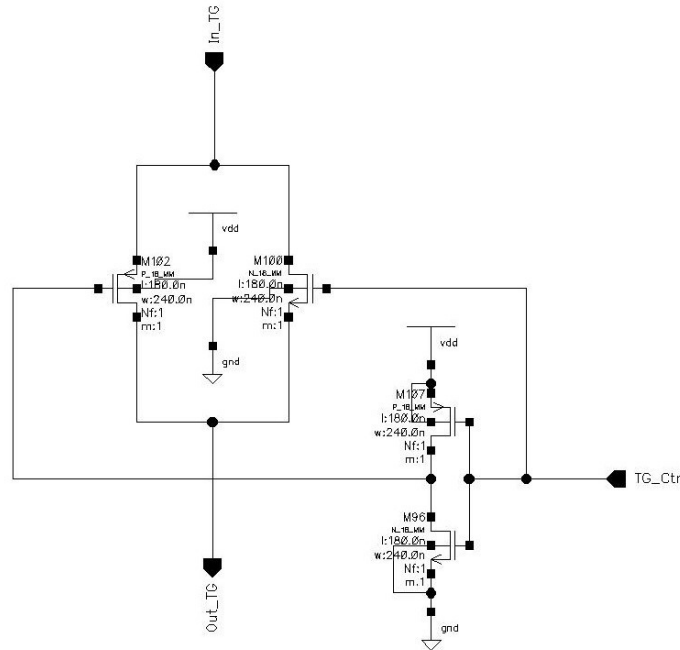
Rysunek 5.2. Topografia macierzy pojemności referencyjnych C_7, \dots, C_0

5.1.2. Klucze analogowe

Zadaniem kluczy analogowych, wykonanych w postaci bramek transmisyjnych (*transmission gate*), jest zapewnienie przepływu ładunku ze źródeł prądowych I_S, I_R , poprzez odpowiednią szynę do kondensatorów referencyjnych C_7, \dots, C_0 . Do każdej pojemności referencyjnej C_k są podłączone trzy klucze, więc w n -bitowym przetworniku ich liczba wynosi $3n$ (rys. 3.13). Warto zwrócić uwagę, że największy kondensator C_{n-1} jest zawsze przyłączany do szyny R , więc w rzeczywistości wymagana liczba kluczy wynosi $3n - 1$. W stosunku do powierzchni całego przetwornika STB-TDC zysk osiągnięty z takiej optymalizacji byłby jednak pomijalnie mały. Co więcej, usunięcie jednego klucza zaburzyłoby symetrię układu trzech kluczy SW_{n-1} a tym samym powtarzalność tej komórki projektowej ($SW_{n-1}, SW_{n-2}, \dots, SW_0$). W praktyce czynniki te są istotne, ponieważ ułatwiają implementację mikrostruktury oraz zwiększają jej odporność na potencjalne defekty technologiczne [84].

Schemat pojedynczego klucza zaimplementowanego w postaci bramki transmisyjnej przedstawiono na rys. 5.3. Tranzystory $M102$ i $M100$, przez które przepływa ładunek, są

wpięte bezpośrednio pomiędzy odpowiednią szynę a kondensator referencyjny C_k (rys. 3.12). Powszechnie stosowanym sposobem projektowania bramki transmisyjnej jest dobranie wymiarów tranzystorów PMOS i NMOS w taki sposób, aby wypadkowa rezystancja klucza była stała w docelowym zakresie napięcia pracy [84-86, 100].



Rysunek 5.3. Schemat bramki transmisyjnej TG

W zaproponowanym rozwiązaniu nie zastosowano takiego podejścia, ponieważ do pojedynczej szyny jest przyłączonych osiem kluczy (16 tranzystorów), co powoduje znaczący wzrost jej pojemności pasożytnej C_p . Nawet nieznaczne powiększenie ich rozmiarów mające na celu wyrównanie charakterystyki rezystancji (*sizing*) wprowadzało błąd w procesie przetwarzania. Konieczność ograniczenia tego czynnika spowodowała, że ostatecznie zastosowano tranzystory o minimalnych dopuszczalnych rozmiarach (rys. 5.3).

Schemat ideowy układu testowego wykorzystanego do zaprojektowania klucza przedstawiono na rys. 5.4a. Spadek napięcia V_{SW} na zaciskach zaproponowanego klucza (dla prądu źródła $I_{S(R)}$ równego $1,5 \mu\text{A}$) w końcowym zakresie ładowania kondensatora C_0 wynosi ok. 20 mV (rys. 5.5). Potencjalnie skraca się więc czas T_0 ładowania pojemności jednostkowej C_0 do wartości ok. 395 ns. Wszystkie zestawy kluczy SW_7, \dots, SW_0 są jednak identyczne, więc czasy ładowania kolejnych pojemności referencyjnych wciąż pozostają względem siebie w stosunku binarnym:

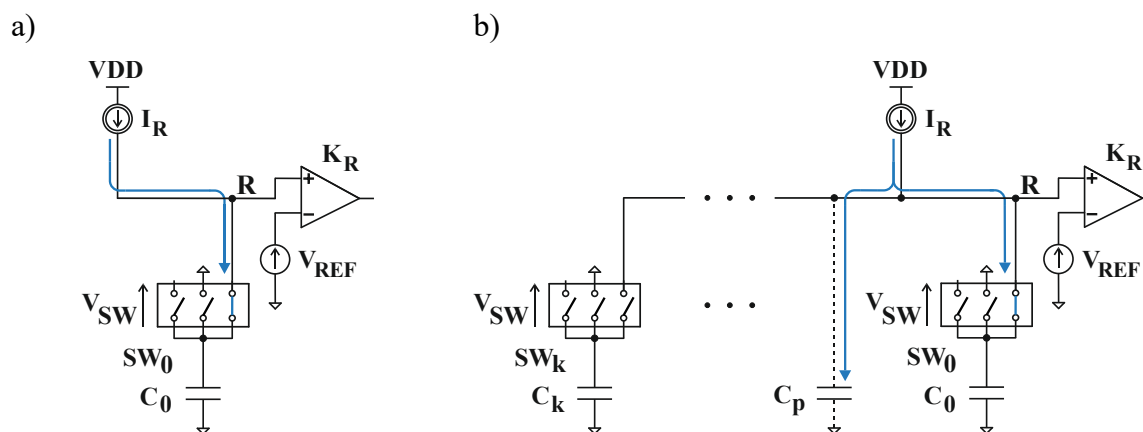
$$T_k = \frac{C_k}{I_{S(R)}} (V_{REF} - \Delta V_{SW})$$

$$T_{k+1} = \frac{2C_k}{I_{S(R)}} (V_{REF} - \Delta V_{SW})$$

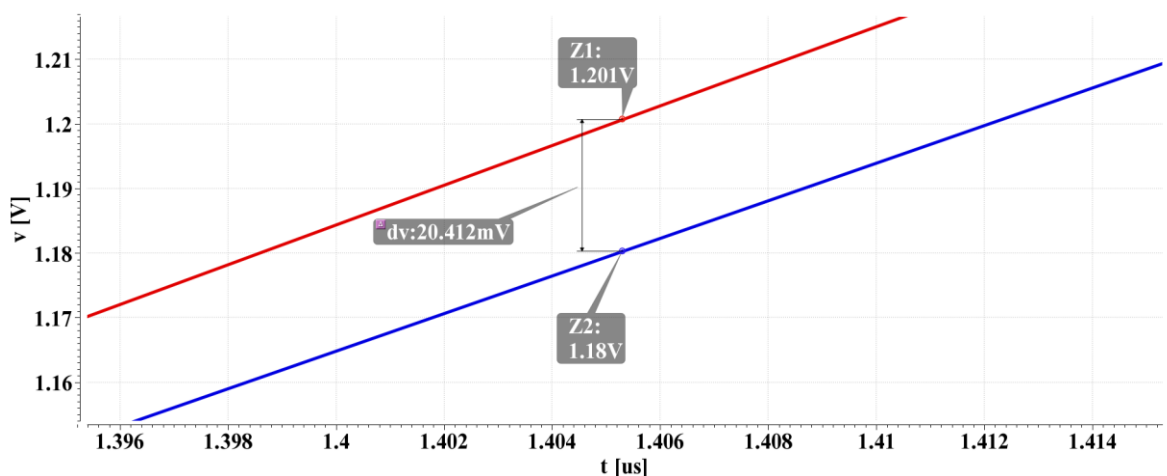
$$\frac{T_{k+1}}{T_k} = \frac{\frac{2C_k}{I_{S(R)}} (V_{REF} - \Delta V_{SW})}{\frac{C_k}{I_{S(R)}} (V_{REF} - \Delta V_{SW})} = 2 \quad (5.1)$$

Oznacza to, że efektywna rozdzielczość bitowa ENOB (*effective numer of bits*) nie jest obniżana. Niewielkiemu skróceniu ulegają natomiast referencyjne odcinki czasu T_7, \dots, T_0 ładowania, a przez to zakres przetwarzania FSR.

W celu sprawdzenia wpływu pojemności pasożytniczej C_p szyny w zastosowanym układzie testowym zamieniano kolejne idealne klucze analogowe na rzeczywiste bramki transmisyjne i mierzono jego czas ładowania T_0 (rys. 5.4b). Wraz ze zmianą kolejnych elementów (zwiększaniu pojemności pasożytniczej C_p) czas ten wydłużał się, a po zmianie wszystkich 24 kluczy wartość ponownie powróciła do 403,318 ns, która jest wystarczająco bliska założonemu kroku kwantyzacji T_0 . Uzyskane w trakcie testów wyniki zestawiono w tab. 5.2.



Rysunek 5.4. Schemat układu testowego: a) ładowanie pojemności jednostkowej C_0 ; b) ładowanie pojemności jednostkowej C_0 z uwzględnieniem pojemności pasożytniczej szyny wprowadzanej przez rzeczywiste klucze analogowe



Rysunek 5.5. Spadek napięcia na kluczu SW_k ; linia czerwona – napięcie na szynie, linia niebieska – napięcie na pojemności C_k

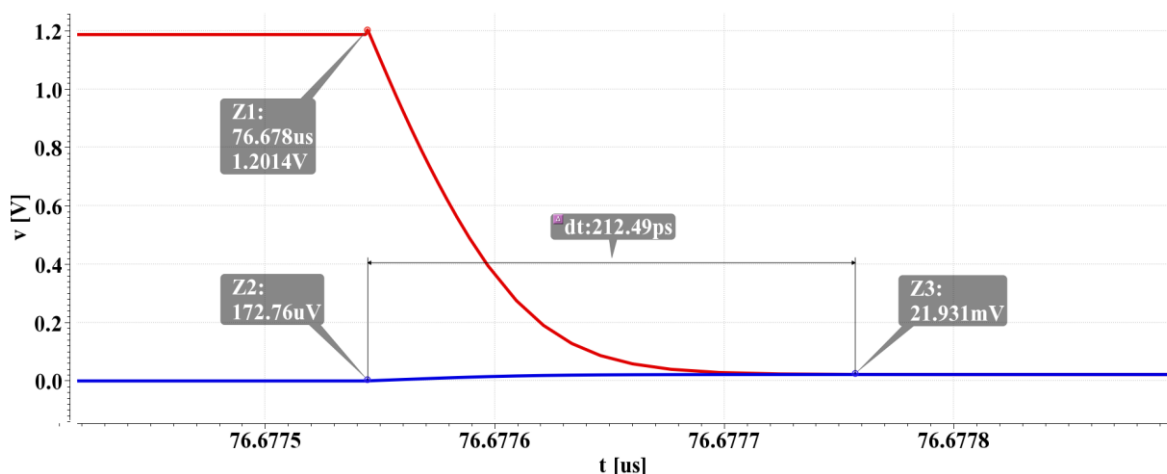
W technologii UMC 0,18 μm pojedynczy tranzystor o minimalnych dopuszczalnych rozmiarach charakteryzuje się pojemnościami pasożytniczymi, związanymi z drenem oraz źródłem, rzędu dziesiątych części femtofarada. Za pomocą analizy symulacyjnej określono, że sumaryczna pojemność pasożytnicza wprowadzana przez wszystkie klucze analogowe wynosi ok. 9,39 fF.

Tabela 5.2. Wpływ kluczy na czas ładowania pojemności jednostkowej C_0

Konfiguracja testowa	Czas ładowania pojemności C_0 [ns]
Układ idealny	399,66
Zamiana jednego klucza idealnego na bramkę transmisyjną	394,78
Zamiana trzech kluczy idealnych na bramki transmisyjne	396,71
Zamiana wszystkich 24 kluczy idealnych na bramki transmisyjne	403,32

Opisana powyżej pojemność pasożytnicza C_p nie tylko wydłuża czas ładowania kondensatora referencyjnego, ale również powoduje, że zgromadzony na niej ładunek jest

wstrzykiwany do nowo przyłączonej pojemności referencyjnej C_k . W wyniku tego jej ładowanie rozpocznie się od niezerowej wartości (rys. 5.6).



Rysunek 5.6. Skok napięcia na pojemności jednostkowej C_0 spowodowany wstrzyknięciem ładunku; linia zielona – szyna S, linia fioletowa – napięcie na pojemności C_0

Przyczynę powstawania piedestału napięciowego na ładowanej pojemności C_k można wykazać analitycznie, korzystając z zależności:

$$Q_{CP} = C_p \cdot V_{REF}, \quad (5.2)$$

gdzie Q_{CP} jest ładunkiem zgromadzonym w pojemności pasożytniczej szyny C_p (rys. 5.4).

Uwzględniając wyznaczoną symulacyjnie całkowitą pojemność pasożytniczą szyny wprowadzaną przez bramki transmisyjne, zgromadzony na szynie ładunek wynosi:

$$\begin{aligned} Q_{CP} &\approx 9,39 \cdot 10^{-15} \text{ F} \cdot 1,2 \text{ V} \\ Q_{CP} &\approx 11,268 \cdot 10^{-15} \text{ C} \end{aligned} \quad (5.3)$$

Po podłączeniu pojemności jednostkowej C_0 wypadkowa ładowana pojemność C' będzie równa:

$$\begin{aligned} C'_0 &= C_0 + C_p \\ C'_0 &\approx 508,89 \cdot 10^{-15} \text{ F} \end{aligned} \quad (5.4)$$

Korzystając z (5.3) oraz (5.4) można wyznaczyć wartość piedestału napięciowego dla wypadkowej pojemności jednostkowej C'_0 :

$$\begin{aligned} V_{P_{C0}} &= \frac{Q_{CP}}{C'_0} \\ V_{P_{C0}} &\approx 0,022 \text{ V}, \end{aligned}$$

co pokrywa się z wynikami symulacji (rys. 5.6). W tym miejscu warto zwrócić uwagę, że docelowo do szyny będą podłączone jeszcze źródło prądowe oraz komparator, które spowodują wzrost pojemności pasożytniczej C_p , a przez to również wzrost piedestału napięciowego.

Uwzględniając zarówno spadek napięcia V_{SW} na kluczach jak i wartość piedestału napięciowego V_{P_ck} ogólny czas ładowania kondensatora referencyjnego C_k wynosi:

$$T_k = \frac{(C_k + C_p)(V_{REF} - V_{SW} - V_{P_ck})}{I_{S(R)}}$$

$$T_k = \frac{(C_k + C_p) \left(V_{REF} - V_{SW} - \frac{Q_{CP}}{C_k + C_p} \right)}{I_{S(R)}} \quad (5.5)$$

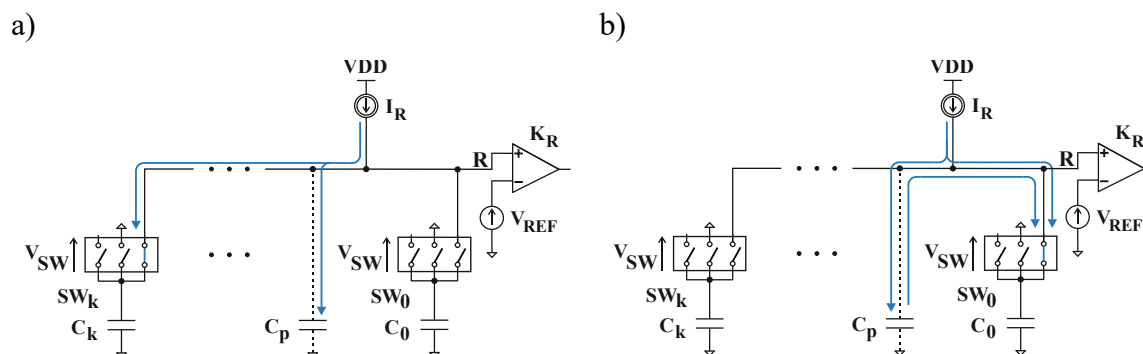
Powyższa zależność umożliwia określenie różnicy długości czasu ładowania C_k pomiędzy przypadkiem idealnym a przypadkiem uwzględniającym parametry rzeczywistych kluczy:

$$\Delta T_k = \frac{C_k}{I_{S(R)}} V_{REF} - \frac{(C_k + C_p) \left(V_{REF} - V_{SW} - \frac{Q_{CP}}{C_k + C_p} \right)}{I_{S(R)}}$$

$$\Delta T_k = \frac{(C_k + C_p)}{I_{S(R)}} V_{SW} \quad (5.6)$$

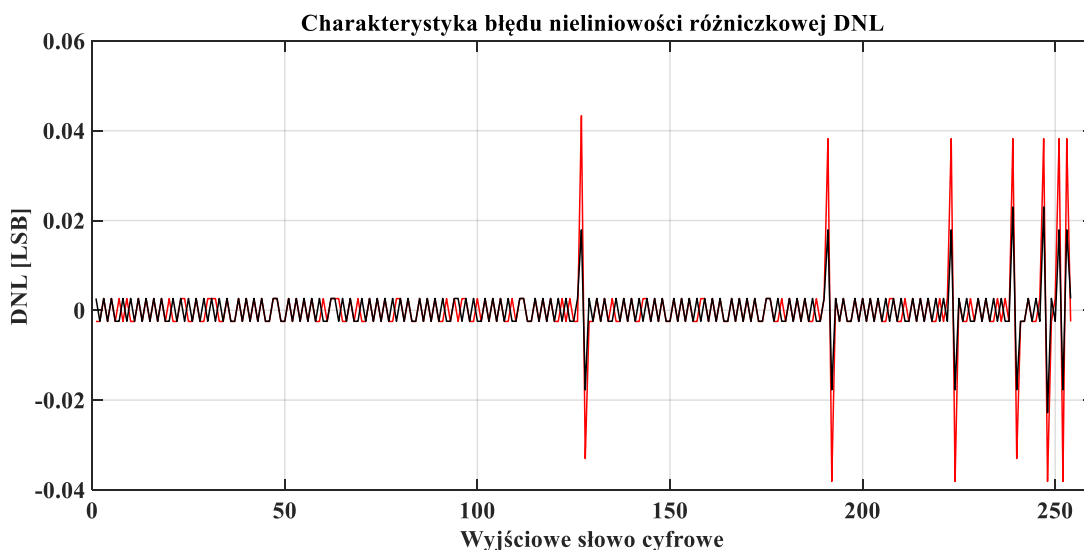
Wstrzyknięcie pasożytniczego ładunku do nowo podłączonego kondensatora C_k nie spowoduje skrócenia czasu jego ładowania T_k . Częściowo rozładowana pojemność pasożytnicza będzie przecież ponownie ładowana - równolegle z kondensatorem referencyjnym C_k (rys. 5.7a-b), z którym tworzy wypadkową pojemność referencyjną $C_k' = C_k + C_p$ (w przedstawionym przykładzie C_0').

Wyżej wspomniany piedestał napięciowy V_{P_ck} wystąpi tylko na sześciu kondensatorach spośród ośmiu ładowanych w każdym cyklu przetwarzania. Dwa wyjątki dotyczą kondensatorów, które jako pierwsze zostały podłączone do danej szyny, a brak piedestału wynika z faktu, że w czasie relaksacji przetwornika szyny są połączone z masą (rys. 3.13f). Dla szyny R skok napięcia nigdy nie wystąpi na tej samej pojemności: C_7 . Z kolei dla szyny S jest to zależne od długości mierzonego interwału czasu T_{IN} . Skutkiem tego będzie zaburzenie binarnego stosunku czasu ładowania tych pojemności względem pozostałych, co zwiększy błąd przetwarzania.



Rysunek 5.7. Mechanizm ładowania kondensatora referencyjnego z uwzględnieniem pojemności pasozytniczej szyny: a) ładowanie kondensatora referencyjnego C_k podłączonego do szyny jako pierwszy; b) ładowanie kolejnego kondensatora referencyjnego

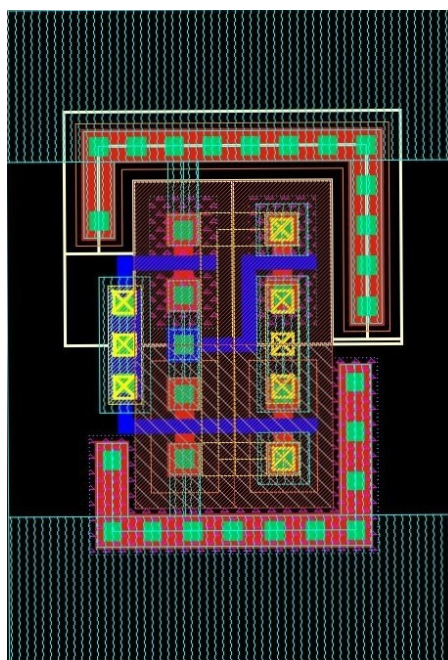
Uwzględniając powyższą analizę i zakładając, że pojemność pasozytnicza C_p szyny wprowadzana przez klucze analogowe wynosi 9,39 fF można zauważyć, że w szczególnych punktach charakterystyki błędów nieliniowości różniczkowej DNL błąd sięga 0,01 LSB (rys. 5.8). Zakładając dwukrotnie większą wartość pojemności pasozytniczej $C_p = 18,78$ fF wartość błędów wzrasta do ok. 0,04 LSB (rys. 5.8). W tym miejscu warto zaznaczyć, że wszystkie charakterystyki błędów nieliniowości różniczkowej DNL oraz całkowitej INL będą wykreślone zgodnie ze standardem IEEE 1241-2023 [101].



Rysunek 5.8. Wpływ kluczy analogowych na błąd nieliniowości różniczkowej DNL; linia czarna – $C_p = 9,39$ fF, linia czerwona – $C_p = 18,78$ fF

Ważnym parametrem kluczy jest również ich czas przełączania, który w idealnym przypadku powinien być nieskończenie krótki. W trakcie pojedynczego cyklu przetwarzania STB-TDC źródła prądowe I_S , I_R nie są wyłączane po naładowaniu pojemności referencyjnej C_k , więc przełączanie kluczy powinno być realizowane w tak krótkim czasie, aby uniknąć niepożądanego przełączenia komparatorów K_S , K_R . Każde opóźnienie wprowadza ponadto dodatkowy błąd przetwarzania, ponieważ wtrąca dodatkowy czas pomiędzy kolejno odmierzane interwały referencyjne. Dla przyjętych minimalnych rozmiarów tranzystorów czas przełączania klucza wynosi ok. 50 ps, co stanowi 0,0125 % zakładanego kroku kwantyzacji T_0 . W perspektywie całkowitego błędu rozważany składnik jest więc pomijalnie mały.

Struktura monolityczna zaprojektowanej bramki transmisyjnej została przedstawiona na rys. 5.9. Zastosowanie tranzystorów o takich samych (minimalnych) rozmiarach umożliwiło stworzenie kompaktowej komórki o wymiarach 5,94 μm x 8,68 μm .



Rysunek 5.9. Topografia bramki transmisyjnej

Najważniejsze parametry fizyczne opracowanej bramki transmisyjnej zestawiono w poniższej tabeli (tab. 5.3):

Tabela 5.3. Wybrane parametry zaprojektowanej bramki transmisyjnej

Parametr	Topografia
Liczba aktywnych tranzystorów CMOS	4
Spadek napięcia na kluczu	20 mV
Wymiar X	5,94 μm
Wymiar Y	8,68 μm
Zajmowana powierzchnia	51,56 μm^2
Najwyższy z użytych metali	M2

5.1.2. Źródła prądowe

Źródła prądowe I_S , I_R służą do liniowego ładowania kondensatorów referencyjnych C_7 , ..., C_0 . Podzespoły te są włączane oraz wyłączane w odpowiednich chwilach algorytmu przetwarzania przez automat sterujący ASM, zgodnie z opisem przedstawionym w podrozdziale 3.3.

Źródła I_S , I_R posiadają strukturę kaskodową (rys. 5.10), dzięki czemu charakteryzują się dużą odpornością na zmiany temperatury (*temperature variation*), rozrzut produkcyjny tranzystorów (*process variation*) oraz wpływ efektu modulacji długości kanału [84-86]. Z założenia powinny one charakteryzować się stałą wydajnością prądową w całym zakresie zmienności napięcia panującego na danej szynie (od 0 V do V_{REF}). Jakikolwiek odchylenie wartości natężenia prądu źródeł wpływa bowiem na czas ładowania pojemności referencyjnej C_k , wprowadzając dodatkowy błąd przetwarzania. Dla projektowanego przetwornika STB-TDC o bezwzględnej rozdzielczości czasowej $T_0 = 400$ ns wydajność prądowa każdego ze źródeł powinna wynosić 1,5 μA .

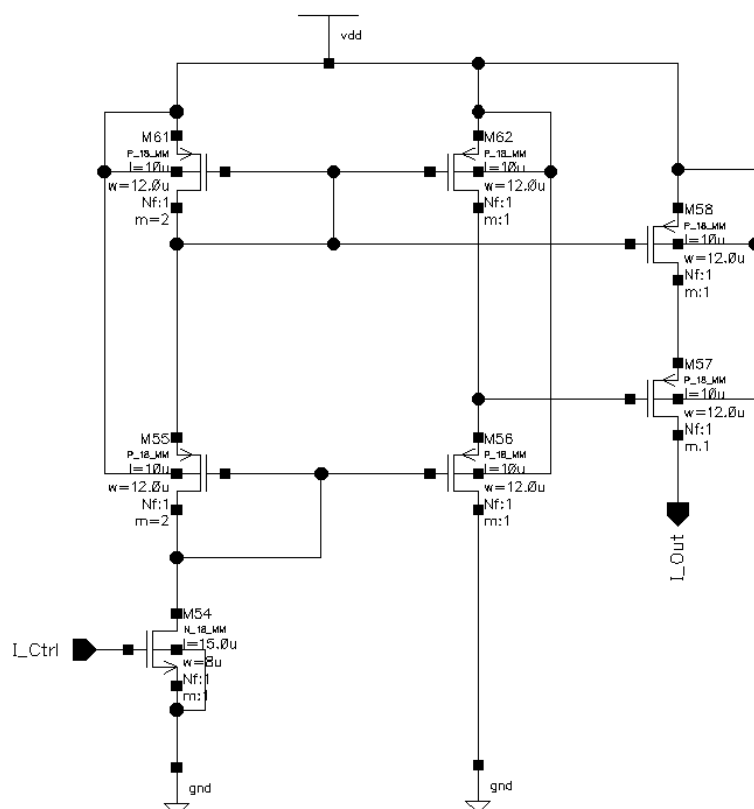
W klasycznym źródle prądowym o strukturze kaskodowej wspomniana odporność jest okupiona obniżonym zakresem napięcia wyjściowego, które jest wykorzystane do polaryzacji pary tranzystorów w stopniu kaskody [84-86]. Dla praktycznej realizacji

przetwornika STB-TDC ograniczenie to skutkuje obniżeniem maksymalnej dopuszczalnej wartości napięcia V_{REF} .

Powyzsze ograniczenie zostało częściowo wyeliminowane poprzez zastosowanie dodatkowej pary tranzystorów M57, M58 (rys. 5.10). Zadaniem tranzystora M58 jest rozszerzenie lustra prądowego M61, M62, natomiast bramka tranzystora M57 jest połączona ze źródłem tranzystora M56, dzięki czemu zakres napięcia wyjściowego V_{OUT} został poszerzony o wartość $|V_{\text{GS}_{\text{M56}}}| = |V_{\text{GS}_{\text{M57}}}|$. W przedstawionym obwodzie przyrost ten wynosi ok. 0,46 V.

Omówiony zakres prawidłowego funkcjonowania źródeł prądowych ma bezpośredni wpływ na wymagania projektowe dotyczące wartości napięcia dostarczanego przez źródło referencyjne V_{REF} oraz parametry wejściowych stopni różnicowych komparatorów K_{S} , K_{R} . Podwyższenie zakresu napięcia zwiększa pole manewru w doborze ich parametrów zwiększając tym samym stabilność oraz niezawodność pracy tych podzespołów.

Wadą wprowadzonej optymalizacji jest dodatkowy pobór prądu (ok. 3,2 μA), który przepływa przez gałąź M62, M56 wykorzystywaną w tym przypadku do właściwej polaryzacji tranzystorów w stopniu wyjściowym M57, M58. W porównaniu do przewidywanego zapotrzebowania energetycznego całego przetwornika STB-TDC, koszt wprowadzonej modyfikacji jest jednak niewielki.

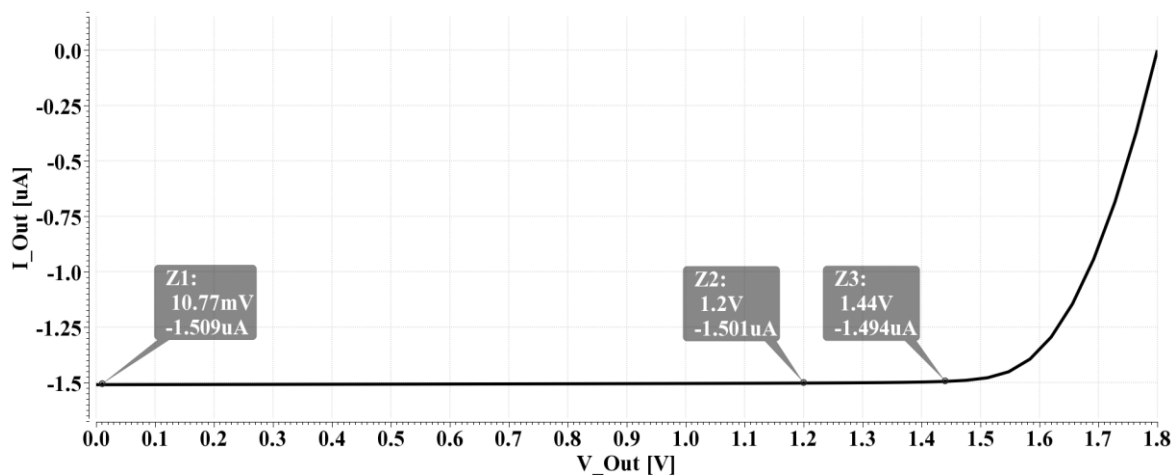
Rysunek 5.10. Schemat źródła prądowego $I_{S(R)}$

Charakterystyka wyjściowa zaproponowanego źródła prądowego $I_{OUT}(V_{OUT})$ została przedstawiona na rys. 5.11. Otrzymana wartość $I_{OUT} \approx 1,5 \mu\text{A}$ w zakresie stabilnej pracy źródła pokrywa się z założoną. Obniżenie wartości dostarczanego prądu I_{OUT} o 1 % wystąpi, gdy napięcie na szynie przetwornika STB-TDC osiągnie wartość ok. 1,44 V.

Wymiary tranzystorów źródła prądowego zostały dobrane z uwzględnieniem dwóch kluczowych kwestii. Źródła prądowe I_S , I_R powinny zachowywać powtarzalność, ponieważ w zależności od tego, do której szyny zostanie przyłączony dany kondensator referencyjny C_k , będzie ona ładowana przez jedno ze źródeł: I_S lub I_R . Należy więc zapewnić, aby źródła prądowe były odporne na rozrzut technologiczny (*mismatch*).

Na podstawie przeprowadzonej analizy ustalono, że źródła prądowe nie powinny się różnić o więcej niż 1 %, bowiem dla takiej rozbieżności wartość błędności różniczkowej DNL przekracza połowę kroku kwantyzacji T_0 (rys. 5.12), a w przypadku różnicy 2 % pojawia się błąd gubienia bitu 127. Powszechną techniką projektową stosowaną

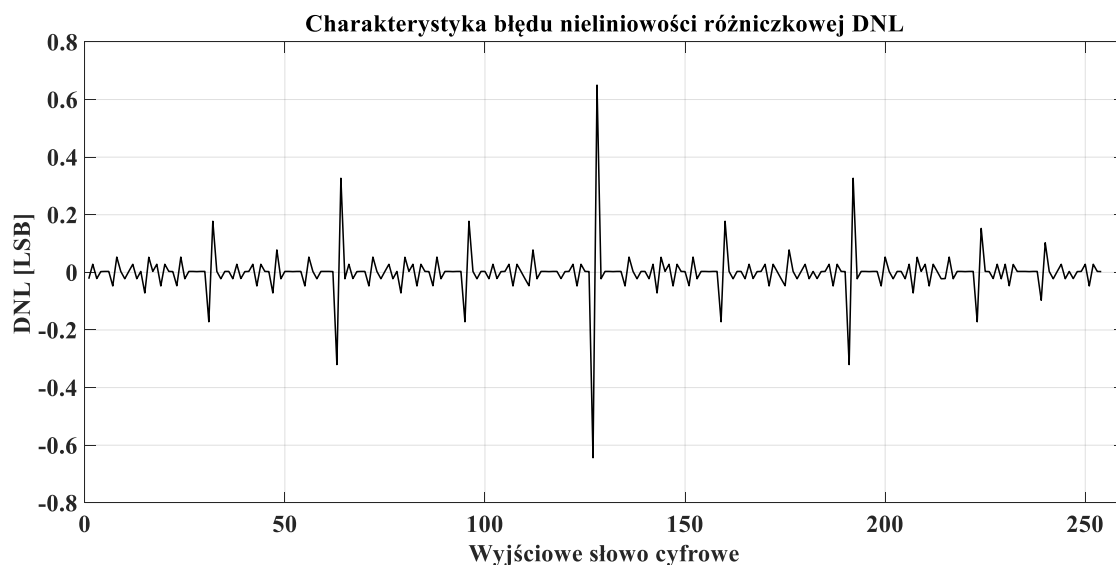
w takim przypadku jest użycie tranzystorów o stosunkowo dużych rozmiarach (*Pelgrom's law*) [83], dlatego szerokości (kanałów) tych tranzystorów zostały dobrane na poziomie $6\ \mu\text{m}$ i wyższym, co w technologii UMC $0,18\ \mu\text{m}$ zapewnia wystarczająco dużą powtarzalność. Ponadto wymiary tranzystorów w poszczególnych stopniach są jednakowe, co ułatwia dopasowanie elementów na topografii mikroukładu.



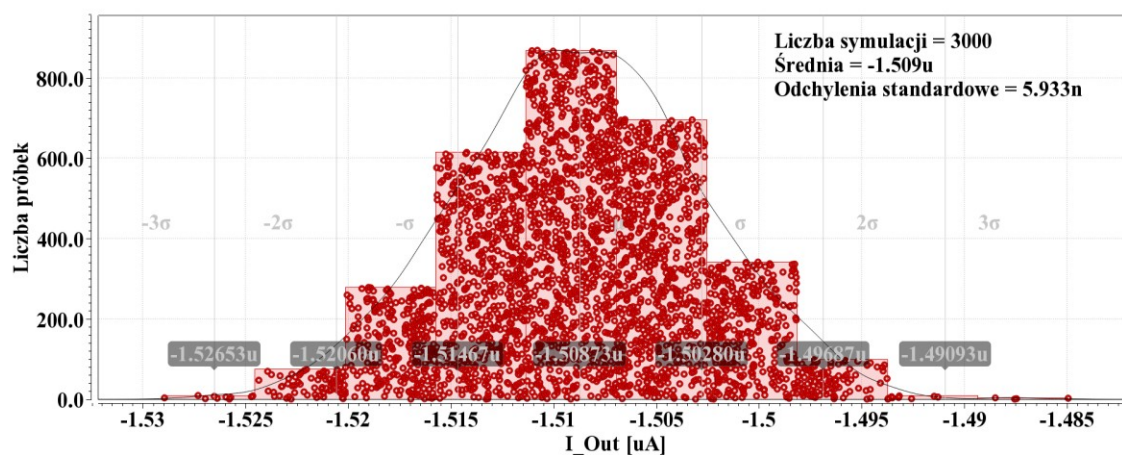
Rysunek 5.11. Charakterystyka wyjściowa źródła prądowego $I_{S(R)}$

W celu wyznaczenia wpływu rozrzutu technologicznego na wyjściową wartość prądu zaprojektowanych źródeł I_S , I_R przeprowadzono analizę *Monte Carlo* typu *mismatch*. Pominięto przy tym analizę typu *process*, ponieważ seria prototypowa układu przetwornika STB-TDC będzie wykonana w typowych warunkach produkcyjnych TT (*typical - typical*). Aby uzyskać jednolite pokrycie zbioru możliwych do wystąpienia przypadków kolejne próbki zostały wygenerowane przy pomocy techniki LDS (*Low Discrepancy Sequence*). Uzyskane wyniki przeprowadzonej analizy przedstawiono na rys. 5.13.

Zastosowanie stosunkowo dużych rozmiarów tranzystorów zapewniło wymaganą powtarzalność źródeł I_S , I_R . Tylko 25 spośród 3000 wygenerowanych próbek nieznacznie wykracza poza założony margines błędu 1 %.

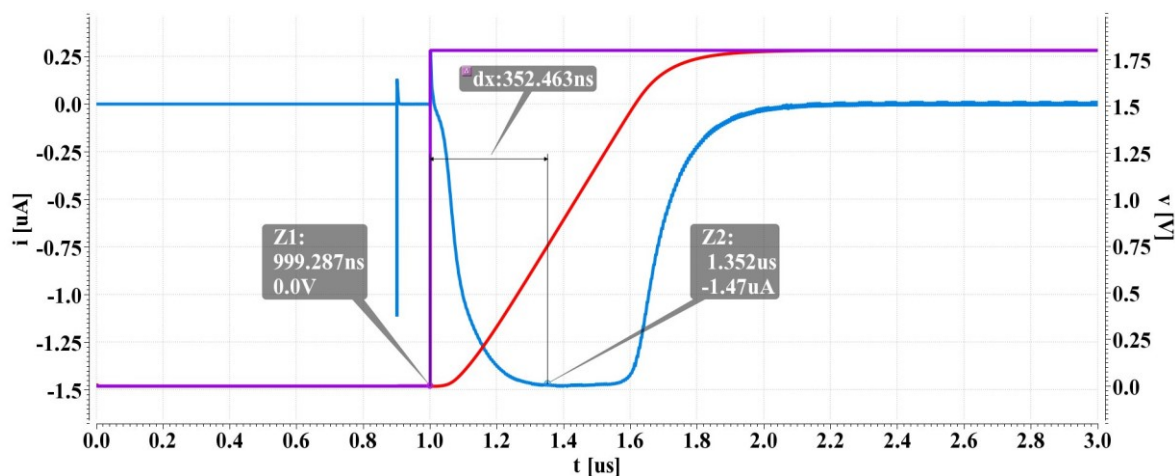


Rysunek 5.12. Wpływ rozrzutu technologicznego różnicującego wydajność prądową źródeł I_s , I_R o 1 % na charakterystykę błędu nieliniowości różniczkowej DNL



Rysunek 5.13. Wpływ rozrzutu technologicznego typu mismatch na wydajność źródła prądowego

Niemniej jednak ze zwiększającymi się rozmiarami tranzystorów łączy się zwiększona pojemność pasożytnicza, co powoduje, że źródło prądowe wymaga długiego czasu, aby po włączeniu osiągnąć odpowiedni punkt pracy, a tym samym ustabilizować poprawną wartość prądu I_{OUT} (rys. 5.14) [102, 103]. To niepożądane opóźnienie jest spowodowane pojemnościami pasożytniczymi tranzystora, które rosną wraz z jego rozmiarami. Przetwornik STB-TDC rozpoczyna przetwarzanie już w chwili pojawienia się przedniego zbocza impulsu T_{IN} . Opóźnienie ustalania punktu pracy źródła wprowadza zatem dodatkowy błąd przetwarzania.

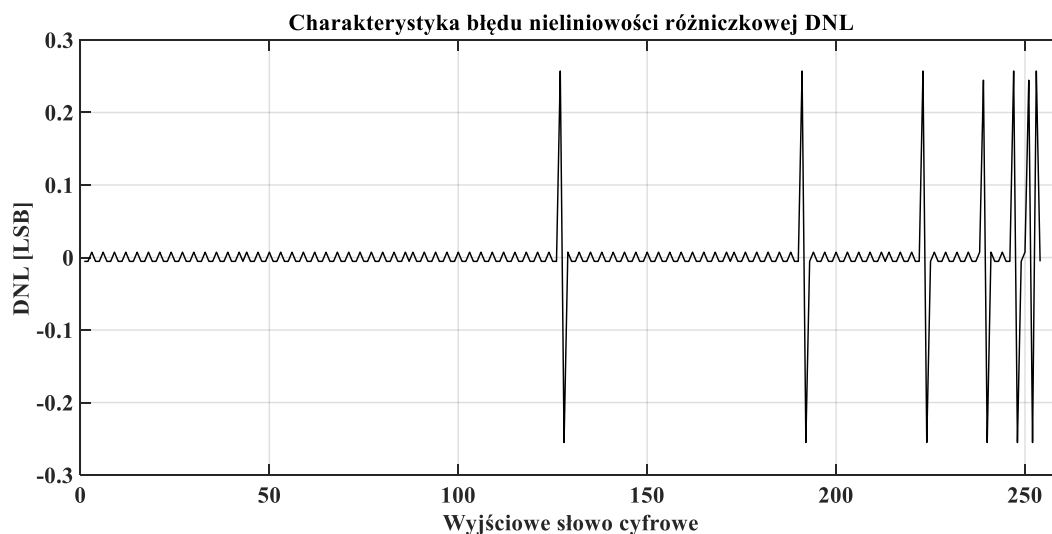


Rysunek 5.14. Włączanie źródła prądowego w celu naładowania pojemności C_0 : czas osiągnięcia właściwego punktu pracy źródła prądowego; linia fioletowa – sygnał włączający źródło, linia niebieska – prąd wyjściowy I_{OUT} źródła, linia czerwona – napięcie na okładkach kondensatora C_0

W celu określenia wartości błędu wynikającego z opóźnienia źródła prądowego wyznaczono średnią wartość natężenia prądu wpływającego do pojemności C_0 w czasie, w którym źródło dąży do właściwego punktu pracy:

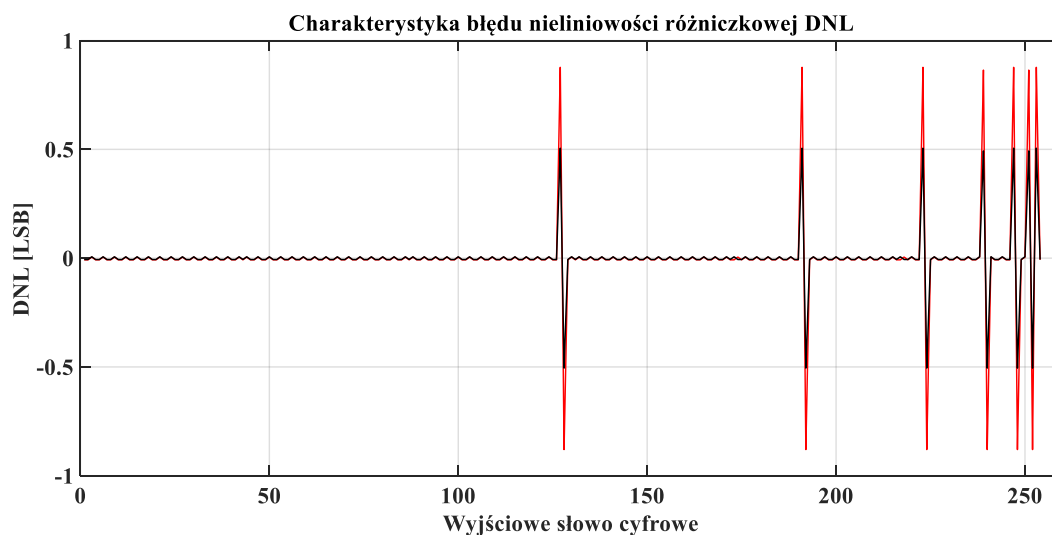
$$\frac{1}{1,36 \cdot 10^{-6} - 1 \cdot 10^{-6}} \int_{1 \times 10^{-6}}^{1,36 \times 10^{-6}} i_{OUT}(t) dt = 1,07 \mu\text{A} \quad (5.7)$$

Otrzymaną wartość wykorzystano do wyznaczenia całkowitego czasu ładowania C_0 , który wydłużył się do ok. 503 ns. Wydłużenie czasu ładowania pojemności o 100 ns wprowadza błąd równy 0,25 kroku kwantyzacji T_0 . Błąd ten pojawia się wyłącznie podczas ładowania pojemności referencyjnej C_k , która jako pierwsza została podłączona do danej szyny. Warto w tym miejscu wspomnieć, że źródła prądowe są włączane w chwilach wykrycia zboczy mierzonego interwału czasu T_{IN} i pozostają włączone aż do zakończenia przetwarzania. Błąd wprowadzany przez opóźnienia źródeł prądowych jest widoczny na charakterystyce błędu nieliniowości różniczkowej (rys. 5.15).



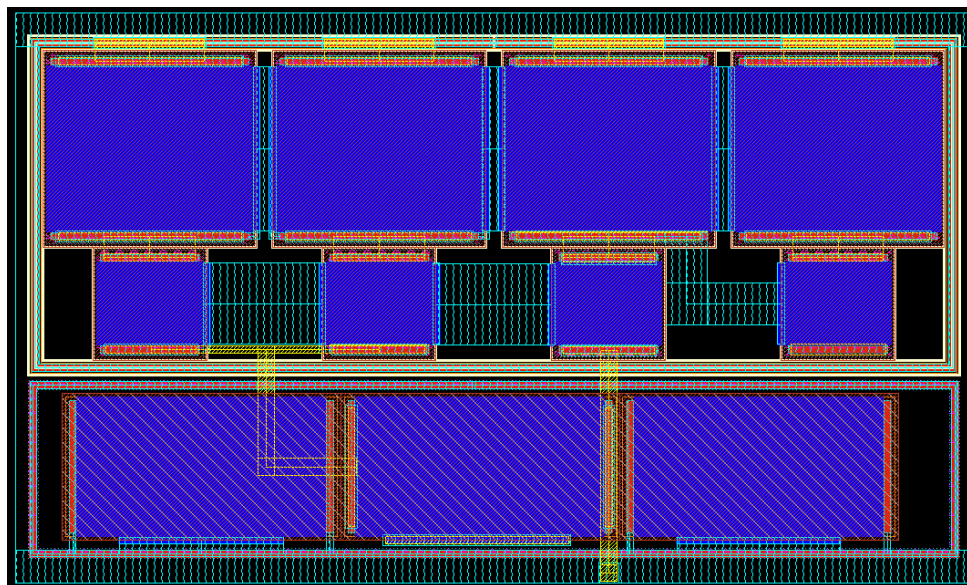
Rysunek 5.15. Błąd opóźnienia włączania źródła prądowego

Omawiany rodzaj błędu ujawnia się wyłącznie w szczególnych punktach charakterystyki przetwarzania ($1/2$ FSR, $3/4$ FSR, $7/8$ FSR, ...), a jego wartość jest niestety stosunkowo duża. W przypadku koincydencji kilku źródeł błędów ich sumaryczna wartość może skutkować błędem gubienia bitu. Dla założonej wartości bezwzględnej rozdzielczości przetwornika wynoszącej ok. 400 ns, zastosowanie jeszcze większych tranzystorów wprowadzałoby opóźnienie obniżające efektywną rozdzielczość układu ENOB (*effective number of bits*). Wpływ błędu opóźnienia źródeł prądowych równego 200 ns oraz 300 ns przedstawiono na rys. 5.16.



Rysunek 5.16. Błąd opóźnienia włączania źródła prądowego: linia czarna 200 ns, linia czerwona: 300 ns

Topografię zaprojektowanego źródła prądowego przedstawiono na (rys. 5.17). Tranzystory zostały ułożone symetrycznie, zapewniając jednocześnie prostolinijną ścieżkę przepływu prądu wyjściowego. W implementacji wykorzystano cztery tranzystory w funkcji *dummy*, aby równomiernie wypełnić zajmowany obszar.



Rysunek 5.17. Topografia źródła prądowego $I_{S(R)}$

Wybrane parametry zaprojektowanego źródła prądowego zestawiono w poniższej tabeli (tab. 5.4):

Tabela 5.4. Wybrane parametry źródła prądowego

Parametr	Topografia
Maksymalny pobór prądu	11,11 μA
Liczba aktywnych tranzystorów CMOS	9
Wartość natężenia prądu wyjściowego	1,5 μA
Wymiar X	57,78 μm
Wymiar Y	34,41 μm
Powierzchnia	1998,21 μm^2
Najwyższy z użytych metali	M2

5.1.3. Komparatory

Zadaniem komparatorów K_S i K_R jest wykrywanie przekroczenia przez napięcie narastające na odpowiedniej szynie (S lub R) wartości referencyjnej V_{REF} i tym samym precyzyjne wskazanie momentu zakończenia odmierzenia kolejnego interwału referencyjnego T_k . Ze względu na całkowicie bezzegarową konstrukcję przetwornika STB-TDC, komparatory pracują w sposób asynchroniczny. Istotnym parametrem, który bezpośrednio decyduje o możliwej do osiągnięcia rozdzielczości przetwarzania jest opóźnienie wprowadzane przez rozważane podzespoły. Aby uniknąć powstawania znaczącego błędu, czas odpowiedzi komparatora ΔK_{Ck} powinien spełniać co najmniej jeden z dwóch poniższych warunków:

- a) Dla każdego kondensatora C_k czas odpowiedzi komparatora ΔK_{Ck} powinien być pomijalnie krótki w stosunku do czasu ładowania pojemności jednostkowej T_0 :

$$\Delta K_{Ck} \ll T_0$$

- b) Dla każdego kondensatora C_k czas odpowiedzi komparatora ΔK_{Ck} powinien być proporcjonalny do czasu jego ładowania, aby został zachowany binarny stosunek referencyjnych interwałów czasu:

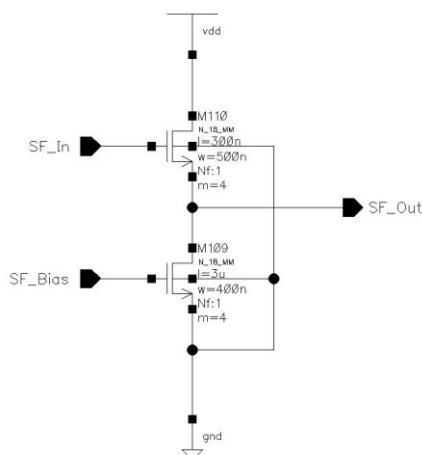
$$\frac{T_{k+1} + \Delta K_{C(k+1)}}{T_k + \Delta K_{C(k)}} = 2$$

Asynchroniczność komparatorów powoduje, że ich czas reakcji jest zależny od prędkości narastania monitorowanego sygnału. Nachylenie zbocza napięcia narastającego np. na kondensatorze C_6 jest tymczasem aż 64-krotnie mniejsze od nachylenia uzyskiwanego dla kondensatora jednostkowego C_0 . Czas odpowiedzi komparatora ΔK_{C6} dla pojemności C_6 może nie być wystarczająco krótki i naruszać warunek $\Delta K_{C6} \ll T_0$, co będzie się objawiać nadmiernym błędem DNL. Na rys. 5.18 przedstawiono wpływ opóźnienia komparatora na kształt charakterystyki DNL dla przykładowych wartości opóźnień $\Delta K_{C7}, \dots, \Delta K_{C0}$ równych odpowiednio 230 ns, 200 ns, 170 ns, 140 ns, 110 ns, 80 ns, 50 ns, 20 ns. Uzyskana charakterystyka sugeruje, że układ komparatora powinien być zaprojektowany zgodnie z warunkiem (b).

Zastosowane napięcie zasilania całego przetwornika STB-TDC, wynoszące 1,8 V, jest wystarczające do właściwej polaryzacji luster prądowych M45 – M46, M11 – M39 komparatora, ustalających punkt pracy wejścia różnicowego M42 – M43.

W trakcie projektowania komparatora problemem okazała się pojemność pasożytnicza tranzystora M43. Jego bramka jest połączona bezpośrednio z odpowiednią szyną, zwiększając istotnie jej pojemność pasożytniczą. To z kolei prowadzi do powstawania na szynie skoków napięcia podczas przyłączania do niej kolejnych kondensatorów referencyjnych (problem ten został opisany w podrozdziale 5.1.2). Koniecznym więc okazało się separowanie wejścia komparatora od szyny, do czego wykorzystano wtórnik źródłowy (rys. 5.20).

Napięcie potencjału polaryzującego bramkę tranzystora M109 (SF_Bias) dostarcza referencyjne źródło napięcia V_{REF} , co zostanie szerzej opisane w kolejnym podrozdziale 5.1.4. Potencjał panujący na danej szynie S lub R (podłączonej do wejścia SF_In), jest obniżany o wartość napięcia V_{GS} tranzystora M110 a następnie jest podawany na wejście komparatora. Za pomocą analizy stałoprądowej ustalono, że wartość napięcia V_{GS} tranzystora M100 dla napięcia wejściowego SF_In równego 1,45 V (maksymalna wartość napięcia na szynie, dla którego źródło prądowe pracuje poprawnie) wynosi ok. 0,635 V. Przebiegi sygnałów w poszczególnych węzłach wtórnika źródłowego SF zostały przedstawione na rys. 5.21.



Rysunek 5.20. Schemat wtórnika źródłowego $SF_{S(R)}$

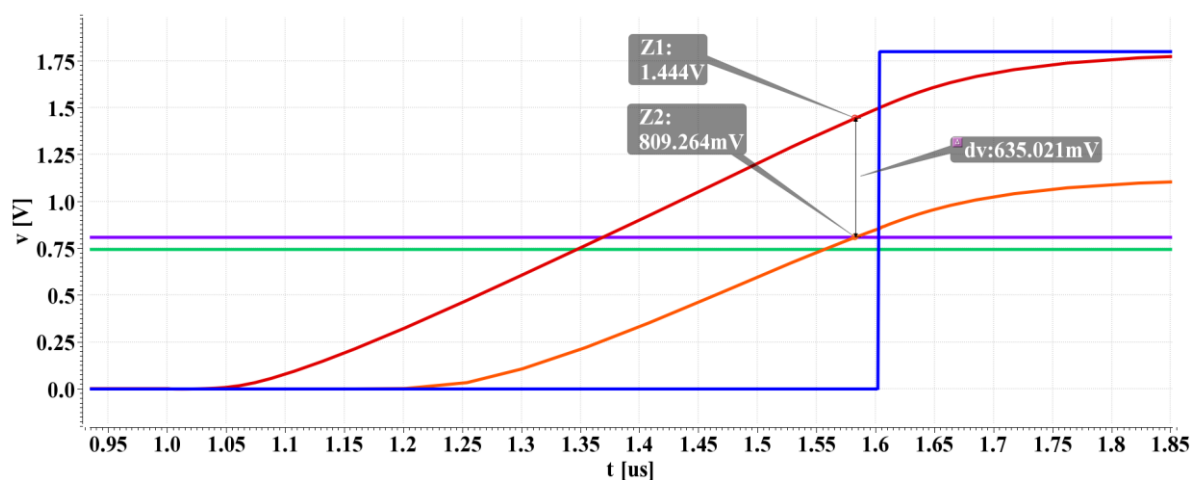
Ze względu na przesunięcie progu przełączania komparatora założono, że źródło prądowe przedstawione w poprzednim rozdziale będzie ładować pojemność referencyjną C_k do wartości 1,45 V. Wtórnik źródłowy poprzedzający wejście komparatora obniży je o wartość 0,635 V wyznaczając tym samym docelową wartość napięcia referencyjnego V_{REF} :

$$V_{\text{REF}} = 1,45 - 0,635 \text{ V} \quad (5.8)$$

$$V_{\text{REF}} = 0,814 \text{ V}$$

Analizując wszystkie wymienione dotychczas źródła błędów (pojemność pasożytnicza kluczy, opóźnienie włączania źródła prądowego, czas odpowiedzi komparatora) ostatecznie wyznaczono możliwy do uzyskania krok kwantyzacji $T_0 = 600 \text{ ns}$. Szczegółowy opis referencyjnego źródła napięcia V_{REF} zostanie przedstawiony w kolejnym podrozdziale.

W tab. 5.5 zestawiono wyniki opóźnień $\Delta K_{C7}, \dots, \Delta K_{C0}$ dla zaprojektowanego komparatora. Dalszą kompensację błędów opóźnień pozostawiono do czasu projektowania finalnej topografii całego przetwornika STB-TDC, która będzie zawierała rzeczywiste struktury wszystkich układów oraz związane z nimi pojemności i rezystancje pasożytnicze. Uwzględnienie tych parametrów w symulacji pozwoli określić dokładne wartości interwałów referencyjnych T_7, \dots, T_0 a przez to dobrać sposób kompensacji błędów powodowanych przez opóźnienia komparatora.



Rysunek 5.21. Przesunięcie napięcia na szynie R; linia czerwona – SF_In, linia pomarańczowa – SF_Out, linia zielona – SF_Bias, linia fioletowa – V_{REF} , linia niebieska – Comp_Out

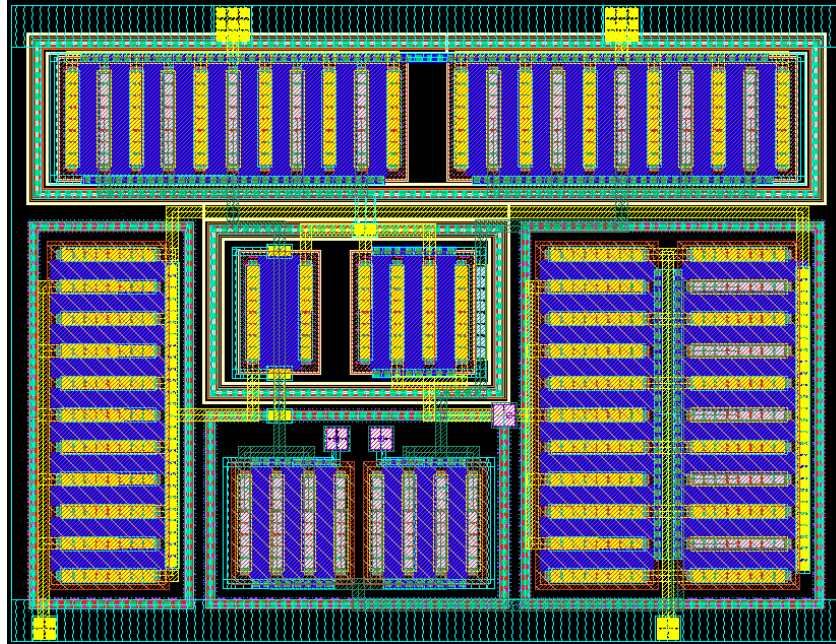
Topografię komparatora przedstawiono na rys. 5.22. Zajmuje on powierzchnię $39,73 \mu\text{m} \times 30,5 \mu\text{m}$, a do tworzenia połączeń pomiędzy tranzystorami wykorzystano metale

M1 – M4. Szczególną uwagę zwrócono na zachowanie symetrii wejściowego stopnia różnicowego, której brak może prowadzić do błędu przesunięcia zera [105]. W stanie relaksacji pobór prądu wynosi ok. 173,69 μA , a w chwili przełączania impulsy prądowe sięgają 325,96 μA .

Znaczące szpilki prądu mogą powodować chwilowe zapady napięcia zasilania, co w oczywisty sposób zaburzyłoby stabilność pracy komparatora. W celu uniknięcia tego problemu dobrano odpowiednio szerokie szyny zasilania oraz zwiększono ilość przelotek dzięki czemu zminimalizowano rezystancję połączeń doprowadzających zasilanie do poszczególnych tranzystorów [86]. Wyniki symulacyjne wykazały, że napięcie zasilania pozostaje stabilne w poszczególnych węzłach obwodu.

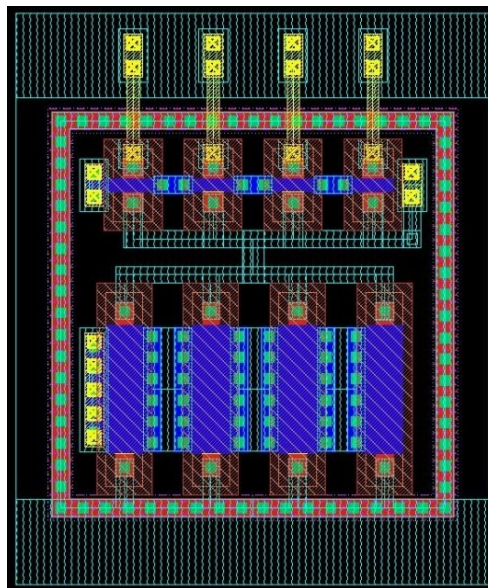
Tabela 5.5. Wpływ opóźnień komparatora na długości referencyjnych odcinków czasu

Kondensator referencyjny	Czas ładowania pojemności [μs]	Opóźnienie komparatora ΔK_{Ck} [ns]	Stosunek czasu ładowania $\frac{t_k}{t_{k-1}}$
C ₀	0,5889	15,843	-
C ₁	1,1676	22,651	1,968
C ₂	2,1248	31,163	1,811
C ₃	4,0389	43,577	1,894
C ₄	7,8659	75,177	1,945
C ₅	15,509	106,300	1,966
C ₆	30,743	193,578	1,981
C ₇	61,122	352,619	1,987



Rysunek 5.22. Topografia komparatora $K_{S(R)}$

Wtórnik źródłowy (rys. 5.23), który separuje komparator od szyny, został przystosowany do bezpośredniego sąsiedztwa z komparatorem. Wejście SF_In oraz wyjście SF_Out znajdują się zatem na tej samej wysokości, co wejścia komparatora, ułatwiając tworzenie połączeń.



Rysunek 5.23. Topografia wtórnika źródłowego $SF_{S(R)}$

Tabela 5.6. Wybrane parametry komparatora $K_{S(R)}$

Parametr	Topografia
Pobór prądu w stanie relaksacji	173,68 μA
Pobór prądu w chwili przełączania	330,46 μA
Liczba aktywnych tranzystorów CMOS	9
Wymiar X	39,73 μm
Wymiar Y	30,50 μm
Zajmowana powierzchnia	1211,77 μm^2
Najwyższy z użytych metali	M4

Tabela 5.7. Wybrane parametry wtórnika źródłowego $SF_{S(R)}$

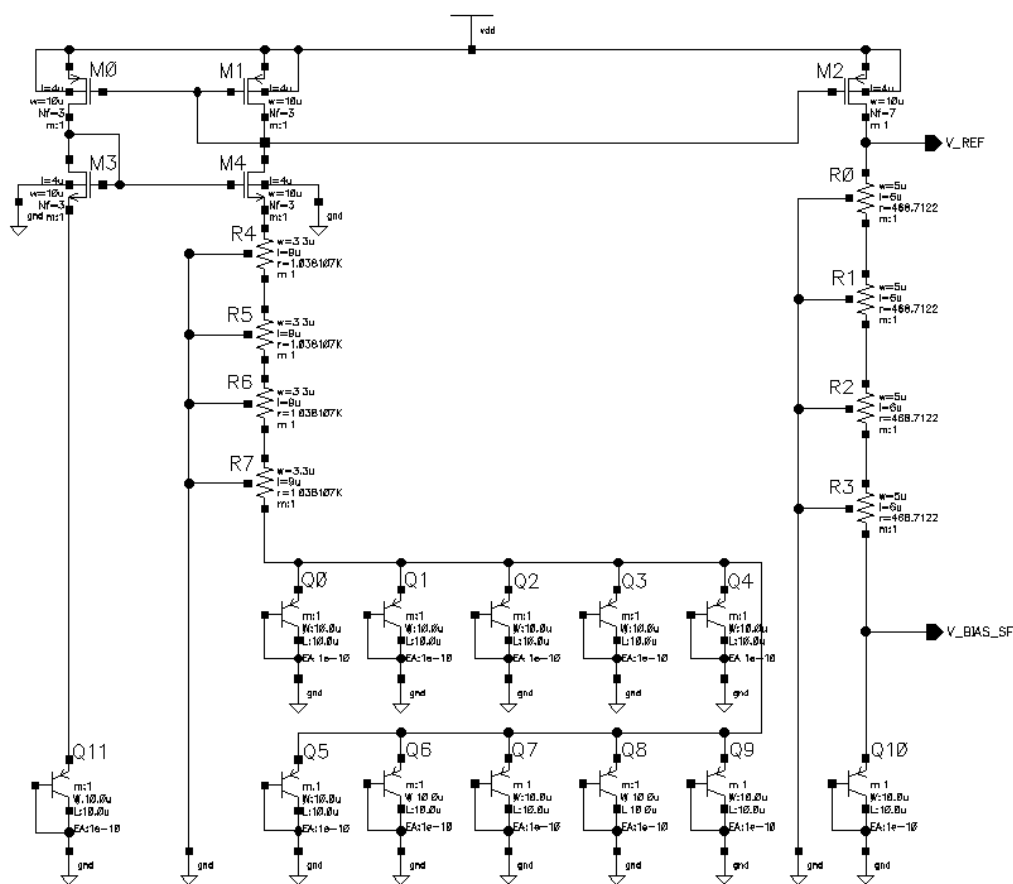
Parametr	Topografia
Pobór prądu w stanie relaksacji	2,23 nA
Liczba aktywnych tranzystorów CMOS	2
Wymiar X	11,15 μm
Wymiar Y	13,43 μm
Zajmowana powierzchnia	149,74 μm^2
Najwyższy z użytych metali	M2

5.1.4. Referencyjne źródło napięcia

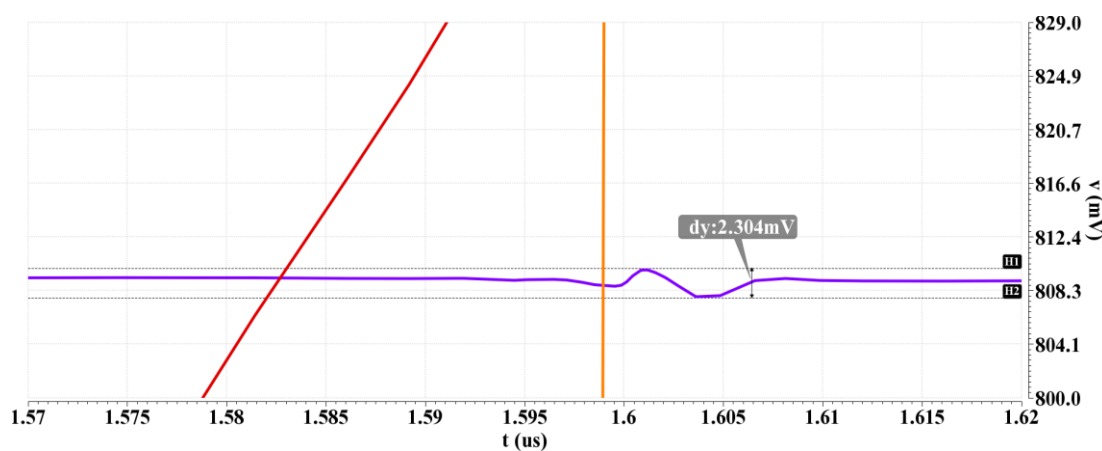
Źródło napięcia odniesienia (*bandgap voltage reference*) V_{REF} wyznacza próg ładowania pojemności referencyjnych C_7, \dots, C_0 . Struktura źródła zawiera układy z dodatnim współczynnikiem temperaturowym PTAT (*proportional to absolute temperature*) oraz ujemnym współczynnikiem temperaturowym CTAT (*complementary to absolute temperature*). Zastosowana konfiguracja zapewnia stabilność dostarczanego napięcia referencyjnego V_{REF} , która po uwzględnieniu marginesu błędu ostatecznie wynosi 809 mV (zależność 5.8). Źródło referencyjne wykorzystano także do odpowiedniego polaryzowania tranzystora M109 we wtórniku źródłowym ($\text{SF_Bias} = 744 \text{ mV}$).

Schemat referencyjnego źródła napięcia przedstawiono na rys. 5.24. Wyjście V_{REF} podaje napięcie na wejścia odwracającego obu komparatorów, natomiast wyjście $V_{\text{BIAS_SF}}$ polaryzuje tranzystor M109 wtórника źródłowego (rys. 5.20). W trakcie wykonywania analizy symulacyjnej, uwzględniającej wpływ komparatorów pracę źródła referencyjnego dostrzeżono, że ich przełączenie się chwilowo destabilizuje wartość napięcia wyjściowego V_{REF} . Przeładowywane wówczas pojemności pasożytnicze wejściowych stopni różnicowych pobierają niewielką ilość prądu, co prowadzi do chwilowego obniżenia napięcia V_{REF} . Jeżeli w chwili przełączania się jednego komparatora proces ładowania pojemności referencyjnej połączonej z drugą szyną dobiega właśnie końca, to nagłe obniżenie wartości V_{REF} może spowodować natychmiastowe zakończenie tego procesu i tym samym skrócenie odmierzanego interwału czasu.

Aby uniknąć stosowania dodatkowych stabilizatorów napięcia, zdecydowano się na modyfikację zaprojektowanego już układu w celu uodpornienia go na przedstawione powyżej zjawisko. Wypadkowa rezystancja R_0, R_1, R_2, R_3 została zmniejszona do 1874,85 k Ω , aby zwiększyć wartość natężenia prądu w gałęzi dostarczającej napięcie referencyjne. Dzięki temu, podczas przełączania komparatora zaburzenie V_{REF} nie przekracza 3 mV (rys. 5.25). Rezystory tworzone w technologii UMC 0,18 μm mają znikomy rozrzut, dlatego przy wprowadzaniu zmian zdecydowano się na modyfikację właśnie tych elementów a nie źródła prądowego.

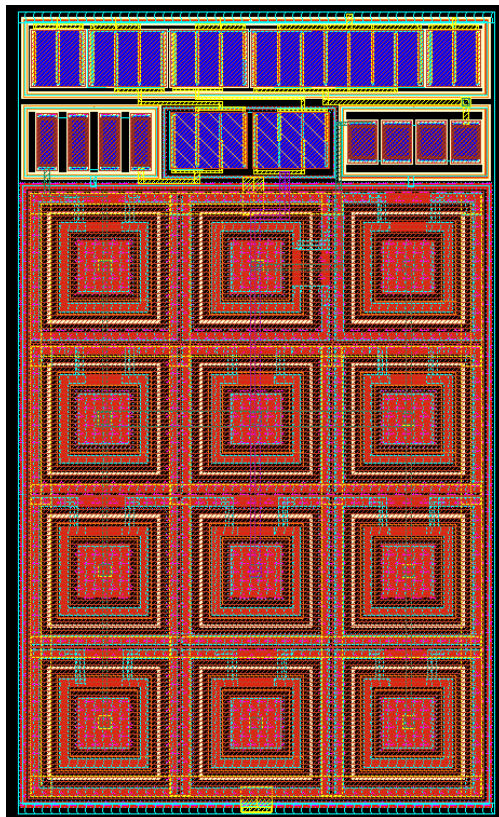


Rysunek 5.24. Schemat referencyjnego źródła napięcia V_{REF}



Rysunek 5.25. Zaburzenie napięcia referencyjnego V_{REF} o 3 mV; linia czerwona – napięcie na szynie, linia żółta – narastający sygnał wyjściowy komparatora, linia fioletowa – napięcie referencyjne V_{REF}

Topografia źródła napięcia referencyjnego V_{REF} została przedstawiona na rys. 5.26. Jego wymiary wynoszą $92,05 \mu\text{m} \times 155,04 \mu\text{m}$, co czyni go znacząco większym od opracowanych dotychczas aktywnych podzespołów.



Rysunek 5.26. Topografia referencyjnego źródła napięcia V_{REF}

Głównym czynnikiem wpływającym na rozrzut wartości napięcia referencyjnego V_{REF} są parametry źródeł prądowych MOS, które wyznaczają spadek napięcia na rezystorach R_0, \dots, R_7 . Ich wymiary, tak jak w przypadku pozostałych układów, są stosunkowo duże, co pozwala zminimalizować ich wrażliwość na rozrzut technologiczny [83-87]. Wszystkie tranzystory posiadają także taką samą długość i szerokość, co umożliwiło ich ścisłe dopasowanie na topografii. W celu wypełnienia luk, na bokach układu dodano nieaktywne tranzystory typu *dummy*.

Zgodnie z powszechnie stosowaną praktyką dioda referencyjna została umieszczona pośrodku układu i otoczona ze wszystkich stron diodami ochronnymi Q_0, \dots, Q_9 . Pomimo, że takie rozwiązanie jest kosztowne pod względem zajmowanej powierzchni, to jednak zwiększa stabilność dostarczanego napięcia referencyjnego V_{REF} .

Tabela 5.8. Wybrane parametry referencyjnego źródła napięcia V_{REF} .

Parametr	Topografia
Pobór prądu w czasie pracy	64 μA
Liczba aktywnych tranzystorów CMOS	5
Liczba tranzystorów BJT	12
Wartość napięcia referencyjnego V_{REF}	809 mV
Wartość obniżenia napięcia referencyjnego	2,3 mV
Wymiar X	92,05 μm
Wymiar Y	155,04 μm
Zajmowana powierzchnia	14 271,432 μm^2

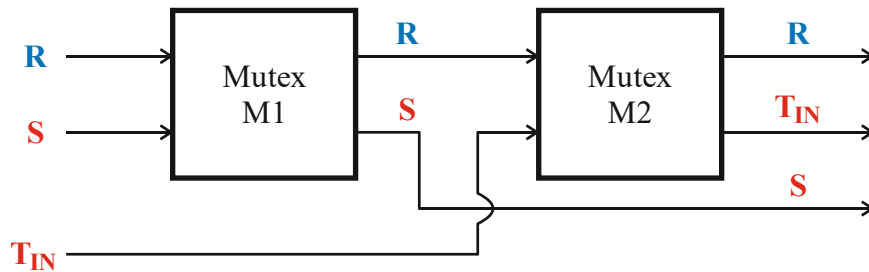
5.1.5. Układ wzajemnego wykluczenia

Układ wzajemnego wykluczenia *mutex* (*mutual exclusion*) zastosowano w celu uniknięcia niejednoznaczności zachowania się przetwornika STB-TDC w sytuacji równoczesnego pojawienia się sygnałów wyjściowych obu komparatorów (K_S oraz K_R) na wejściu asynchronicznego automatu sterującego ASM [106-108]. Właściwe rozstrzygnięcie takiego przypadku jest absolutnie niezbędne, ponieważ układy związane z poszczególnymi szynami S, R działają niezależnie od siebie. Quasirównoczesność sygnałów taktujących automat sterujący może prowadzić do pojawienia się niepożądanych wyścigów (*racings*) oraz hazardów (*hazards*).

Schemat blokowy układu mutex przedstawiono na rys. 5.27. Podzespołowi temu nadano dwustopniową strukturę, ponieważ w przetworniku STB-TDC mogą wystąpić dwa rodzaje kolizji:

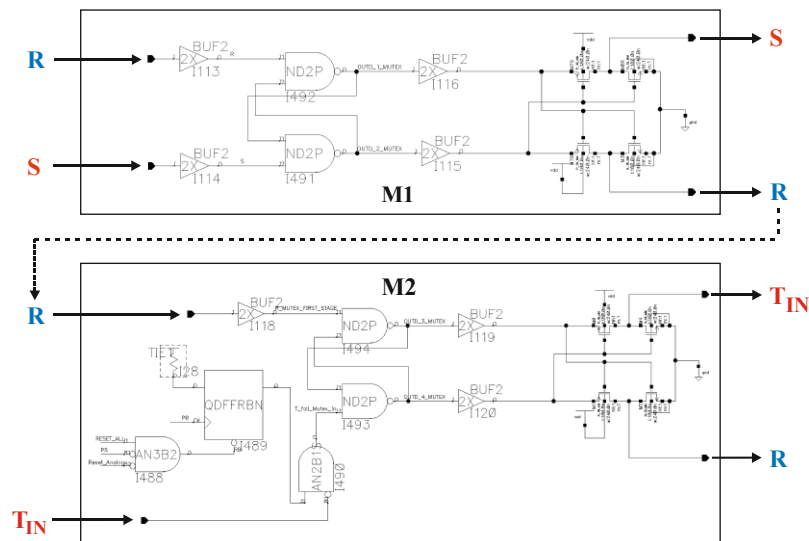
- kolizja sygnału referencyjnego R z sygnałem źródłowym S,
- kolizja sygnału referencyjnego R z tylnym zboczem impulsu wejściowego T_{IN} .

Każdy stopień układu *mutex* zawiera zatrask SR (*SR latch*) oraz filtr metastabilności zbudowany z czterech tranzystorów MOS. Drugi stopień tego modułu (R, T_{IN}) posiada dodatkowo kilka pomocniczych elementów logicznych, które służą do wykrywania i obsługi stanów szczególnych.



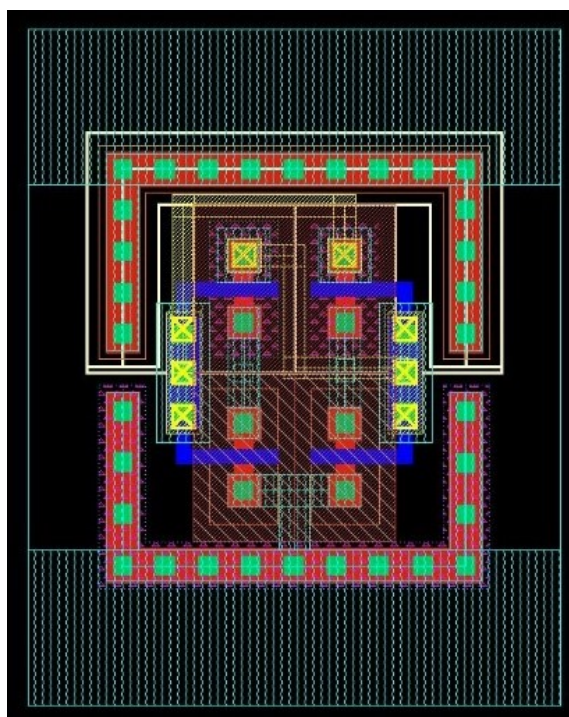
Rysunek 5.27. Schemat blokowy dwustopniowego układu wzajemnego wykluczenia Mutex

Sygnał źródłowy S przechodzi tylko przez pierwszy stopień, gdzie jest eliminowana jego ewentualna kolizja z sygnałem referencyjnym R. Z kolei sygnał R, po przejściu przez pierwszy stopień, jest podawany bezpośrednio na drugi (rys. 5.28), w którym jest wykrywana jego ewentualna kolizja z opadającym zboczem impulsu wejściowego T_{IN} . W ten sposób wyeliminowano wszystkie potencjalne kolizje zewnętrznych sygnałów taktujących asynchroniczny automat sterujący ASM.



Rysunek 5.28. Szczegółowy schemat dwustopniowego układu wzajemnego wykluczenia Mutex

Topografia filtru metastabilności została narysowana ręcznie. Wykorzystanie tranzystorów o minimalnych rozmiarach umożliwiło utworzenie kompaktowej komórki o rozmiarach $6,84 \mu\text{m} \times 8,7 \mu\text{m}$. Bramki logiczne zostały zintegrowane z całym automatem ASM, ale ich położenie zoptymalizowano tak, aby fizyczne połączenia pomiędzy nimi a filtrem były możliwie najkrótsze.



Rysunek 5.29. Topografia filtru metastabilności

Tabela 5.9. Wybrane parametry układu wzajemnego wykluczenia

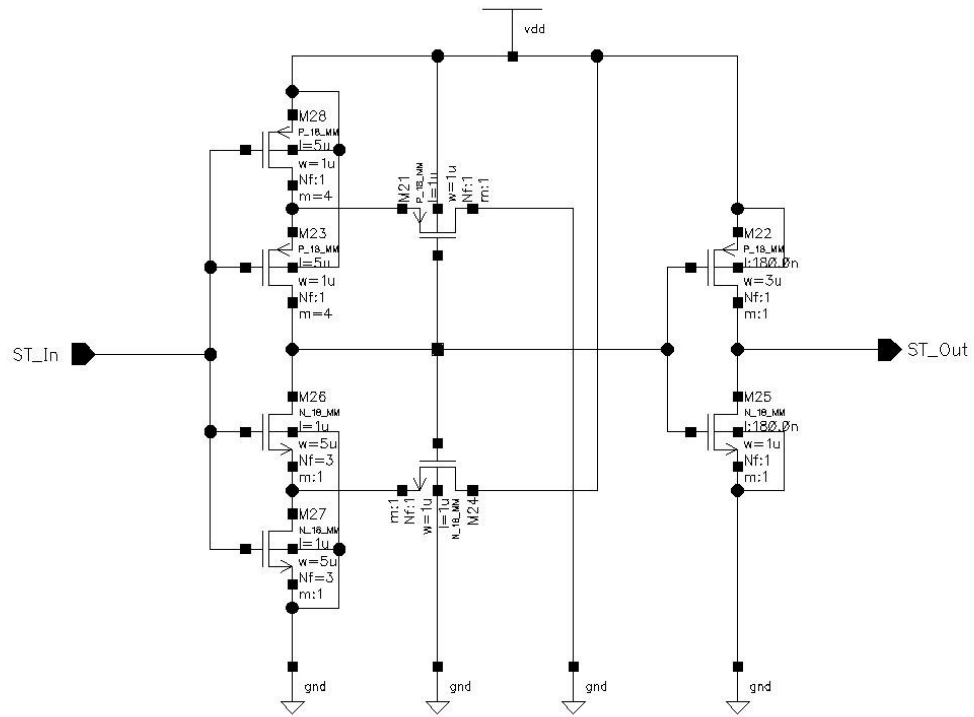
Parametr	Topografia
Liczba tranzystorów CMOS	8
Liczba elementów logicznych	14
Najwyższy z użytych metali	M2
Zajmowana powierzchnia	$59,508 \mu\text{m}^2$

5.1.6. Układy wyostrzające z histerezą

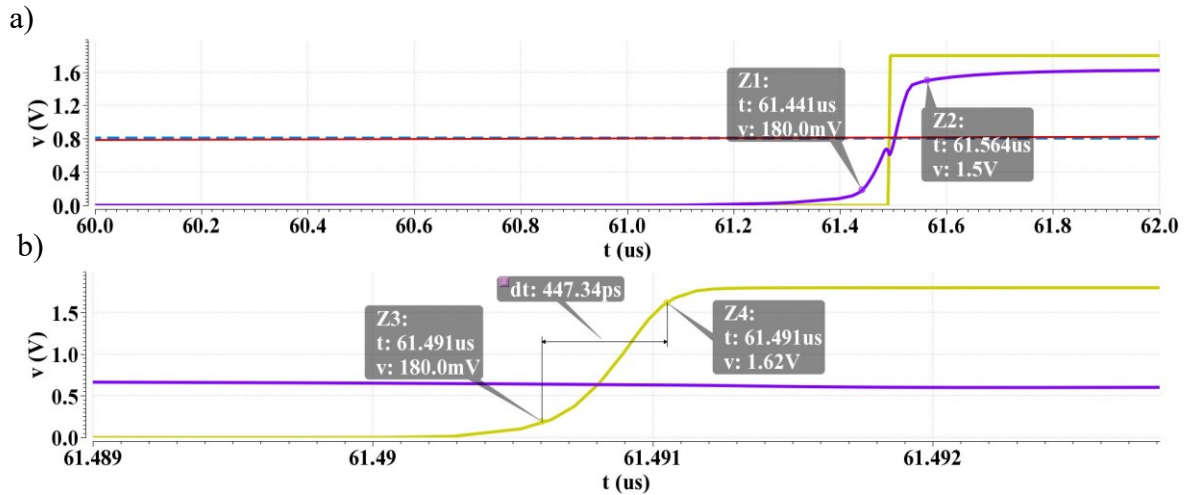
Szybkość przełączania komparatorów K_S , K_R zależy od stromości zboczy napięć narastających na szynach. Wolno narastające napięcie (np. dla kondensatora referencyjnego C_7) powoduje, że kształt sygnału wyjściowego komparatora narusza wymagania czasowe bramek cyfrowych (*rise/fall time constraints*).

W celu zapewnienia wystarczająco stromych impulsów S, R podawanych do wejścia automatu ASM, komparatory zaopatrzone w układy wyostrzające z histerezą (*Schmitt trigger*) (rys. 5.30) [109, 110], dzięki którym czas narastania sygnału R kończący proces ładowania największego z kondensatorów referencyjnych (C_7) nie przekracza 450 ps (rys. 5.31). Progi opracowanej histerezy zostały ustalone na $V_{LT} \approx 395$ mV oraz $V_{UT} \approx 625$ mV. Zastosowane poziomy napięć przyspieszają propagację sygnału z komparatora do ASM oraz zapobiegają ewentualnemu dwukrotnemu przełączeniu się przerzutnika cyfrowego podczas powrotu wyjścia komparatora do stanu niskiego (co mogłoby być powodowane chwilowym wahaniem się jego wartości).

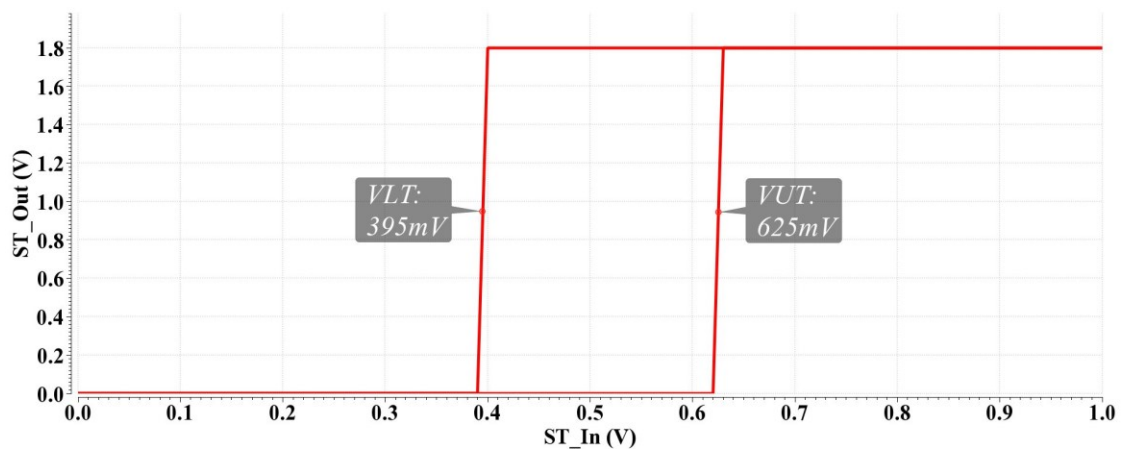
Topografię opracowanego układu przedstawiono na rys. 5.33. Jego całkowita powierzchnia wynosi 507,42 μm^2 . Do tworzenia połączeń wykorzystano metale M1-M3. Na podstawie przeprowadzonych symulacji wyznaczono wartość chwilowych impulsów prądu pobieranych przez układ w czasie przełączania: 115 μA . Pomimo otrzymania stosunkowo dużej wartości nie zaobserwowano spadku dostarczanego napięcia zasilania w poszczególnych węzłach, co oznacza, że zaproponowana szerokości szyn zasilania jest wystarczająca.



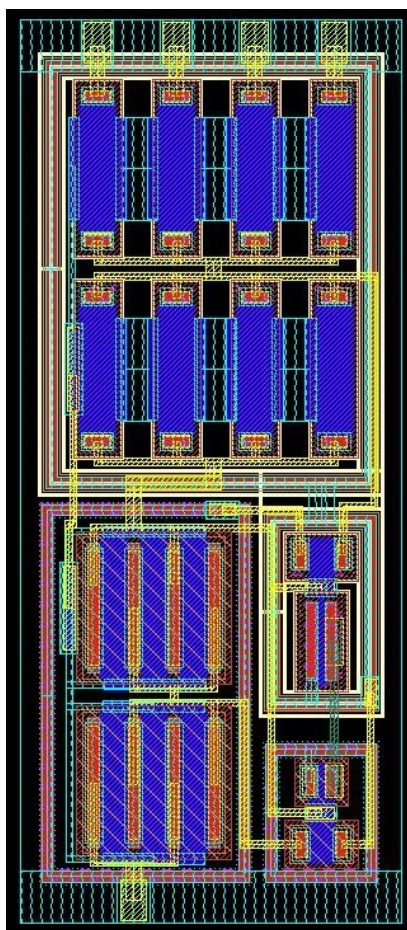
Rysunek 5.30. Schemat układu wyostrzającego z histerezą $ST_{S(R)}$



Rysunek 5.31. Wyostrzenie zbocza sygnału wyjściowego komparatora; linia czerwona – sygnał na wejściu komparatora, linia turkusowa – napięcie referencyjne, linia fioletowa – sygnał wyjściowy z komparatora, linia żółta – sygnał wyjściowy z przerzutnika Schmitta



Rysunek 5.32. Pętla histerezy przerzutnika Schmitta



Rysunek 5.33. Topografia układu wyostrzającego z histerezą $ST_{S(R)}$

Tabela 5.10. Wybrane parametry układu wyostrzającego z histerezą

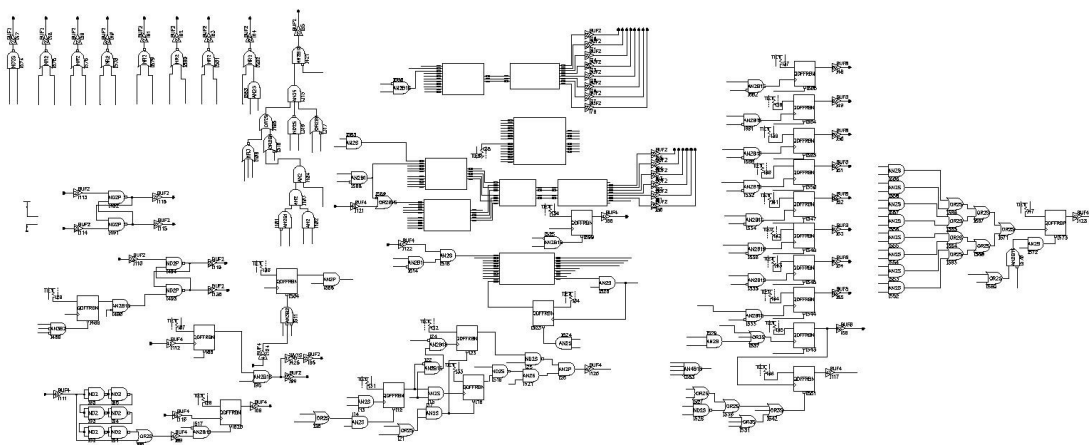
Parametr	Topografia
Pobór prądu w chwili przełączania	115 μA
Liczba aktywnych tranzystorów	14
Czas narastania dla obciążenia $C_L = 50 \text{ fF}$	426,9 ps
Wartość napięcia progów V_{LT}, V_{UT}	395 mV; 625 mV
Wymiar X	14,64 μm
Wymiar Y	34,66 μm
Zajmowana powierzchnia	507,42 μm^2
Najwyższy z użytych metali	M3

5.1.7. Asynchroniczny Automat Sterujący ASM

Układ logiczny sterujący pracą przetwornika STB-TDC jest modułem w pełni bezzegarowym, taktowanym zdarzeniami (*event-driven*) [14, 43, 44]. Do zaimplementowania go w mikrostrukturze wykorzystano bibliotekę logicznych komórek standardowych (*logic core cell library*) *FSA0M_A_GENERIC_CORE* dostarczoną przez Faraday Technology Corporation. Biblioteka jest przeznaczona do procesu UMC 0,18 μm 1P6M i charakteryzuje się możliwością osiągnięcia dużej gęstości upakowania elementów oraz uzyskania niskiego poboru mocy.

Działanie automatu ASM (*asynchronous state machine*) opisano w języku Verilog - HDL a syntezę logiczną przeprowadzono za pomocą narzędzia *Genus Synthesis Solution*. Układ sterujący podzielono na moduły, które były syntezowane oddzielnie, a następnie łączone ze sobą w celu utworzenia finalnego schematu (rys. 5.34). W kilku miejscach układu konieczne było wprowadzanie ręcznych poprawek (w celu wyeliminowania potencjalnych hazardów i wyścigów) oraz usprawnień zwiększających

niezawodność układu (np. dedykowana ścieżka dla głównego sygnału resetującego ASM). Wymaganą stromość zboczy sygnałów wejściowych oraz sygnałów sterujących układami analogowymi zapewniono dodając nieodwracające komórki buforujące pomiędzy poszczególne bloki składowe.



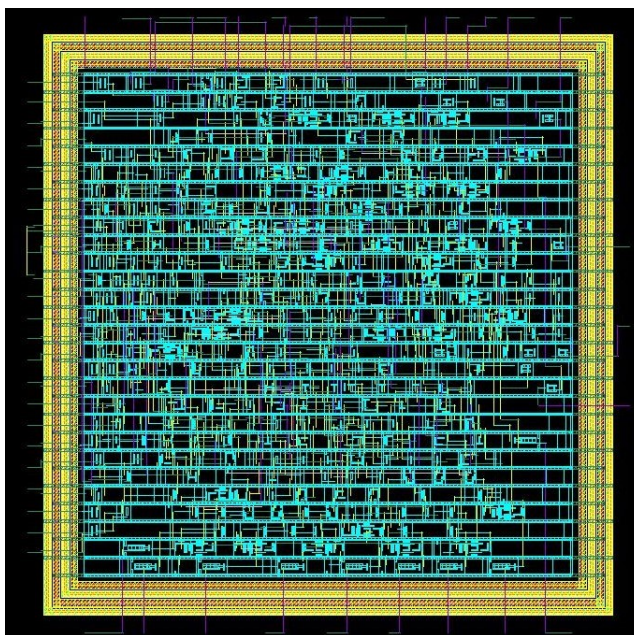
Rysunek 5.34. Schemat automatu sterującego ASM

Implementacja fizyczna PnR (*place - and - route*) automatu sterującego została przeprowadzona w środowisku *Innovus Implementation System*. Kierunki wyprowadzenia sygnałów zostały wybrane na podstawie wcześniej określonego położenia poszczególnych modułów analogowych (*floorplan*). Na zasilanie części cyfrowej przeznaczono metale M1-M3, przy czym M2-M3 użyto poza obszarem układania komórek (*core area*), aby nie blokować możliwości prowadzenia ścieżek sygnałowych na niskich metalach.

Komórki logiczne położono zgodnie z zalecanym przez producenta wariantem, który umożliwia uzyskanie dużej gęstości elementów, a tym samym minimalizację zajmowanej przez nie powierzchni. Dodatkowo, aby uniknąć problemów związanych minimalnym odstępem prowadzonych ścieżek metali oraz przelotek (*vias*), sparametryzowano procedurę układania elementów, kładąc komórki wypełniające (*filler cell*) pomiędzy każde dwie komórki logiczne. Niektórym z nich nadano typ pojemnościowy, co dodatkowo zapewniło filtrację szyny zasilającej.

Pomimo braku globalnego sygnału zegarowego w zaprojektowanym układzie ASM narzędzie PnR poprawnie wykonało operację łączenia wszystkich elementów i nie naruszyło

wymagań technologicznych (DRC) określonych w specyfikacji UMC 0,18 μm . Zaprojektowaną topografię asynchronicznego automatu sterującego ASM przedstawiono na rys. 5.35.



Rysunek 5.35. Topografia asynchronicznego automatu sterującego ASM

Tabela 5.11. Wybrane parametry modułu ASM

Parametr	Topografia
Liczba aktywnych komórek	1149
Wymiar X	170,2 μm
Wymiar Y	173,7 μm
Najwyższy z użytych metali	M5
Liczba portów	31
Zajmowana powierzchnia	29 563,74 μm^2

5.2. Dodatkowe optymalizacje oraz kompensacje błędów

5.2.1. Kompensacja pojemności pasożytniczych matrycy kondensatorów referencyjnych

Przeprowadzona ekstrakcja RC całego przetwornika STB-TDC wykazała znaczną liczbę pojemności pasożytniczych. W tab. 5.12 przedstawiono wartości tych pojemności powiązane z poszczególnymi kondensatorami referencyjnymi. Pożądany binarny stosunek pojemności referencyjnych uzyskano poprzez dodanie odpowiedniej pojemności C_k' do każdego z kondensatorów C_7, \dots, C_1 , w taki sposób, aby spełniony został warunek:

$$\frac{C_k + C_{pk} + C_k'}{C_0 + C_{p0}} = 2^k, \quad (5.9)$$

gdzie C_k jest podstawową wartością kondensatora referencyjnego, C_{pk} jest jego pojemnością pasożytniczą, a C_k' jest dodaną pojemnością w celu uzyskania binarnego stosunku skorygowanych elementów.

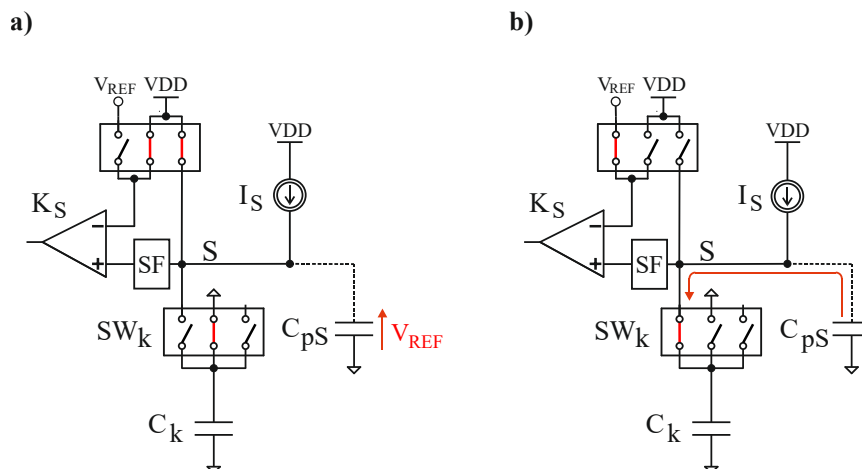
Tabela 5.12. Kompensacja pojemności pasożytniczych matrycy pojemności referencyjnych

Kondensator referencyjny	Pojemność pasożytnicza C_{pk} [fF]	Dodana pojemność wyrównawcza C_k' [fF]
C_0	54,8	-
C_1	91,6	18
C_2	183,4	35,9
C_3	236	202,4
C_4	265,6	611,3
C_5	418	1335,7
C_6	6847	2822,8
C_7	1163	5852,1

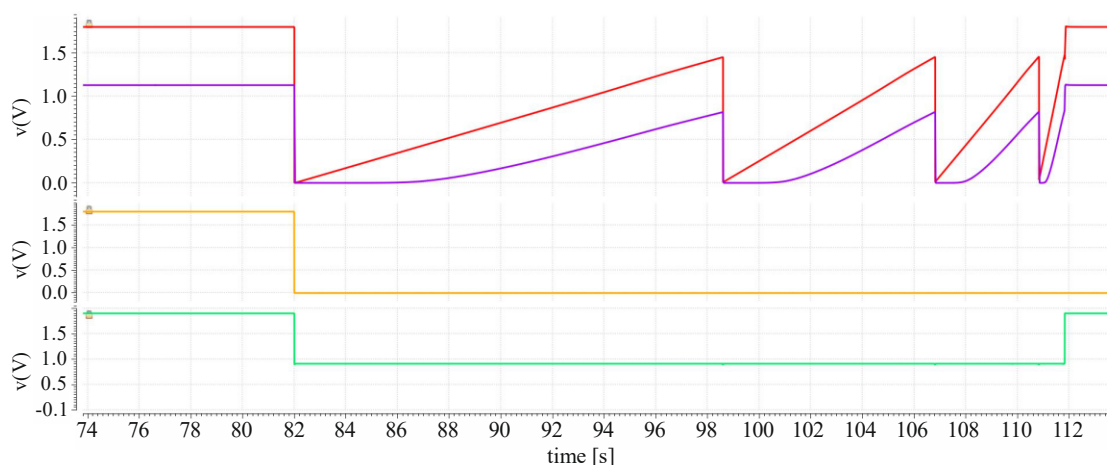
5.2.2. Mechanizm wstępnego wstrzykiwania ładunku

Powstawanie skoków napięcia na szynach przetwornika podczas przełączania pojemności referencyjnych zostało opisane w podrozdziale 5.2. Jak przedyskutowano, problem jest tym bardziej złożony, że taki skok nie występuje dla pierwszej pojemności referencyjnej przyłączanej do danej szyny.

Zamiast wprowadzać skomplikowane modyfikacje sekwencji przełączania kluczy SW_7, \dots, SW_0 , zdecydowano się zastosować mechanizm wstrzykiwania ładunku do pojemności referencyjnej, która jest przyłączana do szyny S jako pierwsza. W tym celu szyna S została zaopatrzona w dodatkowy zestaw trzech kluczy (rys. 5.36). W czasie relaksacji szyna jest przyłączana do napięcia zasilania VDD, co powoduje zgromadzenie się ładunku w jej pojemności pasożytniczej C_{pS} (rys. 5.36a). Równocześnie wejście odwracające komparatora jest utrzymywane na potencjale napięcia zasilania, aby jego wyjście pozostało w stanie nieaktywnym. W chwili wykrycia zbocza impulsu wejściowego T_{IN} następuje równoczesne odłączenie szyny od napięcia zasilania VDD i podłączenie do niej pojemności referencyjnej C_k oraz odłączenie wejścia odwracającego komparatora od napięcia zasilania VDD i podłączenie go do napięcia referencyjnego (rys. 5.36b). Dzięki temu ładunek zgromadzony w pojemności pasożytniczej szyny C_{pS} (naładowanej do napięcia zasilania) jest wstrzykiwany do pojemności C_k , która jako pierwsza została podłączona do szyny S (rys. 5.37). Pozostała część algorytmu przetwarzania pozostaje bez zmian.



Rysunek 5.36. Mechanizm wstępnego wstrzykiwania ładunku: a) stan relaksacji; b) rozpoczęcie ładowania



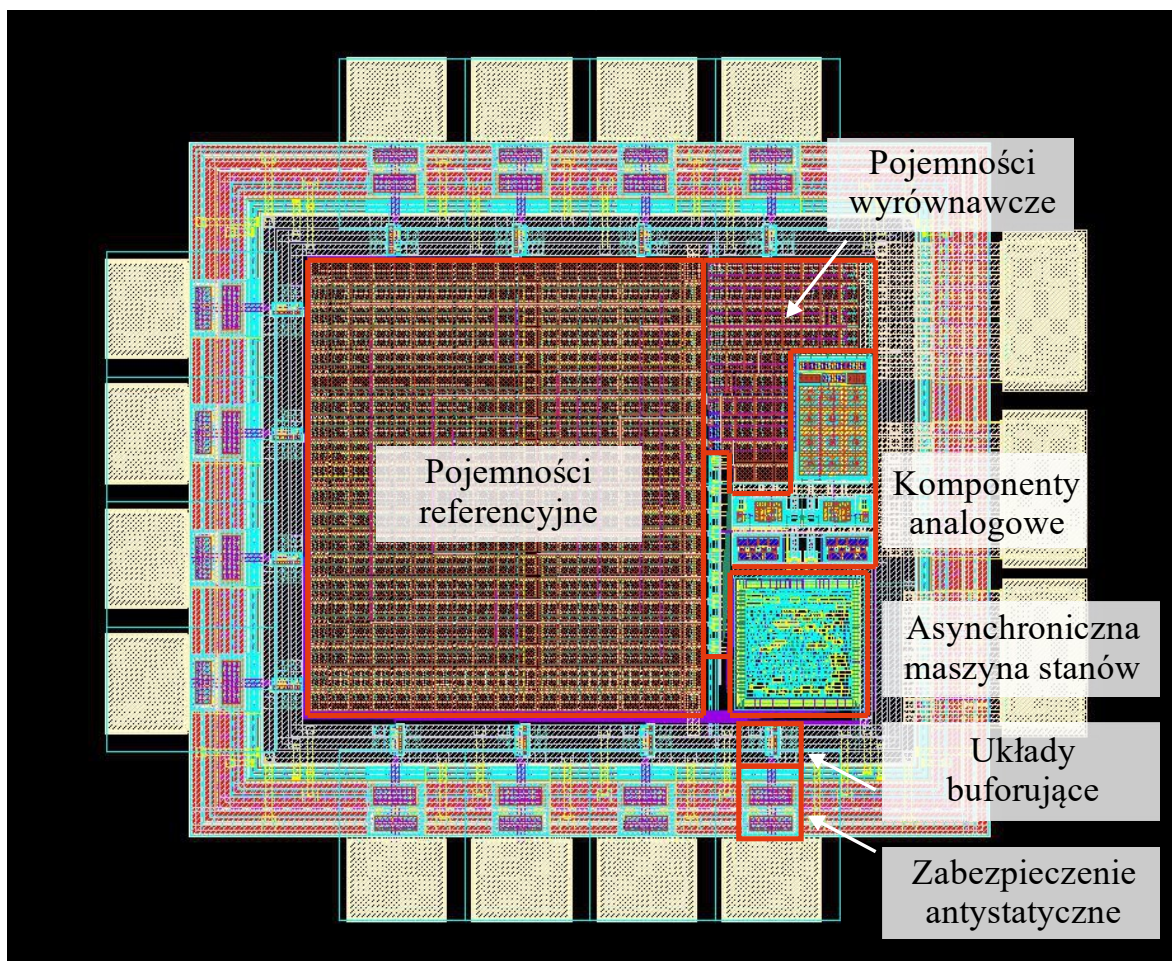
Rysunek 5.37. Działanie mechanizmu wstępnego wstrzykiwania ładunku; linia czerwona – szyna S, linia fioletowa – wejście nieodwracające komparatora K_S , linia żółta – impuls T_{IN} , linia zielona – wejście odwracające komparatora K_S

5.3. Wyniki badań symulacyjnych zaprojektowanego układu

Topografię zaprojektowanego przetwornika STB-TDC, którą skierowano do produkcji serii próbnej, przedstawiono na rys. 5.38. Całkowita zajmowana powierzchnia z uwzględnieniem obszarów przeznaczonych do łączenia drutowego (wire bonding) wynosi ok. 1,455 mm^2 .

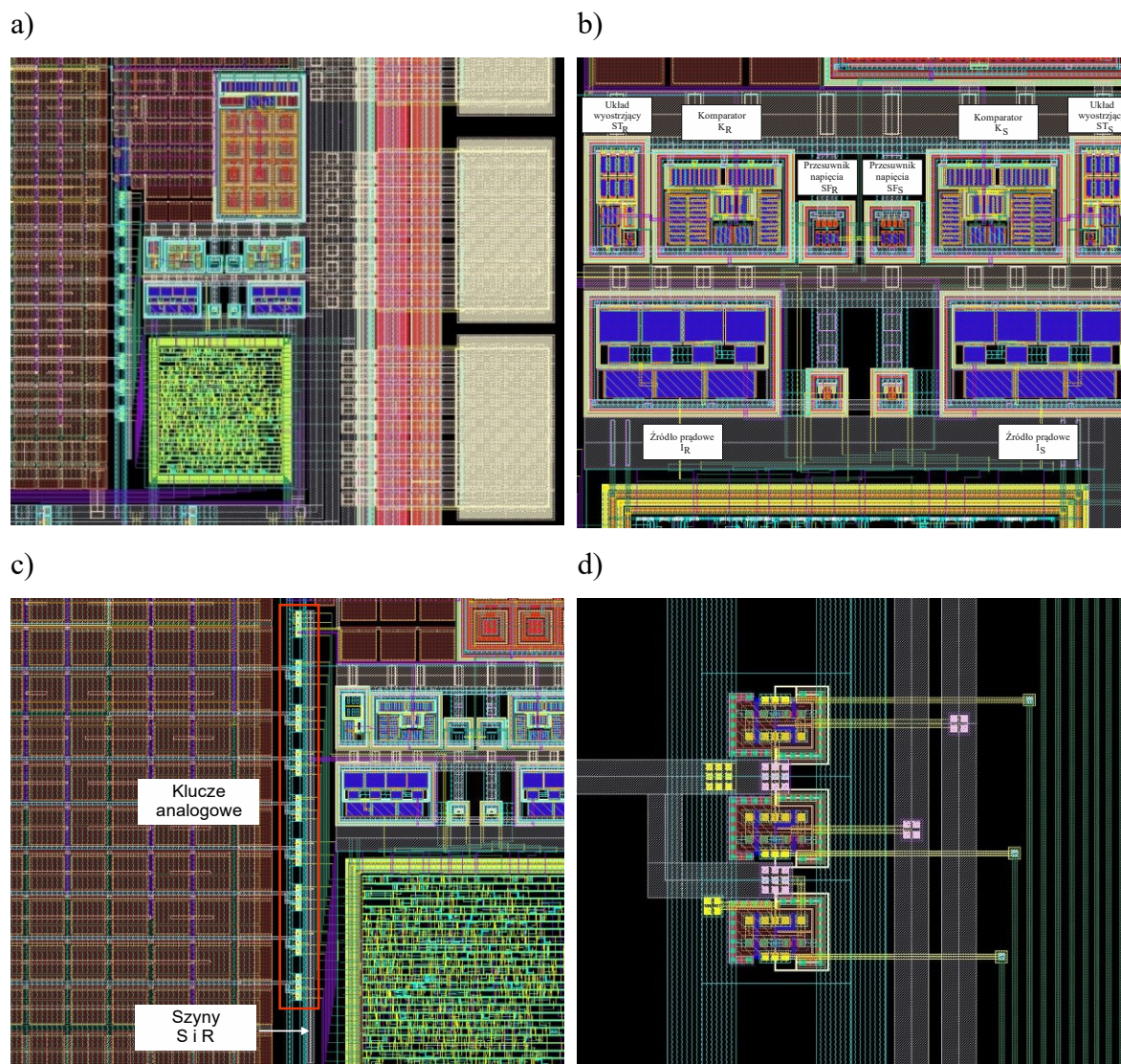
Wszystkie aktywne komponenty analogowe, które bezpośrednio współpracują z asynchronicznym automatem ASM zostały ułożone w jego bliskim sąsiedztwie (rys. 5.39a - b). Dzięki temu zminimalizowano czasy propagacji sygnałów sterujących podzespołami analogowymi (bramki transmisyjne, źródła prądowe) oraz sygnałów sygnalizujących zakończenie ładowania poszczególnych kondensatorów referencyjnych. Dodatkowo moduły analogowe ułożono w symetryczną strukturę, wyrównując tym samym czasy propagacji [46]. W szczególności dotyczy to źródeł prądowych I_S , I_R oraz komparatorów K_S , K_R (rys. 5.39b). Do zaprojektowania sieci zasilania PDN (*Power Distribution Network*) wykorzystano metale M5 i M6, których rezystancja w przyjętym procesie (*metal stack IP6M*) jest najmniejsza. Uwzględniając zapotrzebowania prądowe w chwilach przełączania pojemności referencyjnych (rekonfiguracja bramek transmisyjnych, włączanie źródeł prądowych, przełączanie komparatorów), do każdego z układów

analogowych doprowadzono szeroką szynę metalu. Zapewniono dzięki temu nie tylko niską rezystancję szyn zasilania, ale również lokalną pojemność filtrującą.

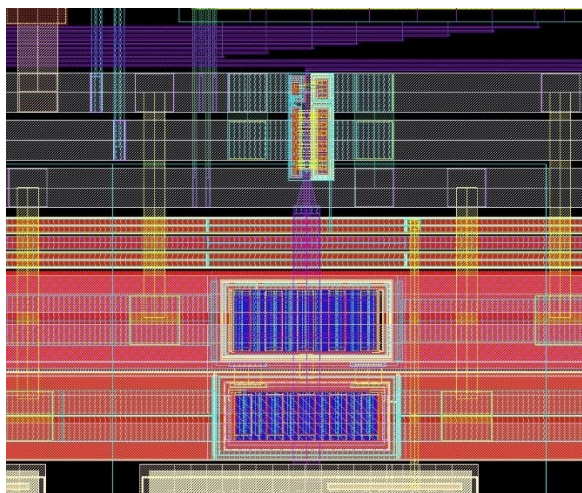


Rysunek 5.38. Topografia przetwornika STB-TDC

Do współpracy z zewnętrznym otoczeniem przetwornik STB-TDC wymaga trzech wejściowych portów cyfrowych (T_{IN} , Reset, Pre_charge), dziewięciu wyjściowych portów cyfrowych (Out_7 , ..., Out_0 , RDY), dwóch portów zasilających (VDD, VDDD) oraz jednego portu masy (GND). Połączenie mikroukładu z jego obudową przewidziano w postaci łączy drutowych (*wire bonding*). Przed doprowadzeniem sygnałów do obszarów zespawania mechanicznego, każdy sygnał cyfrowy został zaopatrzony w układy buforujące oraz podstawową ochronę antystatyczną (rys. 5.40).



Rysunek 5.39. Rozmieszczenie układów analogowych; a) aktywne układy przetwornika, b) symetryczne rozmieszczenie układów analogowych, c) rozmieszczenie kluczy, d) układ trzech kluczy połączonych z odpowiednimi szynami

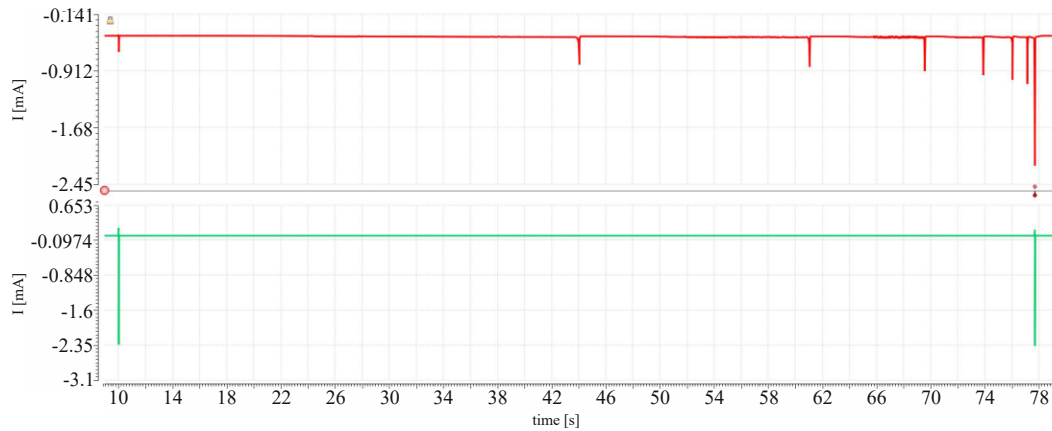


Rysunek 5.40. Układ buforujący oraz zabezpieczenie antystatyczne w torze sygnału cyfrowego

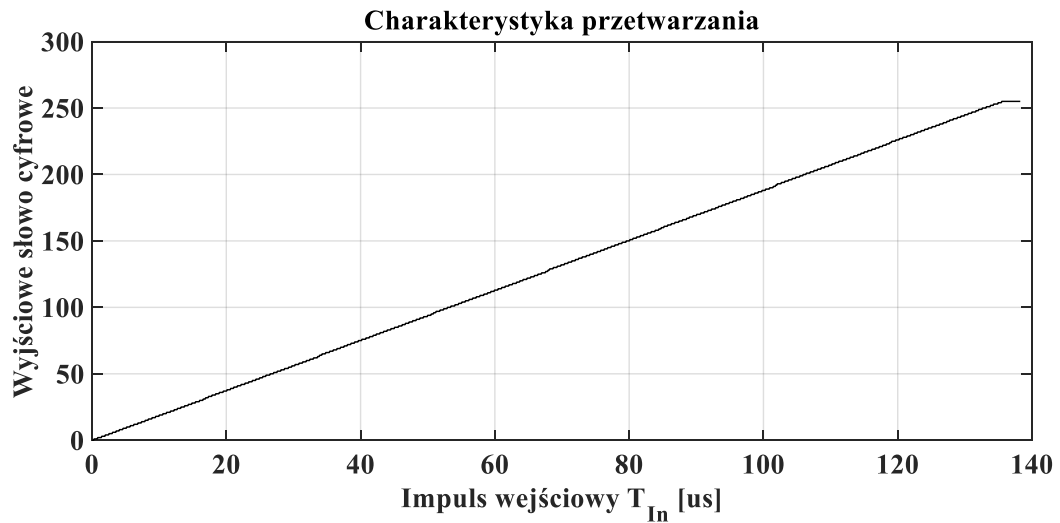
Pełną analizę symulacyjną uwzględniającą rezystancje oraz pojemności pasożytnicze przeprowadzono dla 3080 punktów. Do automatycznego generowania kolejnych interwałów czasu T_{IN} oraz zapisu wyjściowych słów cyfrowych Out_7, \dots, Out_0 wykorzystano opracowany w tym celu moduł, który został napisany w języku Verilog-AMS. Symulacja miała charakter mieszany, analogowo-cyfrowy (*mixed-mode simulation*). Wszystkie punkty pomiarowe zostały zebrane w ramach jednej symulacji, co oznacza, że przetwornik STB-TDC pracował nieprzerwanie wykonując 3080 pomiarów interwałów T_{IN} o rosnących długościach.

Pobór prądu modułów analogowych przetwornika STB-TDC wyznaczony symulacyjnie wynosi średnio $445 \mu\text{A}$, a w chwilach przełączania komparatorów sięga $2,2 \text{ mA}$, co w przeliczeniu na moc daje odpowiednio $801 \mu\text{W}$ i $3,96 \text{ mW}$ (rys. 5.41). Asynchroniczny automat sterujący w czasie przetwarzania pobiera średnio $23,12 \text{ nA}$, a w chwilach rozpoczęcia oraz zakończenia przetwarzania sięga $2,3 \text{ mA}$. Przeliczając te wartości na moc otrzymuje się kolejno $41,62 \text{ nW}$ oraz $4,14 \text{ mW}$.

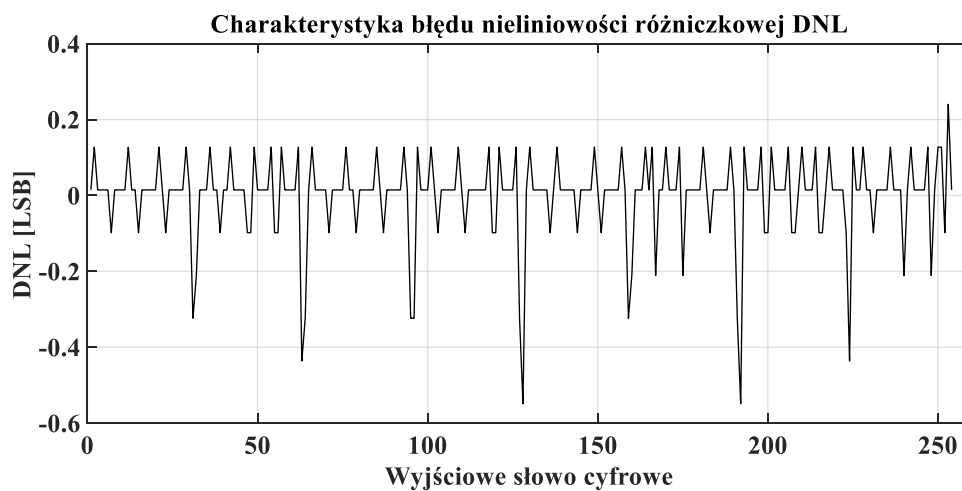
Charakterystyka przetwarzania, błąd nieliniowości różniczkowej oraz błąd nieliniowości całkowitej zostały przedstawione na rys. 5.42 - 5.44. Na charakterystyce przetwarzania nie występuje błąd zaburzenia monotoniczności ani błąd gubienia bitu. Wybrane parametry fizyczne oraz robocze zaprojektowanego przetwornika STB-TDC zostały zestawione w tab. 5.13.



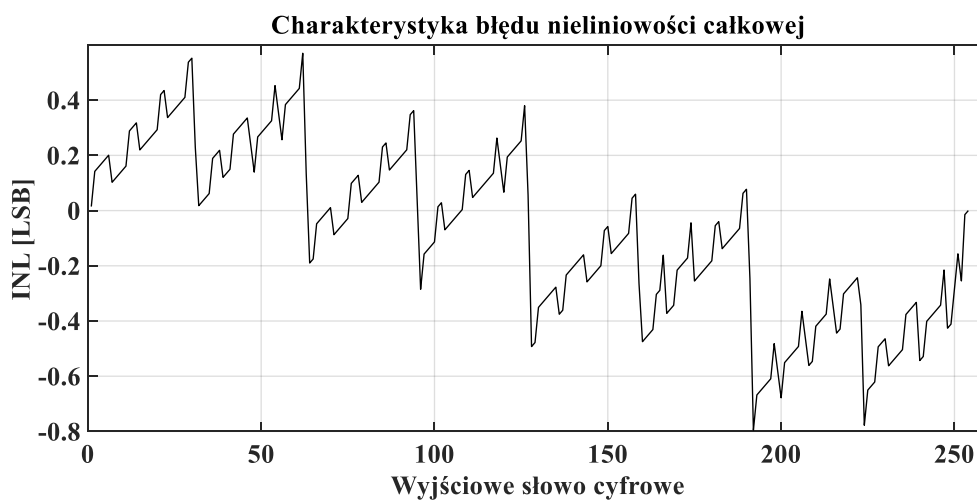
Rysunek 5.41. Pobór prądu w czasie przetwarzania; linia czerwona – podzespoły analogowe, linia zielona – moduł ASM



Rysunek 5.42. Charakterystyka przetwarzania zaprojektowanego przetwornika STB-TDC



Rysunek 5.43. Charakterystyka błędu nieliniowości różniczkowej zaprojektowanego przetwornika STB-TDC



Rysunek 5.44. Charakterystyka błędu nieliniowości całkowitej INL zaprojektowanego przetwornika STB-TDC

Tabela 5.13. Wybrane parametry przetwornika STB-TDC

Parametr	Topografia
Proces technologiczny	UMC 0,18 μm
Zajmowana powierzchnia	1,455 mm^2
Wymiar X	1284,96 μm
Wymiar Y	1131,66 μm
Liczba domen zasilania	2
Napięcie zasilania podzespołów analogowych	1,8 V
Napięcie zasilania asynchronicznego automatu stanów ASM	1,8 V
Całkowita liczba aktywnych tranzystorów w modułach analogowych	63
Średni pobór mocy w czasie przetwarzania	801 μW
Długość kroku kwantyzacji T_0 (LSB)	532 ns
Zakres przetwarzania FSR	135,66 μs
Błąd przesunięcia zera	0,284 μs
Maksymalna wartość błąd nieliniowości różniczkowej DNL	-0,6 LSB, +0,25 LSB
Maksymalna wartość błędu nieliniowości całkowej INL	-0,5 LSB, +0,71 LSB

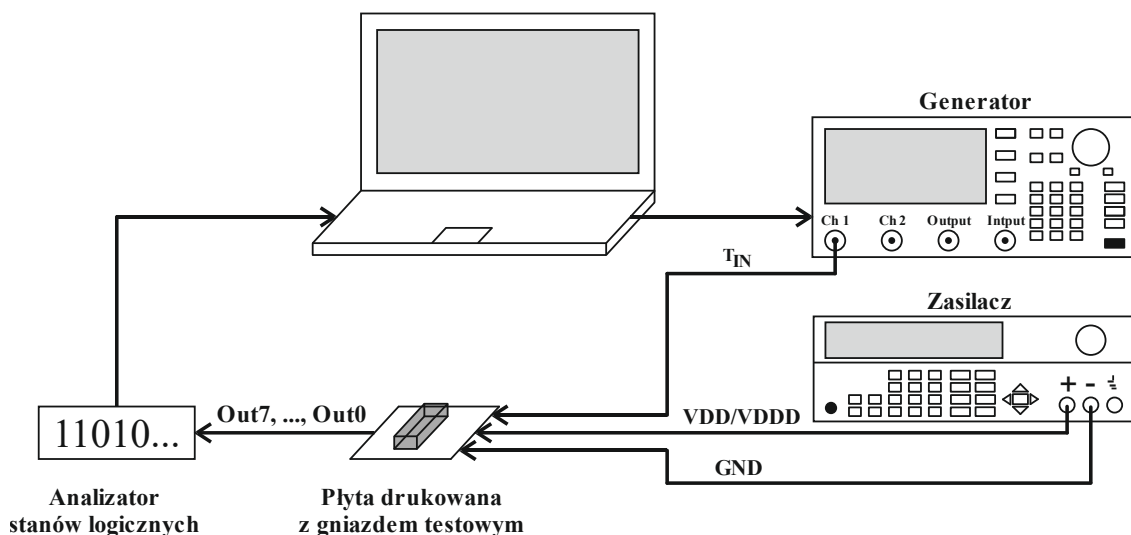
6. Wyniki badań rzeczywistego przetwornika STB-TDC wytworzonego w postaci struktury monolitycznej

Produkcję monolitycznej struktury przetwornika zlecono konsorcjum *Europactice IC Service*. Wyprodukowany przetwornik STB-TDC został następnie zamontowany w wąskiej odmianie obudowy SOIC16. W sumie otrzymano 25 próbek, z czego 23 działa poprawnie.

6.1. Stanowisko i metody pomiarowe

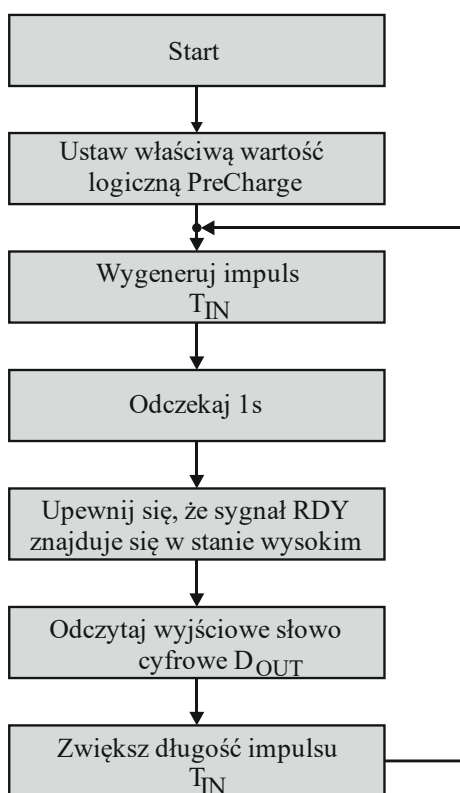
Stanowisko pomiarowe zostało zaprojektowane do automatycznego wykonywania testów przetwornika STB-TDC (rys. 6.1). W jego skład wchodzi:

- generator Tektronix AFG3102,
- zasilacz Tektronix PWS4305,
- zaprojektowana na potrzeby testów płyta drukowana PCB,
- analizator stanów logicznych,
- komputer PC sterujący stanowiskiem pomiarowym.



Rysunek 6.1. Stanowisko pomiarowe do automatycznego wykonywania testów przetwornika STB-TDC

Procedura testowa została napisana w języku Python. Z wyłączeniem zasilacza obejmuje ona zdalną kontrolą wszystkie urządzenia pomiarowe. Ogólny schemat działania stanowiska przedstawia rys. 6.2. Jediną czynnością, jaką należy wykonać manualnie jest reset przetwornika oraz ewentualne włączenie mechanizmu wstępnego wstrzykiwania ładunku, które są wykonywane tylko raz po włączeniu zasilania. Dzięki temu wyeliminowano konieczność zaopatrzenia stanowiska testowego w dodatkowe urządzenia sterujące, takie jak mikrokontroler, które są źródłem dodatkowych szumów. Reszta algorytmu testowego pokrywa się ze sposobem symulacji przeprowadzonym w środowisku *Cadence*.



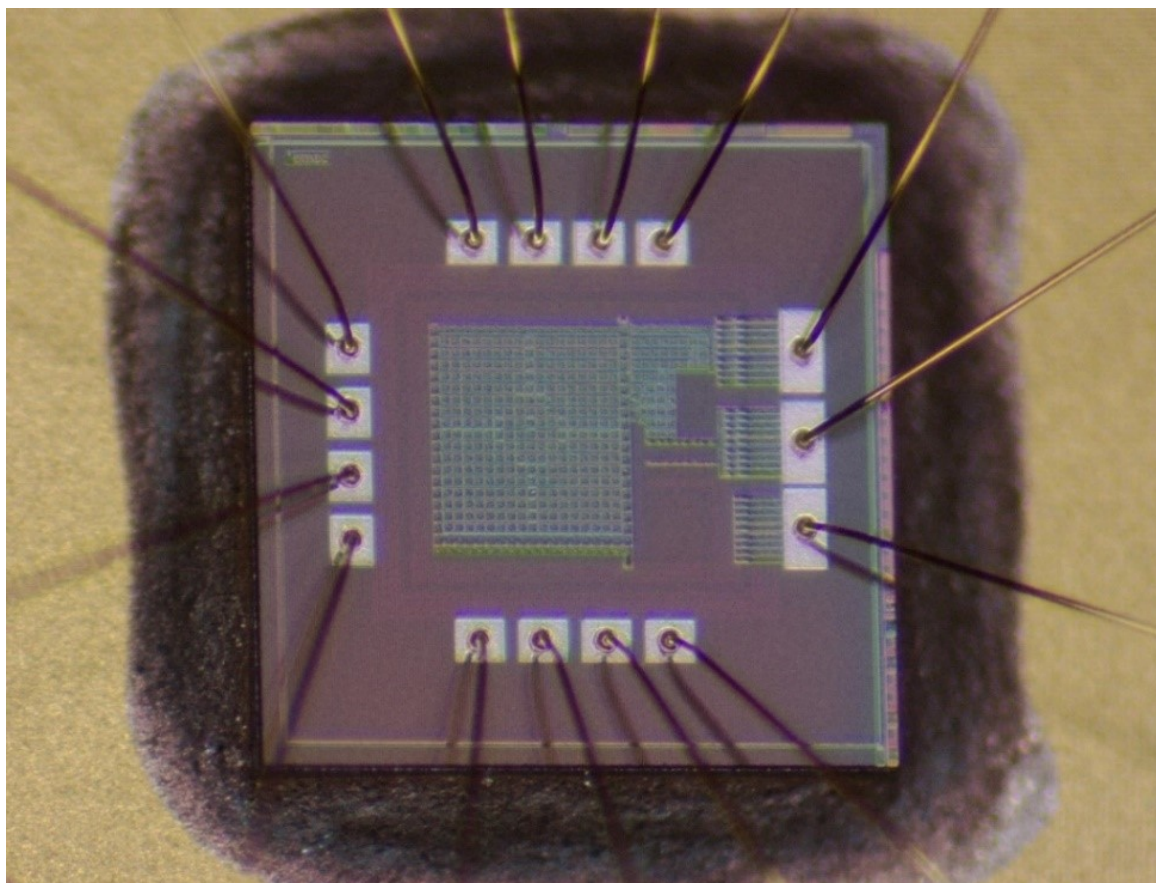
Rysunek 6.2. Procedura testowa

6.2. Parametry i charakterystyki rzeczywistego układu

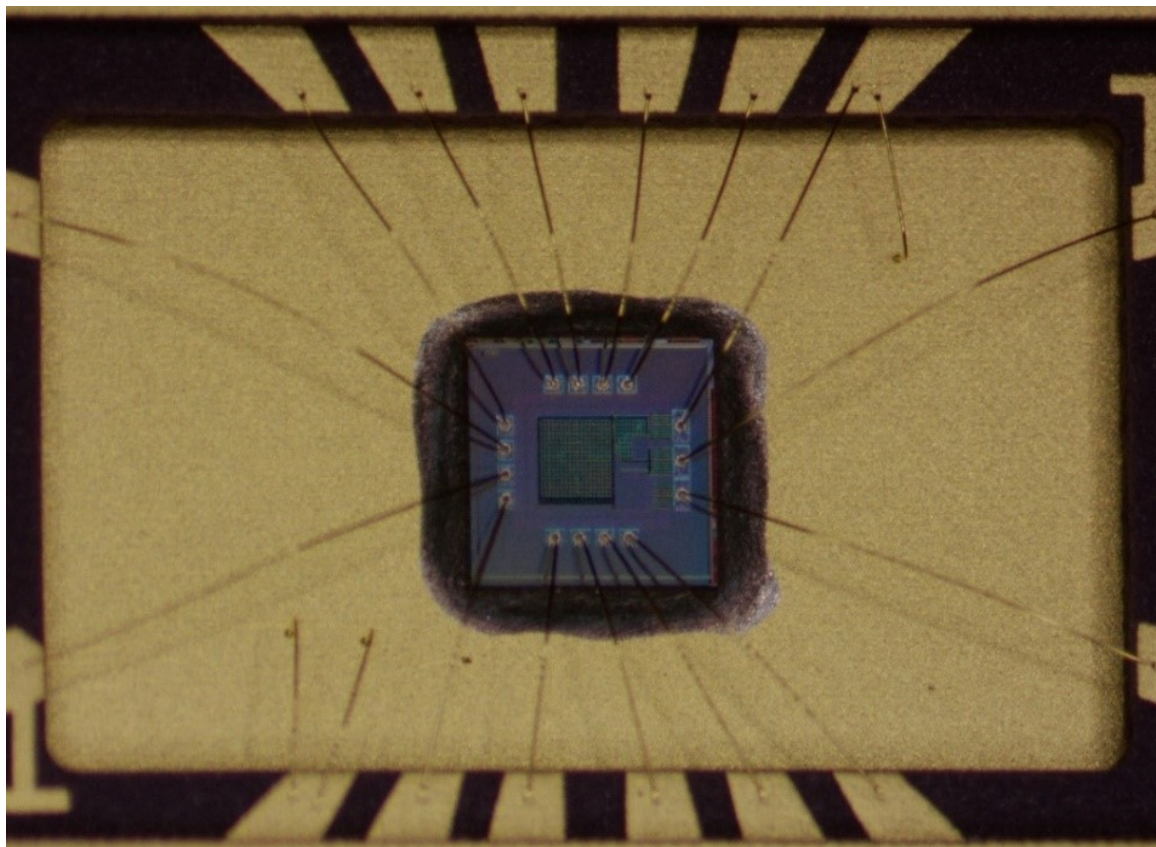
Zdjęcia mikrostruktury przetwornika STB-TDC wykonane mikroskopem cyfrowym zostały przedstawione na rys. 6.3 – 6.4. Otrzymane próbki przetestowano dla trzech napięć zasilania $VDD/VDDD$: 1,8 V/1,8 V (nominalne), 1,98 V/1,98 V (+10 %) oraz 1,62 V/1,62 V (-10 %), co pokrywa zakres dopuszczalnych warunków pracy elementów

cyfrowych. Dla nominalnego napięcia zasilania ($V_{DD}/V_{DDD} = 1,8 \text{ V}/1,8 \text{ V}$) pobór prądu wynosi ok. $500 \mu\text{A}$, co zbiega się z wynikami symulacyjnymi (rys. 5.41) i spełnia przyjęte założenie o poborze mocy nieprzekraczającym 1 mW .

Warto w tym miejscu zaznaczyć, że istnieje możliwość wprowadzenia dodatkowej optymalizacji w trakcie relaksacji. Podczas oczekiwania na impuls wejściowy T_{IN} komparatory K_S , K_R stanowiące główny składnik poboru mocy mogą zostać wyłączone. Pierwsze przełączenie komparatora K_S wystąpi bowiem najwcześniej w chwili $FSR/4$, a komparatora K_R – w chwili $FSR/2$. Zastosowanie wtórnika źródłowego powoduje w praktyce opóźnienie rozpoczęcia narastania napięcia na wejściu nieodwracającym komparatora (rys. 5.37), więc ten czas można wykorzystać na włączenie komparatora. Nie zdecydowano się jednak na wdrożenie tej optymalizacji, ponieważ głównym przeznaczeniem wytworzonej serii próbnej jest sprawdzenie podstawowej funkcjonalności przetwornika STB-TDC.

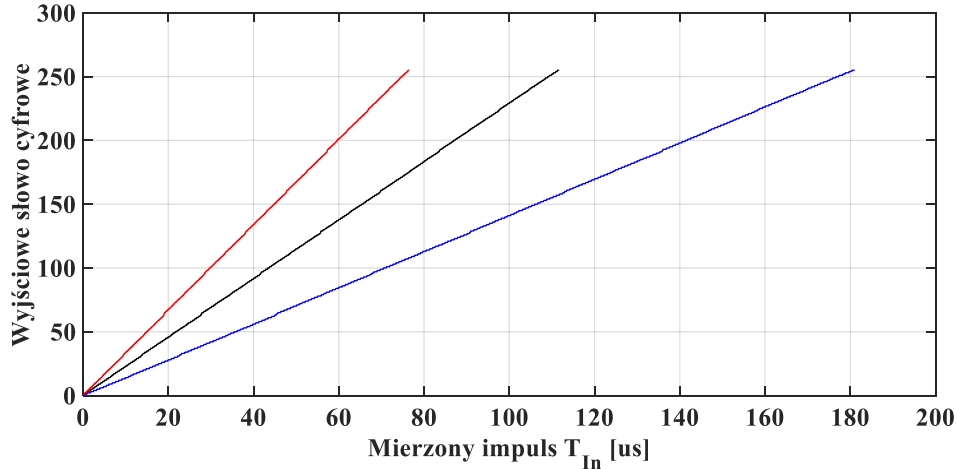


Rysunek 6.3. Fizyczna struktura przetwornika STB-TDC



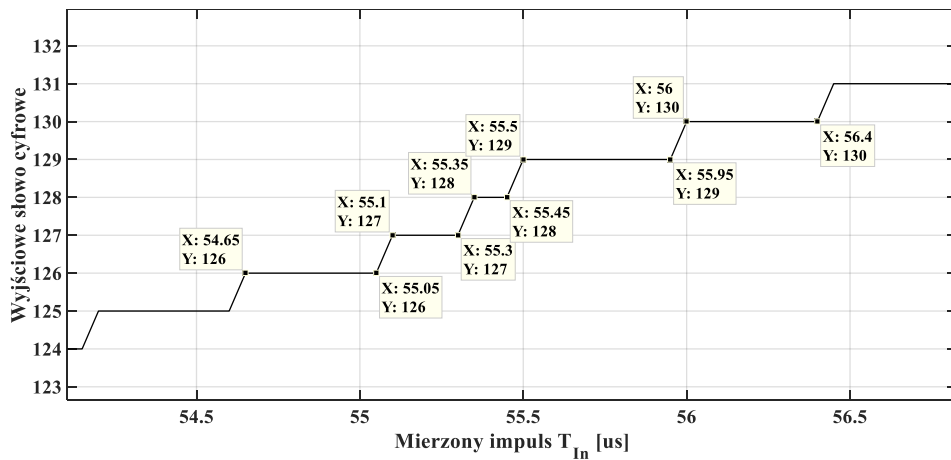
Rysunek 6.4. Fizyczna struktura przetwornika STB-TDC wraz z łączeniem drutowym

Rzeczywiste charakterystyki przetwarzania dla wybranej próbki zostały zestawione na rys. 6.5. W tym przypadku przetwornik STB-TDC nie przejawia błędu gubienia bitu, jednak w punktach najbardziej narażonych na ten efekt można zaobserwować znaczne skrócenie ich długości (rys. 6.6).



Rysunek 6.5. Charakterystyki przetwarzania mikrostruktury przetwornika STB-TDC dla trzech różnych napięć zasilania; linia czarna – $VDD/VDDD = 1,8 \text{ V}/1,8 \text{ V}$, linia czerwona – $VDD/VDDD = 1,98 \text{ V}/1,98 \text{ V}$, linia niebieska - $VDD/VDDD = 1,62 \text{ V}/1,62 \text{ V}$

Należy zaznaczyć, że tylko dwie z 23 działających próbek nie gubią bitów. W pozostałych 21 ten błąd jest powtarzalny – występuje w niewrażliwych punktach charakterystyki – $1/2 \text{ FSR}$, $3/4 \text{ FSR}$, $7/8 \text{ FSR}$. Pomimo tego monotoniczność każdej z otrzymanych funkcji przetwarzania, bez względu na wartość napięcia zasilania $VDD/VDDD$, została zachowana.

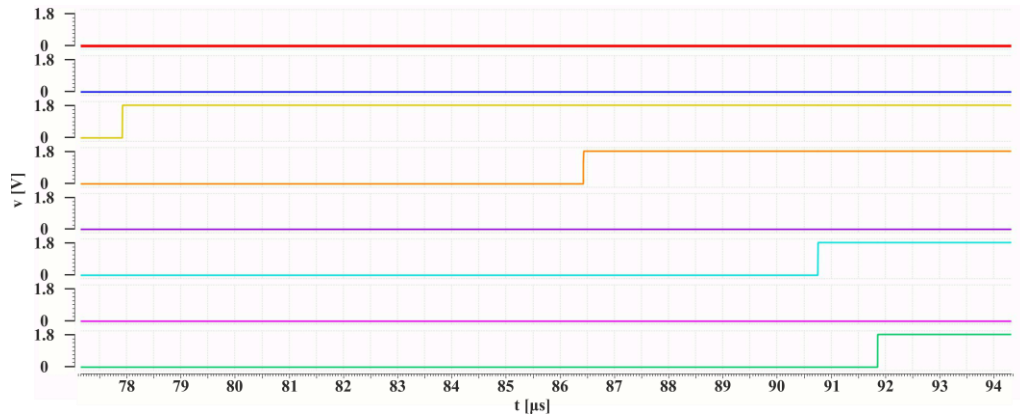


Rysunek 6.6. Skrócenie bitu w połowie zakresu przetwarzania – $\text{FSR}/2$

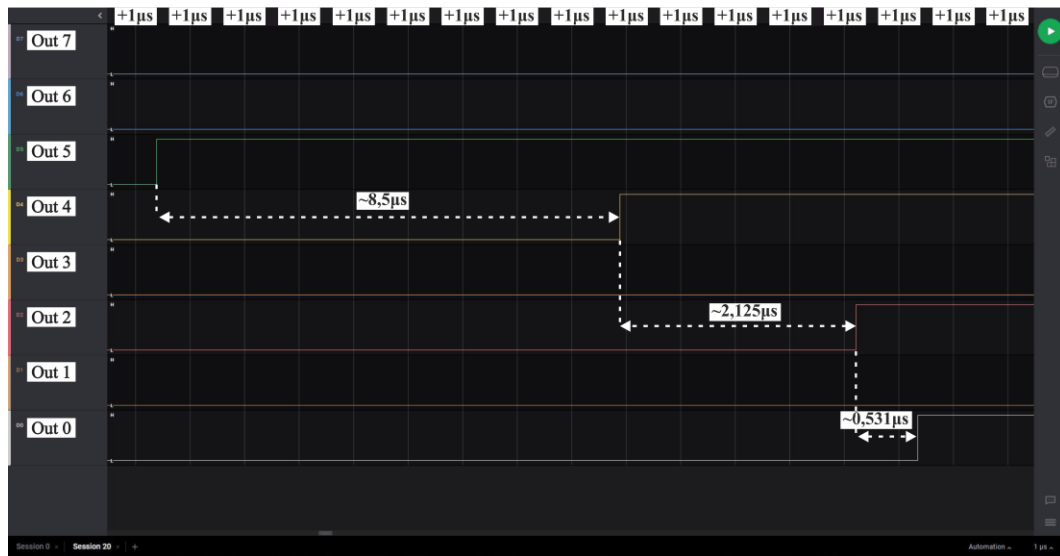
Zakres przetwarzania dla nominalnej wartości napięcia zasilania $VDD/VDDD$ różni się od wartości otrzymanej z analizy symulacyjnej o ok. $26 \mu\text{s}$. Aby zrównać zakres przetwarzania należy obniżyć wartość $VDD/VDDD$ do $1,715 \text{ V}$. Wówczas dla impulsu T_{IN} o takiej samej długości (w poniższym przykładzie $T_{IN} = 28,89 \mu\text{s}$) otrzymuje się taką samą

odpowieź cyfrową, co przedstawiono na rys. 6.7 – 6.8. Na pierwszym z nich znajdują się przebiegi otrzymane z przeprowadzonej symulacji, a na drugim przedstawiono zrzut ekranu z przebiegami odczytanymi za pomocą analizatora stanów logicznych, który dokonuje akwizycji danych w czasie ciągłym.

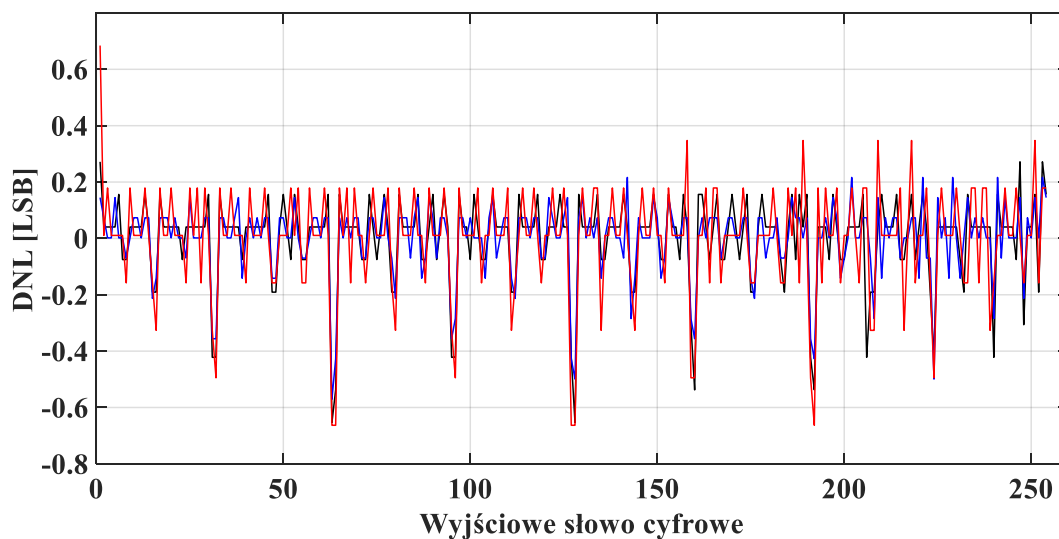
Błąd gubienia bitu sugeruje obniżenie rozdzielczości bitowej zaproponowanego rozwiązania z ośmiu do siedmiu bitów. Na rys. 6.9 - 6.12 dla jednej próbki wykreślono charakterystyki błędu nieliniowości różniczkowej DNL oraz błędu nieliniowości całkowitej INL dla 7- i 8-bitowej rozdzielczości. Dodatkowo, na kolejnych rys. 6.13 - 6.16 przedstawiono te same charakterystyki błędu dla dodatkowych 2 próbek, ale tym razem już tylko dla docelowej 7-bitowej rozdzielczości.



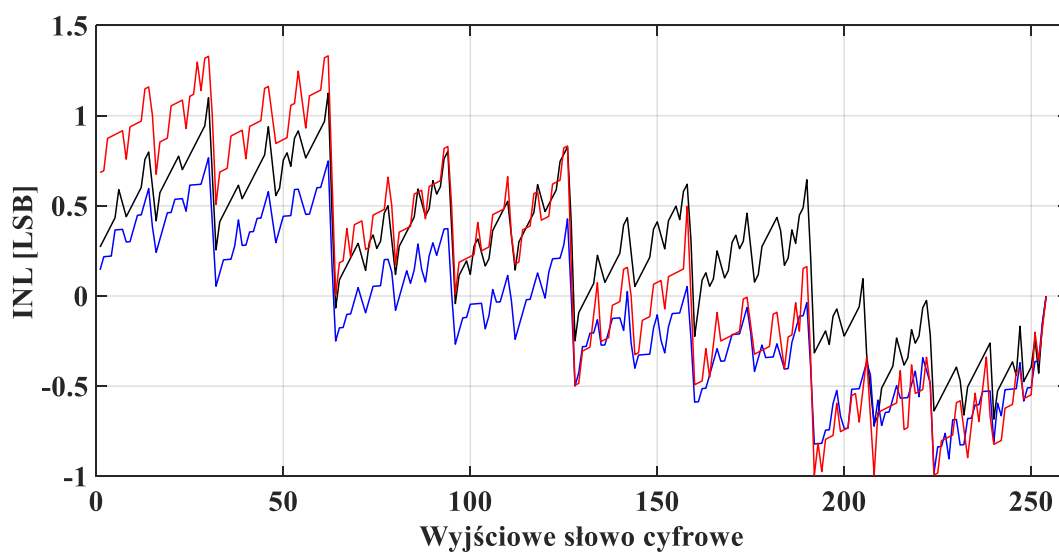
Rysunek 6.7. Proces definiowania bitów w przetworniku STB-TDC otrzymany symulacyjnie



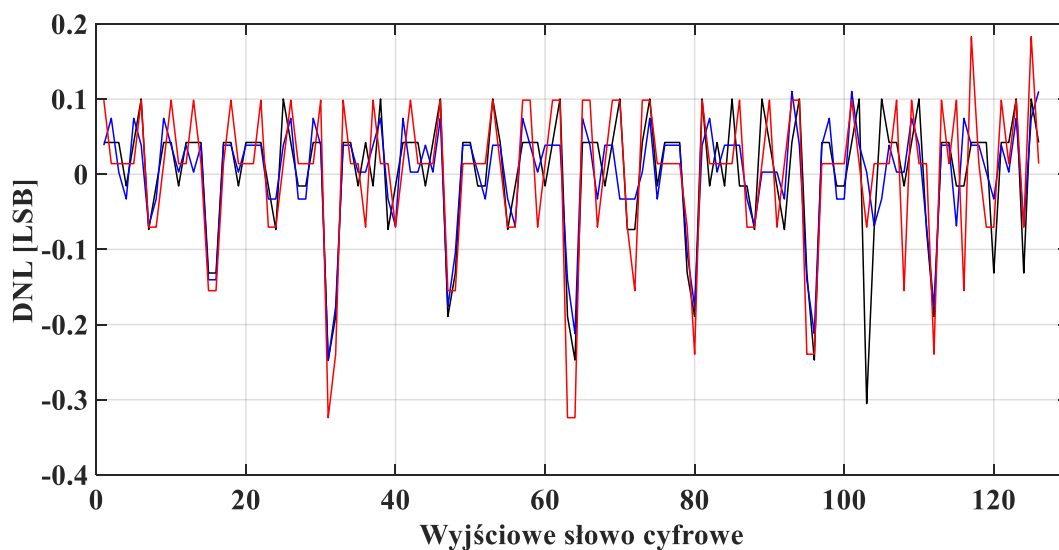
Rysunek 6.8. Proces definiowania bitów przetwornika STB-TDC odczytany przez analizator logiczny



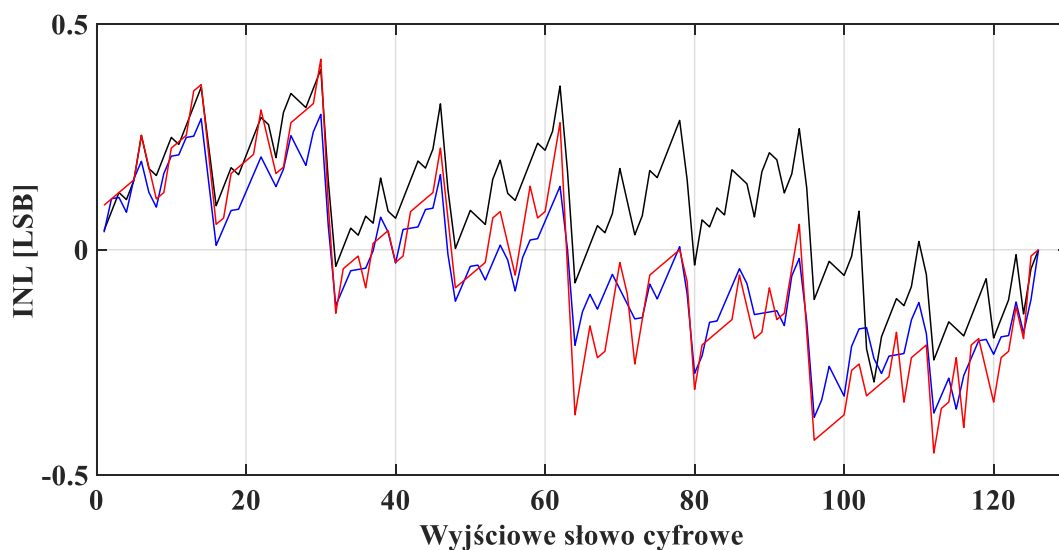
Rysunek 6.9. Próbkę #1: błąd nieliniowości różniczkowej przetwornika STB-TDC dla rozdzielczości **8-bitowej**; linia czarna – $V_{DD}/V_{DDD} = 1,8 \text{ V}/1,8 \text{ V}$, linia czerwona – $V_{DD}/V_{DDD} = 1,98 \text{ V}/1,98 \text{ V}$, linia niebieska - $V_{DD}/V_{DDD} = 1,62 \text{ V}/1,62 \text{ V}$



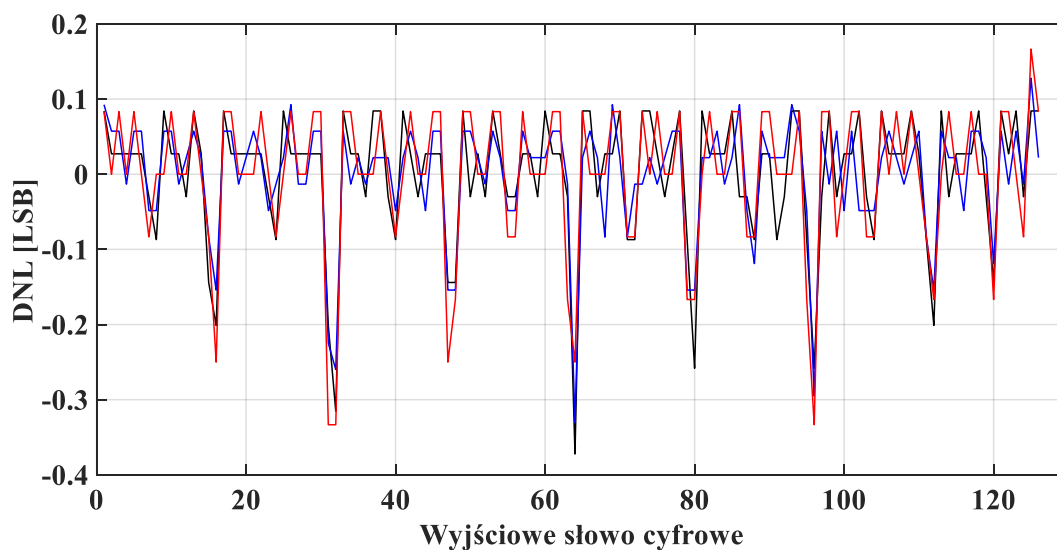
Rysunek 6.10. Próbkę #1: błąd nieliniowości całkowitej przetwornika STB-TDC dla rozdzielczości **8-bitowej**; linia czarna – $V_{DD}/V_{DDD} = 1,8 \text{ V}/1,8 \text{ V}$, linia czerwona – $V_{DD}/V_{DDD} = 1,98 \text{ V}/1,98 \text{ V}$, linia niebieska - $V_{DD}/V_{DDD} = 1,62 \text{ V}/1,62 \text{ V}$



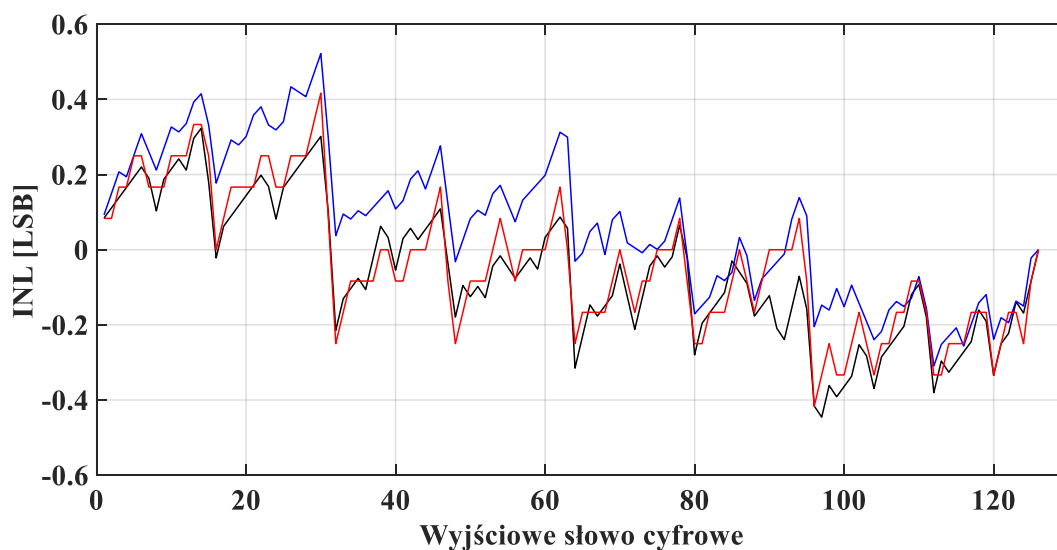
Rysunek 6.11. Próbką #1: błąd nieliniowości różniczkowej przetwornika STB-TDC przy założeniu rozdzielczości 7-bitowej; linia czarna – $V_{DD}/V_{DDD} = 1,8 \text{ V}/1,8 \text{ V}$, linia czerwona – $V_{DD}/V_{DDD} = 1,98 \text{ V}/1,98 \text{ V}$, linia niebieska - $V_{DD}/V_{DDD} = 1,62 \text{ V}/1,62 \text{ V}$



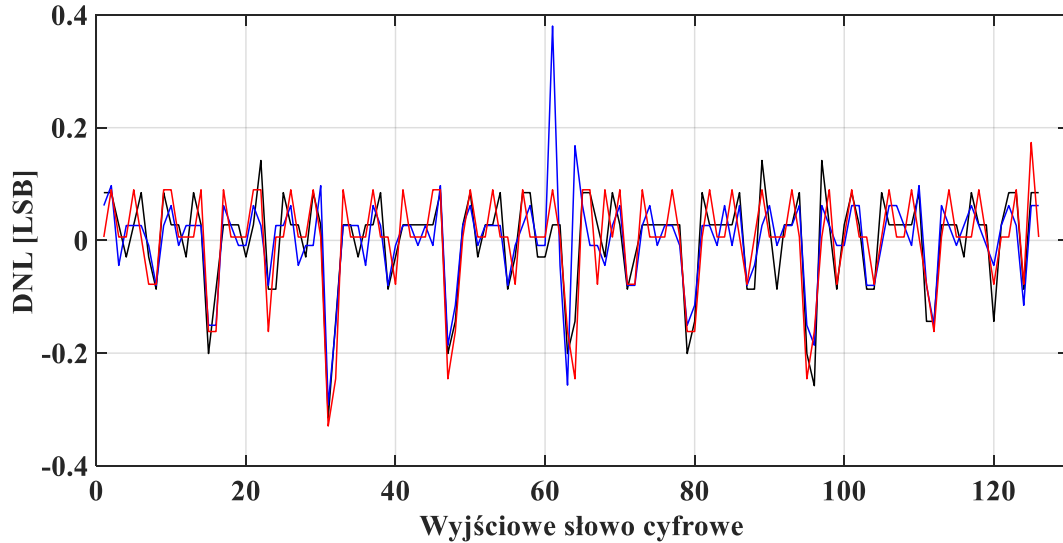
Rysunek 6.12. Próbką #1: błąd nieliniowości całkowitej przetwornika STB-TDC przy założeniu rozdzielczości 7-bitowej; linia czarna – $V_{DD}/V_{DDD} = 1,8 \text{ V}/1,8 \text{ V}$, linia czerwona – $V_{DD}/V_{DDD} = 1,98 \text{ V}/1,98 \text{ V}$, linia niebieska - $V_{DD}/V_{DDD} = 1,62 \text{ V}/1,62 \text{ V}$



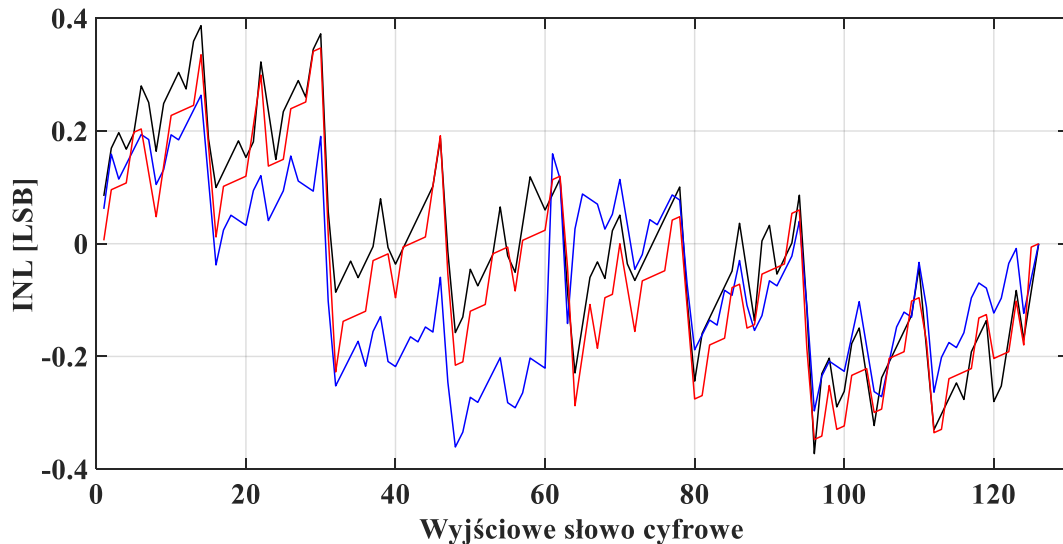
Rysunek 6.13. Próbką #2: błąd nieliniowości różniczkowej przetwornika STB-TDC przy założeniu rozdzielczości 7-bitowej; linia czarna – $V_{DD}/V_{DDD} = 1,8 \text{ V}/1,8 \text{ V}$, linia czerwona – $V_{DD}/V_{DDD} = 1,98 \text{ V}/1,98 \text{ V}$, linia niebieska - $V_{DD}/V_{DDD} = 1,62 \text{ V}/1,62 \text{ V}$



Rysunek 6.14. Próbką #2: błąd nieliniowości całkowitej przetwornika STB-TDC przy założeniu rozdzielczości 7-bitowej; linia czarna – $V_{DD}/V_{DDD} = 1,8 \text{ V}/1,8 \text{ V}$, linia czerwona – $V_{DD}/V_{DDD} = 1,98 \text{ V}/1,98 \text{ V}$, linia niebieska - $V_{DD}/V_{DDD} = 1,62 \text{ V}/1,62 \text{ V}$



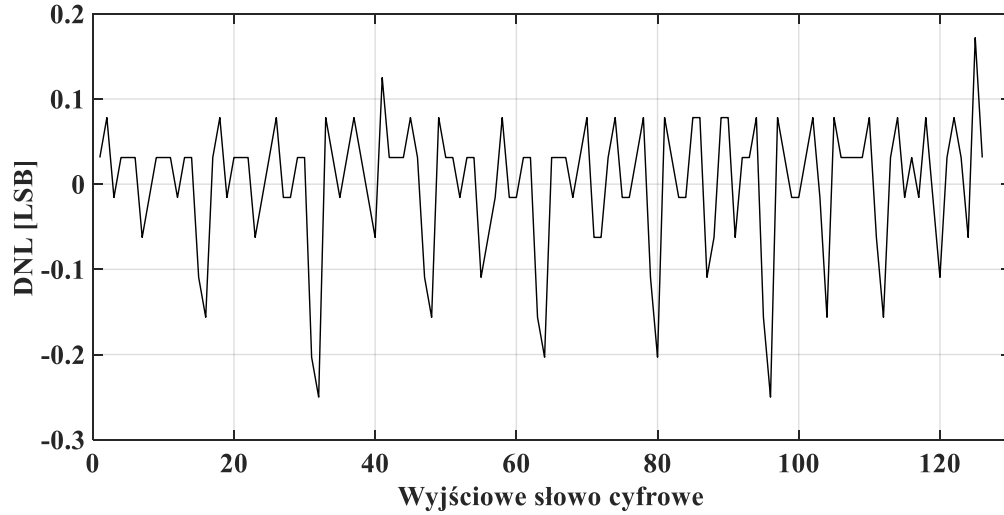
Rysunek 6.15. Próbką #3: błęd nieliniowości różniczkowej przetwornika STB-TDC przy założeniu rozdzielczości 7-bitowej; linia czarna – VDD/VDDD = 1,8 V/1,8 V, linia czerwona – VDD/VDDD = 1,98 V/1,98 V, linia niebieska - VDD/VDDD = 1,62 V/1,62 V



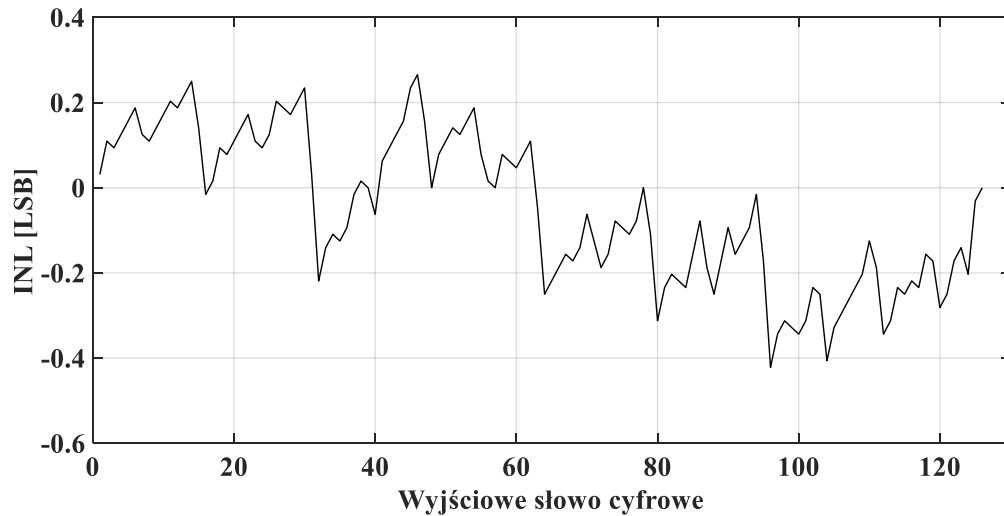
Rysunek 6.16. Próbką #3: błęd nieliniowości całkowitej przetwornika STB-TDC przy założeniu rozdzielczości 7-bitowej; linia czarna – VDD/VDDD = 1,8 V/1,8 V, linia czerwona – VDD/VDDD = 1,98 V/1,98 V, linia niebieska - VDD/VDDD = 1,62 V/1,62 V

W celu dokładnego porównania badanej struktury monolitycznej przetwornika STB-TDC z wynikami symulacyjnymi, dla próbki #1 wykreślono również charakterystykę przetwarzania dla napięcia zasilania $VDD/VDDD = 1,715 V/1,715 V$, dla którego zakres przetwarzania FSR pokrywa się zakresem otrzymanym symulacyjnie (rys. 5.42). W takim przypadku, przy założeniu 7-bitowej rozdzielczości, błęd nieliniowości różniczkowej DNL

nie przekracza 0,3 LSB, a błąd nieliniowości całkowitej INL nieznacznie przekracza 0,4 LSB (rys. 6.17 – 6.18). Niewielka wartość błędu DNL zapewnia obecność wszystkich kodów cyfrowych. Błąd przesunięcia zera oraz zakres przetwarzania FSR wynoszą odpowiednio 0,117 μ s i 136,4 μ s, co daje LSB o wartości 1,066 μ s.



Rysunek 6.17. Próbkę #1: błąd nieliniowości różniczkowej dla napięcia zasilania $V_{DD}/V_{DDD} = 1,715$ V



Rysunek 6.18. Próbkę #1: błąd nieliniowości całkowitej dla napięcia zasilania $V_{DD}/V_{DDD} = 1,715$ V

W tab. 6.1 – 6.2 zestawiono podstawowe parametry trzech zmierzonych próbek dla różnych napięć zasilania przy założeniu 7-bitowej rozdzielczości.

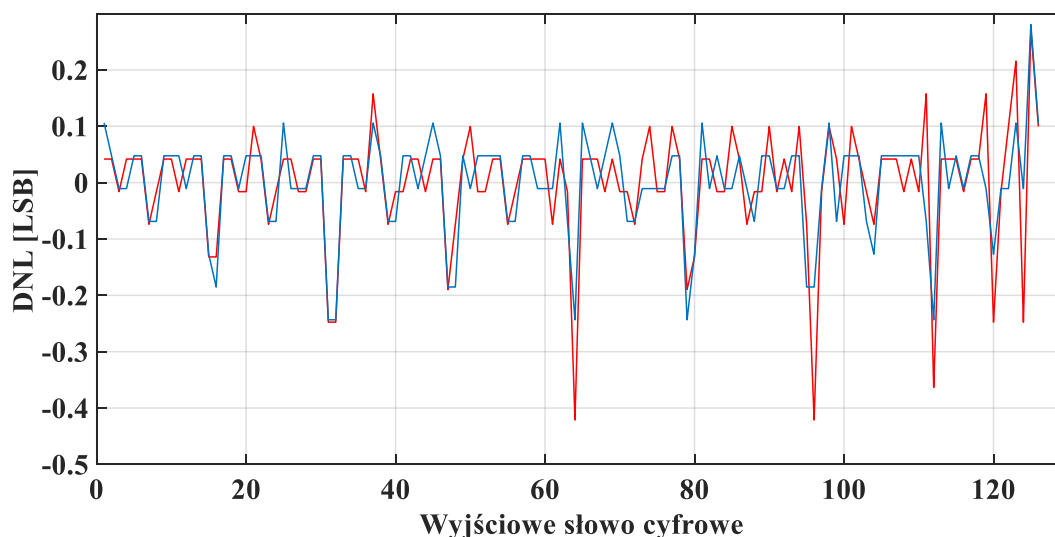
Tabela 6.1. Wybrane parametry przetwornika STB-TDC

Próbka	Napięcie zasilania [V]	Maksymalna wartość błędu nieliniowości różniczkowej	Maksymalna wartość błędu nieliniowości całkowej
#1	1,8	-0,248	-0,372
	1,98	-0,324	-0,451
	1,62	-0,305	0,400
	1,715	-0,250	-0,422
#2	1,8	-0,330	0,522
	1,98	-0,333	-0,417
	1,62	-0,372	-0,446
#3	1,8	0,380	-0,361
	1,98	-0,329	0,347
	1,62	-0,315	0,387

Tabela 6.2. Wybrane parametry przetwornika STB-TDC

Próbka	Napięcie zasilania [V]	Błąd przesunięcia zera [μs]	Zakres przetwarzania [μs]	LSB [μs]
#1	1,8	0,014	110,420	0,866
	1,98	0,092	75,642	0,592
	1,62	0,096	178,596	1,396
	1,715	0,117	136,417	1,067
#2	1,8	0,426	111,726	0,876
	1,98	0,300	76,5	0,600
	1,62	0,519	181,069	1,419
#3	1,8	-0,074	112,176	0,876
	1,98	-0,004	76,346	0,596
	1,62	-0,287	181,112	1,413

Istotną praktyczną modyfikacją wprowadzoną w celu kompensacji błędu wynikającego z pojemności pasożytniczych szyn było zastosowanie mechanizmu wstrzykiwania ładunku do pojemności (podrozdział 5.2.2). Włączenie oraz wyłączenie tego trybu pracy zapewniono poprzez podanie odpowiedniego stanu logicznego na wejście *Pre_charge*. Na rys. 6.19 zestawiono porównanie charakterystyk przetwornika STB-TDC z włączonym oraz wyłączonym mechanizmem wstrzykiwania ładunku do odpowiedniej pojemności referencyjnej. W punktach, w których efekt skrócenia bitu jest najsilniejszy, widać poprawę, co potwierdza słuszność zastosowanej modyfikacji.



Rysunek 6.19. Błąd nieliniowości różniczkowej; linia czerwona – wyłączony mechanizm wstrzykiwania ładunku, linia niebieska – włączony mechanizm wstrzykiwania ładunku

Przyjmując 7-bitową rozdzielczość, zaprojektowana mikrostruktura przetwornika STB-TDC spełnia podstawowe wymagania przetwornika analogowo-cyfrowego, potwierdzając tym samym możliwość stosowania metody sukcesywnego równoważenia upływu czasu STB jako sposobu do bezpośredniego i bezzegarowego pomiaru długości interwałów czasu.

6.3. Analiza statystyczna przeprowadzonych pomiarów

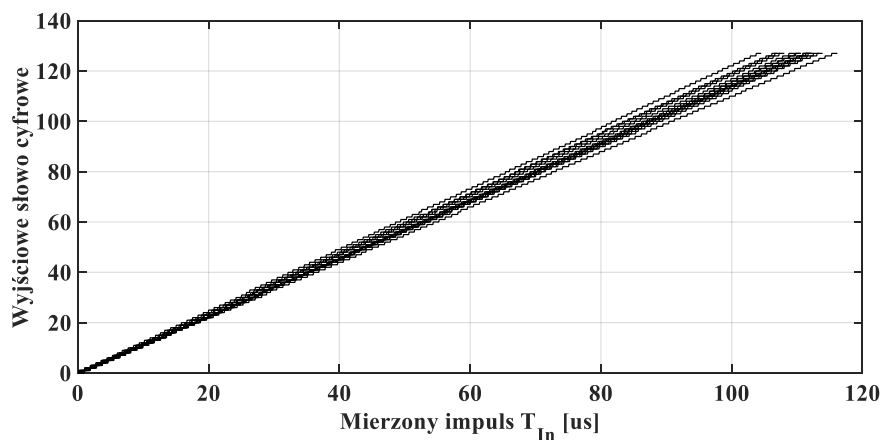
Pomiary LSB, DNL oraz INL zostały powtórzone na piętnastu otrzymanych próbkach, co umożliwiło przeprowadzenie wstępnej analizy statystycznej. Pozostałych próbek nie uwzględniono, ponieważ zostały one poddane ekstremalnym warunkom testowym, skutkiem

czego zostały nieodwracalnie uszkodzone. Wyniki analizy statystycznej, przy założeniu 7-bitowej rozdzielczości przetwornika, sporządzono dla trzech różnych wartości napięcia zasilania VDD/VDDD:

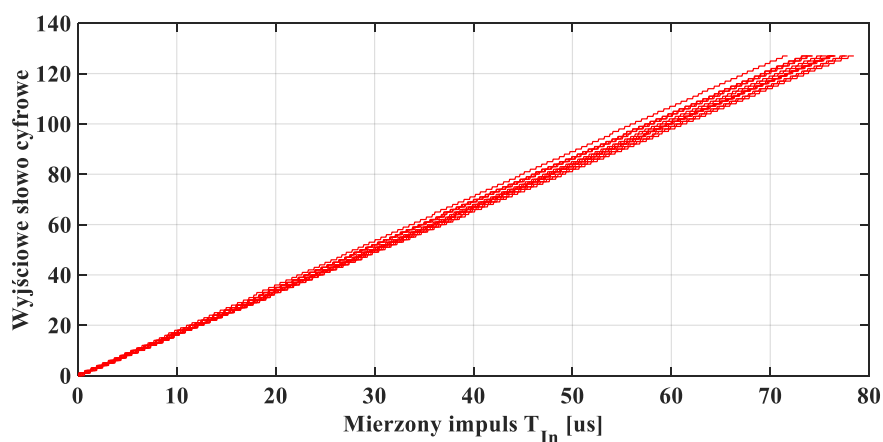
- 1,8 V/1,8 V,
- 1,98 V/1,98 V (+10 %/+10 %),
- 1,62 V/1,62 V (-10 %/-10 %).

Otrzymane charakterystyki przetwarzania i odpowiadające im wykresy błędów nieliniowości różniczkowej DNL oraz całkowej INL przedstawiono odpowiednio na rys. 6.20 – 6.22, rys. 6.23 – 6.25 oraz rys. 6.26 – 6.28. Na żadnej z nich nie zaobserwowano błędu zaburzenia monotoniczności. Odpowiadające tym charakterystykom wartości LSB (rys. 6.29), maksymalne wartości błędów nieliniowości różniczkowej DNL (rys. 6.30) i całkowej INL (rys. 6.31), wartości błędu przesunięcia zera (rys. 6.32) oraz zakresu przetwarzania FSR (rys. 6.33) zostały przedstawione w postaci histogramów.

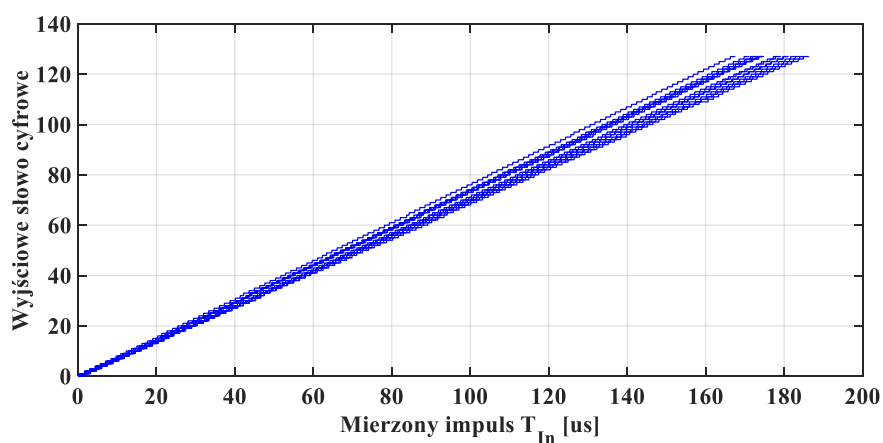
W zdecydowanej większości największy rozrzut powyższych parametrów występuje, gdy napięcie zasilania VDD/VDDD wynosi 1,62 V/1,62 V. Jest to wynikiem znaczącego zwiększenia zakresu przetwarzania FSR. Z kolei najmniejszy rozrzut, zgodnie z przewidywaniami, występuje dla maksymalnego dopuszczalnego napięcia zasilania VDD/VDDD = 1,98 V/1,98 V.



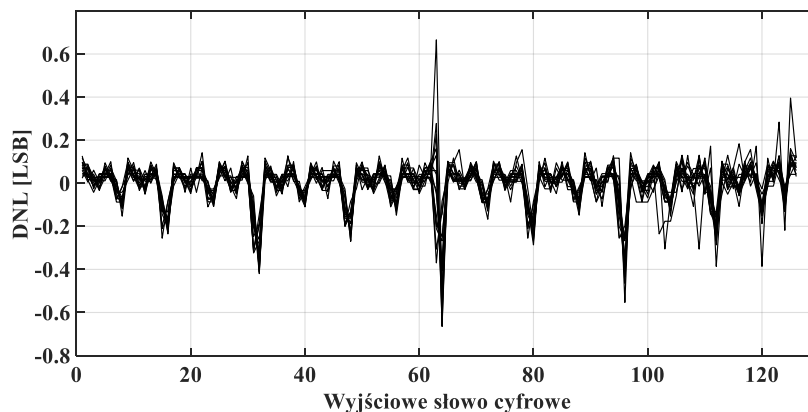
Rysunek 6.20. Grupa charakterystyk przetwarzania dla napięcia zasilania $V_{DD}/V_{DDD} = 1,8 \text{ V}/1,8 \text{ V}$



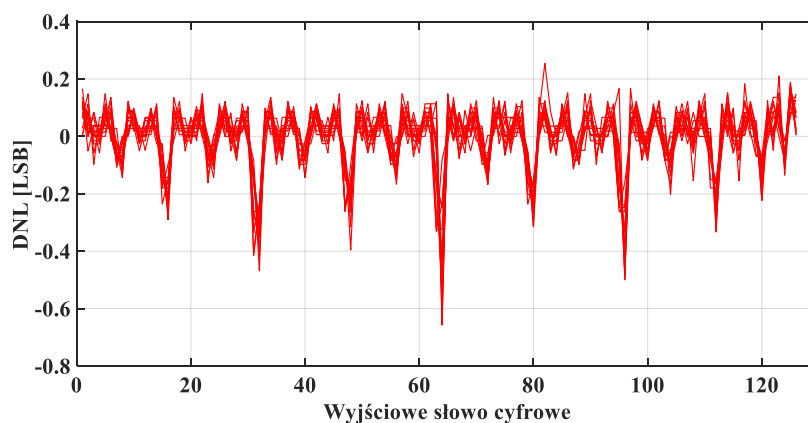
Rysunek 6.21. Grupa charakterystyk przetwarzania dla napięcia zasilania $V_{DD}/V_{DDD} = 1,98 \text{ V}/1,98 \text{ V}$



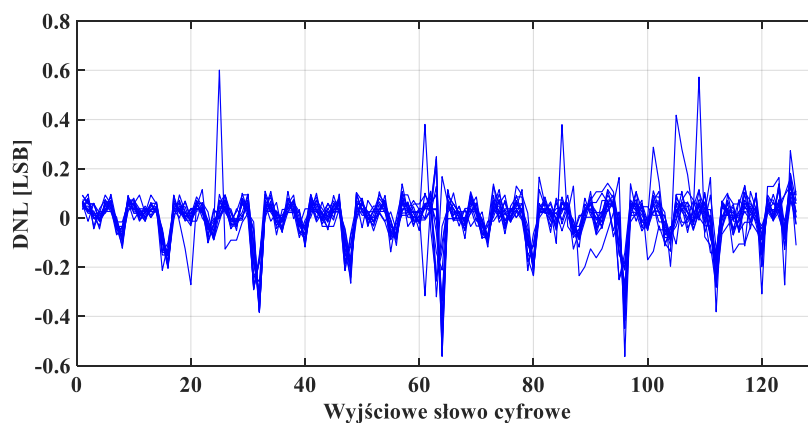
Rysunek 6.22 Grupa charakterystyk przetwarzania dla napięcia zasilania $V_{DD}/V_{DDD} = 1,62 \text{ V}/1,62 \text{ V}$



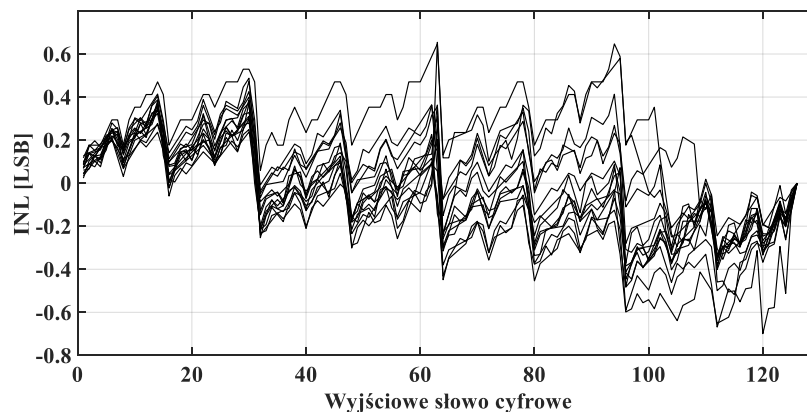
Rysunek 6.23. Grupa charakterystyk błędu nieliniowości różniczkowej dla napięcia zasilania
 $V_{DD}/V_{DDD} = 1,8 \text{ V}/1,8 \text{ V}$



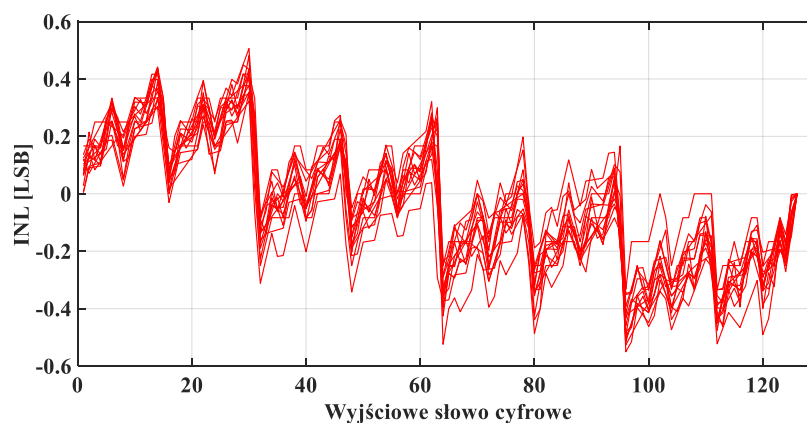
Rysunek 6.24. Grupa charakterystyk błędu nieliniowości różniczkowej DNL dla napięcia zasilania
 $V_{DD}/V_{DDD} = 1,98 \text{ V}/1,98 \text{ V}$



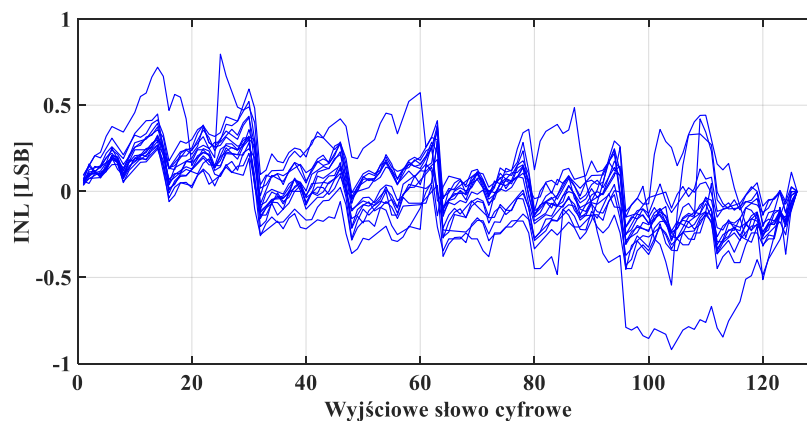
Rysunek 6.25. Grupa charakterystyk błędu nieliniowości różniczkowej DNL dla napięcia zasilania
 $V_{DD}/V_{DDD} = 1,62 \text{ V}/1,62 \text{ V}$



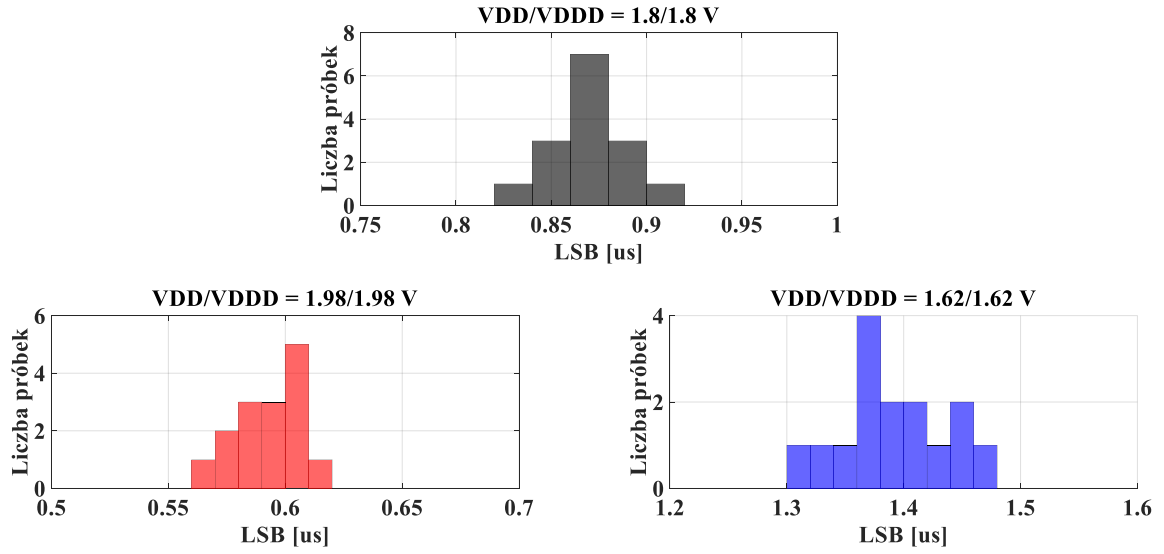
Rysunek 6.26. Grupa charakterystyk błędu nieliniowości całkowej INL dla napięcia zasilania
 $V_{DD}/V_{DDD} = 1,8 \text{ V}/1,8 \text{ V}$



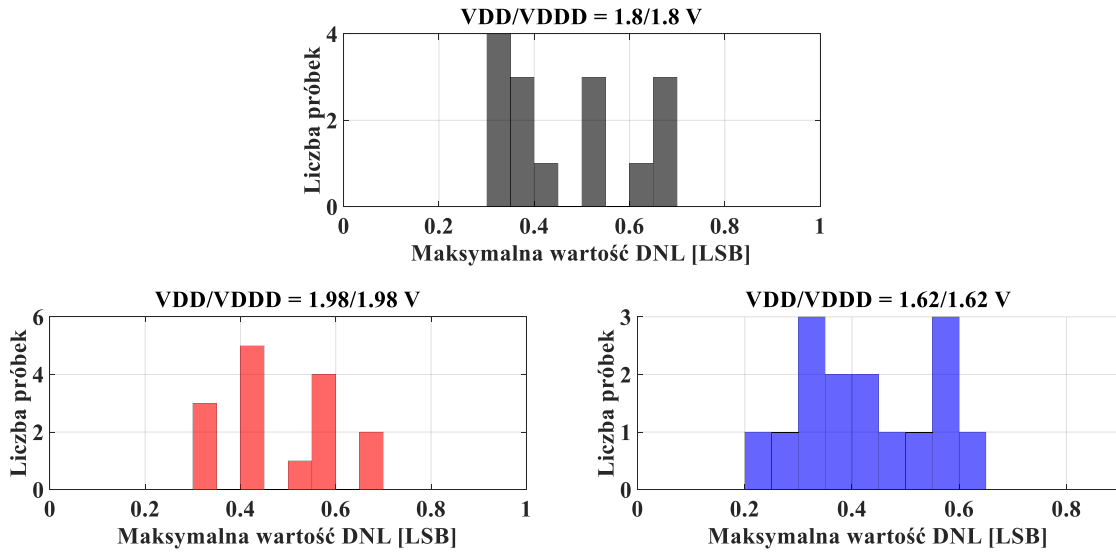
Rysunek 6.27. Grupa charakterystyk błędu nieliniowości całkowej INL dla napięcia zasilania
 $V_{DD}/V_{DDD} = 1,98 \text{ V}/1,98 \text{ V}$



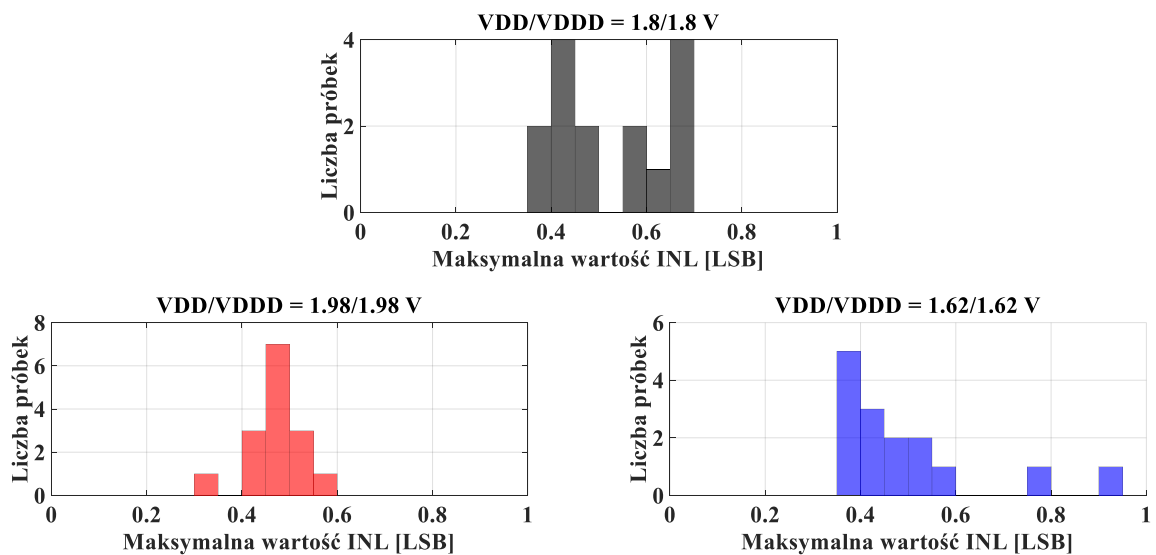
Rysunek 6.28. Grupa charakterystyk błędu nieliniowości całkowej INL dla napięcia zasilania
 $V_{DD}/V_{DDD} = 1,62 \text{ V}/1,62 \text{ V}$



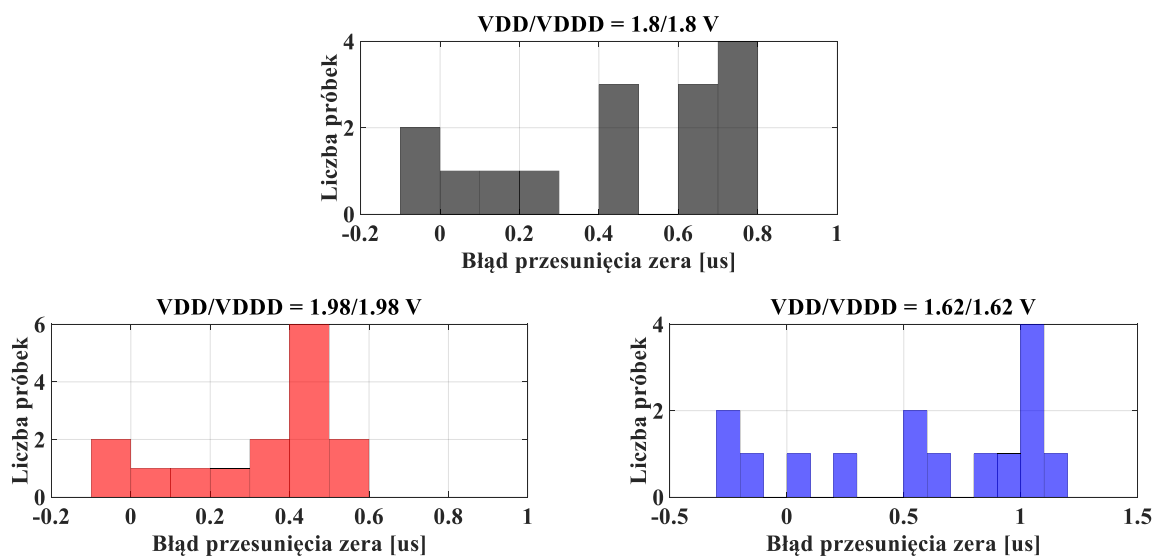
Rysunek 6.29. Histogramy wartości LSB w zależności od napięcia zasilania VDD/VDDD



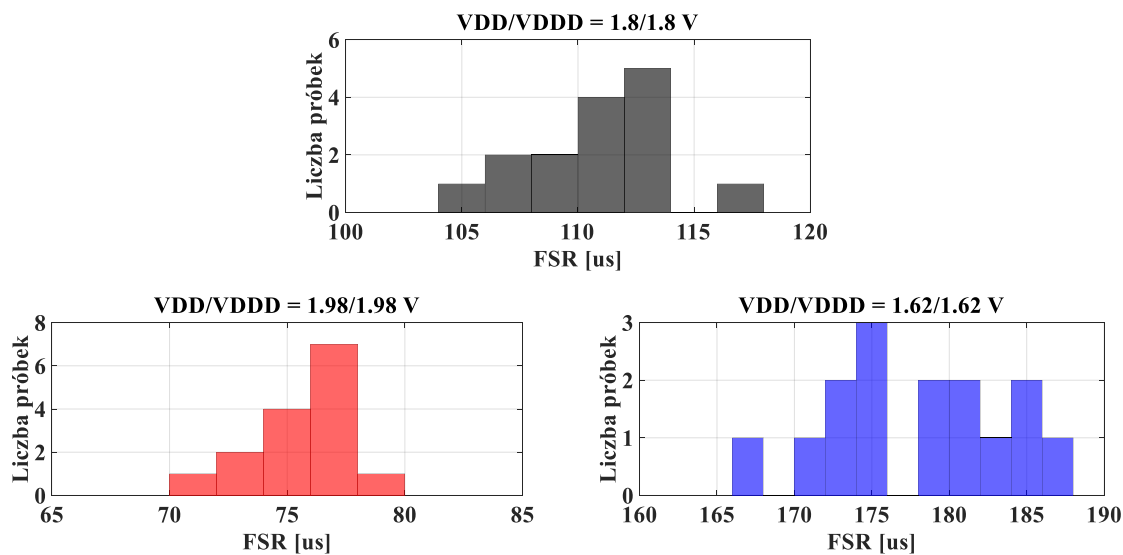
Rysunek 6.30. Histogramy maksymalnych wartości błędu nieliniowości różniczkowej DNL w zależności od napięcia zasilania VDD/VDDD



Rysunek 6.31. Histogramy maksymalnych wartości błędu nieliniowości całkowitej INL w zależności od napięcia zasilania VDD/VDDD



Rysunek 6.32. Histogramy błędu przesunięcia zera w zależności od napięcia zasilania VDD/VDDD



Rysunek 6.33. Histogramy wartości pełnego zakresu przetwarzania FSR w zależności od napięcia zasilania VDD/VDDD

Tabela 6.3. Zestawienie skrajnych wartości dla wybranych parametrów przetwarzania przy założeniu 7-bitowej rozdzielczości przetwarzania

VDD/VDDD		1,8 V/1,8 V	1,98 V/1,98 V	1,62 V/1,62 V
		Parametr		
LSB [μ s]	Minimalny	0,823	0,564	1,318
	Maksymalny	0,912	0,616	1,463
Błąd nieliniowości różniczkowej [LSB]	Ujemny	-0,665	-0,657	-0,563
	Dodatni	0,666	0,254	0,600
Błąd nieliniowości całkowitej [LSB]	Ujemny	-0,699	-0,551	-0,919
	Dodatni	0,654	0,506	0,797
Błąd przesunięcia zera [μ s]	Ujemny	-0,074	-0,052	-0,287
	Dodatni	0,785	0,550	1,172
Wartość pełnego zakresu [μ s]	Minimalny	104,522	71,764	167,568
	Maksymalny	116,152	78,466	186,313

6.4. Potencjalne przyczyny niezgodności parametrów układów monolitycznych z wynikami symulacji

Otrzymane próbki zostały przetestowane dla napięć zasilania VDD/VDDD równych 1,8 V/1,8 V, 1,98 V/1,98 V, 1,62 V/1,62 V, 1,715 V/1,715 V. Z przeprowadzonych pomiarów wynika stosunkowo duża czułość od wartości napięcia zasilania. Jego wzrost powoduje skrócenie zakresu przetwarzania FSR, co jest prawdopodobnie spowodowane zwiększeniem wartości natężenia prądu źródeł I_S , I_R oraz skróceniem czasu propagacji sygnałów przez komparatory K_S , K_R .

Potencjalną przyczyną znaczących odchyłeń na przebiegu błędu nieliniowości różniczkowej DNL oraz całkowitej INL jest rozrzut parametryczny rozmiarów kondensatorów referencyjnych C_7, \dots, C_0 . Zaburzenie binarnego stosunku ich czasów ładowania T_7, \dots, T_0 może wynikać z pojemności pasożytniczych połączeń, nieliniowo przeskalowanego czasu odpowiedzi komparatorów K_S , K_R , bądź obu tych zjawisk nałożonych na siebie nawzajem.

7. Podsumowanie

Przedmiotem niniejszej pracy było zoptymalizowanie i zaimplementowanie w postaci układu scalonego przetwornika TDC wykorzystującego metodę sukcesywnego równoważenia upływu czasu STB. Zaprojektowane rozwiązanie układowe w postaci mikrostruktury zostało następnie skierowane do produkcji serii próbnej, poddane wszechstronnym badaniom i ostatecznie zweryfikowane na podstawie uzyskanych wyników.

Docelowym zastosowaniem przetwornika czasu STB-TDC są aplikacje biomedyczne, ponieważ wymagają one bardzo wysokiej sprawności energetycznej stosowanych układów. Rozwiązania samotaktujące umożliwiają osiągnięcie takiej sprawności dzięki całkowitemu wyeliminowaniu z ich struktury zegara, zarówno zewnętrznego jak i w postaci lokalnego oscylatora. Przetwornik STB-TDC jest pobudzany wyłącznie zboczami sygnału wyznaczającymi mierzony interwał czasu T_{IN} , a wszystkie pozostałe operacje prowadzące do uzyskania reprezentacji cyfrowej tego interwału są inicjowane i nadzorowane przez wewnętrzny, asynchroniczny układ sterujący o postaci automatu stanów. Co więcej, układ ten posiada zdolność do przetwarzania interwałów czasu w sposób bezpośredni, co jest rzadko spotykaną, choć bardzo pożądaną cechą przetworników TDC.

Badania obecnego stanu techniki rozpoczęto od przeglądu dostępnych rozwiązań przetworników czasu SA-TDC wykorzystujących metodę kompensacji wagowej i na tej podstawie, w trzecim rozdziale, zaproponowano klasyfikację odmian jej algorytmów. Wyszczególniono trzy warianty sukcesywnej aproksymacji: oscylacyjną sukcesywną aproksymację (OSA), monotoniczną sukcesywną aproksymację (MSA) oraz pełnoskalową sukcesywną aproksymację (FSMSA). Rozszerzony opis powyższej klasyfikacji, uwzględniający m.in. szacunkowe zapotrzebowanie energetyczne każdego z wyszczególnionych algorytmów, został opublikowany na łamach czasopisma *Sensors* w pracy zatytułowanej „*Systematization and Comparison of the Binary Successive Approximation Variants*” [31].

W czwartym rozdziale przedstawiono wyniki badań analitycznych algorytmu przetwarzania STB-TDC, udawadniające, że czas przetwarzania metodą STB-TDC jest

liniową funkcją mierzonego interwału czasu T_{IN} , dowodząc tym samym tezę II (zależności (4.26) - (4.27)). Przeprowadzone rozważania poddano również dodatkowej weryfikacji, w której wykorzystano behawioralny model przetwarzania i zgodnie z przewidywaniami otrzymano wyniki zgodne z analitycznym modelem matematycznym (rys. 4.6 – 4.8).

Implementacja przetwornika STB-TDC w technologii UMC 0,18 μm zastała opisana w rozdziale piątym. Szczególną uwagę zwrócono na problematyczne aspekty projektowe poszczególnych obwodów (pojemność pasożytnicza szyn S i R, spadek napięcia na kluczach TG, czas włączania źródeł prądowych I_S i I_R i ich asymetria wydajności, czas odpowiedzi komparatorów K_S i K_R , obciążenie źródła referencyjnego V_{REF}) i zaproponowano dla nich sposoby optymalizacji. Wyniki symulacyjne uwzględniające całą mikrostrukturę przetwornika zostały opublikowane w artykule „*A New Successive Time Balancing Time-to-Digital Conversion Method*” również w czasopiśmie *Sensors* [28].

Otrzymana seria prototypowa, składająca się z 25 próbek, została poddana finalnej weryfikacji, co opisano w rozdziale szóstym. Uzyskane wyniki wskazują, że zaprojektowany przetwornik STB-TDC spełnia postawione mu wymagania, przetwarzając mierzone interwały czasu w sposób bezpośredni i w pełni asynchroniczny, co dowodzi prawdziwości tezy I.

Autor brał także twórczy udział w badaniach prowadzonych nad dalszym rozwijaniem i udoskonalaniem bezzegarowych przetworników TDC. Prace te zaowocowały m.in. współautorstwem w czterech polskich i czterech zagranicznych zgłoszeniach patentowych [111-118]. Do chwili obecnej części z nich przyznano już prawa patentowe:

- „Sposób bezzegarowego i bezpośredniego przetwarzania interwału czasu na słowo cyfrowe”,
- „Układ do bezzegarowego i bezpośredniego przetwarzania interwału czasu na słowo cyfrowe”,
- „Method for clockless and direct conversion of time interval to digital word”,
- „Apparatus for clockless and direct conversion of time interval to digital word”,
- „Sposób rozpoznawania kolejności sygnałów”,
- „Układ do rozpoznawania kolejności sygnałów”,
- „System for recognizing order of signals”,
- „Method for recognizing order of signals”.

Część z wymienionych wynalazków jest bezpośrednio związana z opracowaniem nowej, ulepszonej wersji przetwornika STB-TDC, która w swoim algorytmie przetwarzania łączy metody konwersji wagowej i liniowej. Dzięki powyższemu następna wersja układu będzie charakteryzowała się: zredukowanym czasem przetwarzania, mniejszym poborem mocy statycznej oraz znacząco mniejszą powierzchnią zajmowaną w strukturze monolitycznej przez niezbędną matrycę kondensatorów [115-118]. Zatem zaprezentowane w niniejszej pracy badania nie tylko przedstawiają nowy sposób przetwarzania interwałów czasu, ale również stanowią podstawę do jasno sprecyzowanego dalszego rozwoju.

Bibliografia

- [1]. S. Henzler, „Time-to-Digital Converters”. Dordrecht, Heidelberg, Londyn, Nowy Jork: Springer, **2010**.
- [2]. F. Yuan, „CMOS Time-Mode Circuits and Systems: Fundamentals and Applications”. Boca Raton: CRC Press, **2015**.
- [3]. G. G. Shahidi, „Challenges of CMOS scaling at below 0.1 μm ,” *ICM 2000. Proceedings of the 12th International Conference on Microelectronics. (IEEE Cat. No.00EX453)*, Tehran, Iran, **2000**, s. 5-8.
- [4]. B. E. Jonsson, „On CMOS scaling and A/D-converter performance,” *NORCHIP 2010*, Tampere, Finlandia, **2010**, s. 1-4.
- [5]. L. L. Lewyn, T. Ytterdal, C. Wulff, K. Martin, „Analog Circuit Design in Nanoscale CMOS Technologies,” *Proceedings of the IEEE*, **2009**, nr 97(10), s. 1687-1714.
- [6]. Amir Zjajo, José Pineda de Gyvez, „Low-Power High-Resolution Analog-to-Digital Converters: Design, Test and Calibration”. Dordrecht: Springer, **2010**.
- [7]. V. Nguyen, F. Schembari, R. B. Staszewski, „Oscillator-based ADCs: An exploration of time-mode analog-to-digital conversion,” *2017 3rd International Conference on Event-Based Control, Communication and Signal Processing (EBCCSP)*, Funchal, Portugalia, **2017**, s. 1-6.
- [8]. Y. Wu, P. Lu, R. B. Staszewski, „A Time-Domain 147fsrms 2.5-MHz Bandwidth Two-Step Flash-MASH 1-1-1 Time-to-Digital Converter With Third-Order Noise-Shaping and Mismatch Correction,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, **2020**, nr 67(8), s. 2532-2545.
- [9]. G. Zhu, F. Yuan, G. Khan, „Time-Mode Approach for Mixed Analog-Digital Signal Processing,” *J Elec Electron 2: e109*, **2013**.
- [10]. K. Ohhata, „A 2.3-mW, 1-GHz, 8-Bit Fully Time-Based Two-Step ADC Using a High-Linearity Dynamic VTC,” *IEEE Journal of Solid-State Circuits*, **2019**, nr 54(7), s. 2038-2048.
- [11]. Q. Chen, Y. Liang, C.C. Boon, „A 6bit 1.2GS/s Symmetric Successive Approximation Energy-Efficient Time-to-Digital Converter in 40nm CMOS,” *Proceedings of the 2020 IEEE International Symposium on Circuits and Systems (ISCAS)*, Sewilla, Hiszpania, październik **2020**, s. 1-5.
- [12]. G. W. Roberts, „Reducing the analog-digital productivity gap using time-mode signal processing,” *2014 IEEE International Symposium on Circuits and Systems (ISCAS)*, Melbourne, VIC, Australia, **2014**, s. 782-785.
- [13]. A. A. Lazar, L. T. Toth, „Perfect recovery and sensitivity analysis of time encoded bandlimited signals,” *IEEE Transactions on Circuits and Systems I: Regular Papers*, **2004**, nr 51(10), s. 2060–2073.
- [14]. D. Kościelny, M. Miśkiewicz, „Time-to-digital converters based on event-driven successive charge redistribution: A theoretical approach,” *Measurement*, **2012**, nr 45(10), s. 2511–2528.

- [15]. A. A. Lazar, E. A. Pnevmatikakis, „A video Time Encoding Machine,” *2008 15th IEEE International Conference on Image Processing*, San Diego, Kalifornia, USA, **2008**, s. 717-720.
- [16]. C.J. Kikkert, D.J. Miller, „Asynchronous delta sigma modulation,” *IREE*, **1975**, s. 83–88.
- [17]. E. Roza, „Analog-to-digital conversion via duty-cycle modulation,” *IEEE Trans. Circuits Syst.-II Analog. Digit. Signal Process*, **1977**, nr 44, s. 907–917.
- [18]. C.S. Tallefer, G.W. Roberts, „Delta–Sigma A/D Conversion Via Time-Mode Signal Processing,” *IEEE Trans. Circuits Syst. I Regul. Pap.*, **2009**, nr 56, s. 1908–1920.
- [19]. M. Tamaddon, M. Yavari, „Design of a continuous-time $\Sigma\Delta$ modulator using the time domain quantization approach,” *2014 22nd Iranian Conference on Electrical Engineering (ICEE)*, Tehran, Iran, **2014**, s. 215-219.
- [20]. D. Kościelnik, M. Miśkiewicz, „Asynchronous Sigma-Delta analog-to digital converter based on the charge pump integrator,” *Analog Integr. Circ. Sig. Process*, **2008**, nr 55, s. 223–238.
- [21]. Y. -S. Park, S. Woo, D. Lim, K. Cho, S. Kim, „Integrate-and-Fire Neuron Circuit Without External Bias Voltages,” *Frontiers in Neuroscience*, **2021**, nr 15.
- [22]. S. Dutta, V. Kumar, A. Shukla, et al. „Leaky Integrate and Fire Neuron by Charge-Discharge Dynamics in Floating-Body MOSFET,” *Scientific Reports*, **2017**, nr 7, s. 8257.
- [23]. I. Burman, A. Hore, A. Chakraborty, S. Bandyopadhyay, S. Chakrabarti, „Implementation of a Spiking Neuron in CMOS,” *Proceedings of 2021 National Conference on Communications (NCC)*, Kanpur, Indie, **2021**, s. 1-6.
- [24]. E. J. Basham, D. W. Parent, „A Neuromorphic Quadratic, Integrate, and Fire Silicon Neuron with Adaptive Gain” *2018 40th Annual International Conference of the IEEE Engineering in Medicine and Biology Society (EMBC)*, Honolulu, Hawaje, USA, **2018**, s. 1771-1776.
- [25]. R. Castro, N. S. Artan, „Adaptive Sampling for Low-Power Wearable and Implantable Devices,” *2019 IEEE 16th International Conference on Mobile Ad Hoc and Sensor Systems Workshops (MASSW)*, Monterey, Kalifornia, USA, **2019**, s. 63-66.
- [26]. C. Weltin-Wu, Y. Tsvividis, „An Event-driven Clockless Level-Crossing ADC With Signal-Dependent Adaptive Resolution,” *IEEE Journal of Solid-State Circuits*, **2013**, nr 48(9), s. 2180-2190.
- [27]. S. -L. Chen *et al.*, „A Power-Efficient Mixed-Signal Smart ADC Design With Adaptive Resolution and Variable Sampling Rate for Low-Power Applications,” *IEEE Sensors Journal*, **2017**, nr 17(11), s. 3461-3469.
- [28]. K. Jurasz, D. Kościelnik, J. Szyduczyński, W. Machowski, „A New Successive Time Balancing Time-to-Digital Conversion Method,” *Sensors*, **2023**, nr 23.
- [29]. D. Kościelnik, M. Miśkiewicz, „Method and Apparatus for Conversion Time Interval into Digital Word Using Successive Approximation Scheme”. Zgłoszony: 18.12.2015. Udzielony: 4.04.2017. Numer: US9612581B1.
- [30]. D. Kościelnik, M. Miśkiewicz, „Method and Apparatus for Conversion Time Interval into Digital Word Using Successive Approximation Scheme.” Zgłoszony: 17.12.2015. Udzielony: 31.03.2021. Numer: EP3141968B1.
- [31]. K. Jurasz, D. Kościelnik, J. Szyduczyński, M. Miśkiewicz, „Systematization and Comparison of the Binary Successive Approximation Variants,” *Sensors*, **2021**, nr 21.
- [32]. D. Kościelnik, M. Miskowicz, J. Szyduczynski, D. Rzepka, „Optimizing time-to-digital converter architecture for successive approximation time measurements,” *Proceedings of the IEEE Nordic-Mediterranean Workshop on Time-to-Digital Converters NoMe TDC*, Perugia, Republika Włoska, październik **2013**, s. 1–8.

- [33]. A. Can, E. Sejdic, L. Chaparro, „Asynchronous sampling and reconstruction of sparse signals,” *2012 Proceedings of the 20th European Signal Processing Conference (EUSIPCO)*, Bukareszt, Rumunia, **2012**, s. 854-858.
- [34]. M. Stork, „Asynchronous sigma-delta modulator and fast demodulator,” *2015 25th International Conference Radioelektronika (RADIOELEKTRONIKA)*, Pardubice, Republika Czeska, **2015**, s. 180-183.
- [35]. D. Wei, J. G. Harris, „Signal reconstruction from spiking neuron models,” *2004 IEEE International Symposium on Circuits and Systems (ISCAS)*, Vancouver, Kanada, USA, **2004**.
- [36]. J. D. Garside, „Processors” w: J. Sparso, S. Furber (red.), „Principles of Asynchronous Circuit Design: A Systems Perspective”. Kluwer Academic, **2001**.
- [37]. D. Edwards, A. Bardsley, „Balsa: An Asynchronous Hardware Synthesis Language,” *The Computer Journal*, **2002**, nr 45(1), s. 12-18.
- [38]. M. Renaudin, „Asynchronous circuits and systems: a promising design alternative,” *Microelectronic Engineering*, **2000**, nr 54(1–2), s. 133-149.
- [39]. E. Allier, G. Sicard, L. Fesquet, M. Renaudin, „Asynchronous ADCs: Design Methodology and Case Study,” *8th International Workshop on ADC modelling and testing (IWADC'03)*, Perugia, Republika Włoska, wrzesień **2003**, s. 29-32.
- [40]. B. M. Kelly, D. W. G. Lane, „An asynchronous ADC with reconfigurable analog pre-processing,” *2016 IEEE International Symposium on Circuits and Systems (ISCAS)*, Montreal, Kanada, USA, **2016**, s. 1062-1065.
- [41]. E. Allier, G. Sicard, L. Fesquet, M. Renaudin, „Asynchronous level crossing analog to digital converters,” *Measurement*, **2005**, nr 37(4), s. 296-309.
- [42]. P. -C. Tung, D. -T. Fan, T. -H. Tsai, „A 10-bit asynchronous SAR ADC with scalable conversion time in 0.18 μ m CMOS,” *2016 IEEE International Symposium on Circuits and Systems (ISCAS)*, Montreal, Kanada, USA, **2016**, s. 1454-1457,.
- [43]. Y. Tsvividis, „Event-Driven Data Acquisition and Digital Signal Processing—A Tutorial,” *IEEE Transactions on Circuits and Systems II: Express Briefs*, **2010**, nr 57(8), s. 577-581.
- [44]. K. Adam, A. Scholefield, M. Vetterli, „How Asynchronous Events Encode Video”, in *Proceedings of the 55th Asilomar Conference on Signals, Systems, and Computers*, Pacific Grove, Kalifornia, USA **2021**.
- [45]. D. Wei, V. Garg, J. G. Harris, „An asynchronous delta-sigma converter implementation,” in *2006 IEEE International Symposium on Circuits and Systems (ISCAS)*, Kos, Republika Grecka, **2006**, s. 4.
- [46]. W. Gerstner, W. M. Kistler, „Spiking Neuron Models: Single Neurons, Populations, Plasticity”, Cambridge : Cambridge University Press, **2002**.
- [47]. A. A. Lazar, „Multichannel time encoding with integrate-and-fire neurons,” *Neurocomputing*, **2005**, nr 65–66, s. 401-407.
- [48]. K. Yamazaki, V. K. Vo-Ho, D. Bulsara, N. Le, „Spiking Neural Networks and Their Applications: A Review,” *Brain Sci.*, **2022**, nr 12(7), s. 863.
- [49]. N. Sayiner, H. V. Sorensen, T. R. Viswanathan, „A level-crossing sampling scheme for A/D conversion,” *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, **1996**, nr 43(4), s. 335-339.

- [50]. P. W. Jungwirth, A. D. Poularikas, „Improved Sayiner level crossing ADC,” *Thirty-Sixth Southeastern Symposium on System Theory, 2004*, s. 379-383, Atlanta, GA, USA, **2004**.
- [51]. E. Allier, G. Sicard, L. Fesquet, M. Renaudin, „A new class of asynchronous A/D converters based on time quantization,” *Ninth International Symposium on Asynchronous Circuits and Systems*, Vancouver, Kanada, USA **2003**, s. 196-205.
- [52]. D. Rzepka, D. Kościelnik, M. Miśkiewicz, „Recovery of varying-bandwidth signal for level-crossing sampling,” *Proceedings of the 2014 IEEE Emerging Technology and Factory Automation (ETFA)*, Barcelona, Hiszpania, **2014**, s. 1-6.
- [53]. B. A. Moser, T. Natschläger, „On Stability of Distance Measures for Event Sequences Induced by Level-Crossing Sampling,” *IEEE Transactions on Signal Processing*, **2014**, nr 62(8), s. 1987-1999.
- [54]. E. Kofman, J. H. Braslavsky, „Level Crossing Sampling in Feedback Stabilization under Data-Rate Constraints,” *Proceedings of the 45th IEEE Conference on Decision and Control*, San Diego, Kalifornia, USA, **2006**, s. 4423-4428.
- [55]. K. J. Astrom, B. M. Bernhardsson, „Comparison of Riemann and Lebesgue sampling for first order stochastic systems,” *Proceedings of the 41st IEEE Conference on Decision and Control, 2002.*, Las Vegas, Nevada, USA, **2002**, s. 2011-2016.
- [56]. Y. S. Suh, „Send-On-Delta Sensor Data Transmission With A Linear Predictor,” *Sensors*, **2007**, nr 7(4), s.537-547.
- [57]. M. Miśkiewicz, „Send-on-Delta Concept: An Event-Based Data Reporting Strategy,” *Sensors*, **2006**, nr 6.
- [58]. U. Grunde, M. Greitans, „Advanced level-crossing sampling method,” *2011 19th Telecommunications Forum (TELFOR) Proceedings of Papers*, Belgrad, Serbia, **2011**, s. 797-800.
- [59]. V.M.L. Silva, A.A.L. de Souza, S.Y.C. Catunda, R.C.S. Freire, „Non-uniform sampling based ADC architecture using an adaptive level-crossing technique,” *IEEE International Instrumentation and Measurement Technology Conference (I2MTC)*, Kuala Lumpur, Malezja, **2017**, s. 1–6.
- [60]. M. Tlili, M. Ben-Romdhane, A. Maalej, F. Rivet, D. Dallet, C. Rebai, „Level-crossing ADC design and evaluation methodology for normal and pathological electrocardiogram signals measurement,” *Measurement*, **2018**, nr 124, s. 413–425.
- [61]. N. Ravanshad, H. Rezaee-Dehsorkh, „An event-based ECG-monitoring and QRS-detection system based on level-crossing sampling,” *Proceedings of the 2017 Iranian Conference on Electrical Engineering (ICEE)*, Tehran, Iran, maj **2017**, s. 302–307.
- [62]. K. Guan, A.C. Singer, „A Level-Crossing Sampling Scheme for Bursty Signals,” *Proceedings of the 2006 40th Annual Conference on Information Sciences and Systems*, Princeton, New Jersey, USA, marzec **2006**, s. 1357–1359.
- [63]. K. M. Guan, S. S. Kozat, A. C. Singer, „Adaptive reference levels in a level-crossing analog-to-digital converter,” *EURASIP Journal on Advances in Signal Processing*, **2008**, nr 1(11).
- [64]. K. M. Guan, A. C. Singer, „Sequential placement of reference levels in a level-crossing analog-to-digital converter,” *2008 42nd Annual Conference on Information Sciences and Systems*, Princeton, New Jersey, USA, **2008**, s. 464-469.
- [65]. A. Papoulis, „Generalized sampling expansion,” *IEEE Transactions on Circuits and Systems*, **1977**, nr 24(11), s. 652-654.

- [66]. R. Szplet, „Time-to-digital converters,” w: P. Carbone, S. Kiaei, F. Xu (red.), „Design, Modeling and Testing of Data Converters”. Nowy Jork, NY, USA: Springer, **2014**.
- [67]. P. Kwiatkowski, D. Sondej, R. Szplet, „Subpicosecond resolution time interval counter with multisampling wave union type B TDCs in 28 nm FPGA device,” *Measurement*, **2023**, nr 209.
- [68]. P. Kwiatkowski, R. Szplet, Z. Jachna, K. Różyc, „Scalony licznik czasu z użyciem stempli czasowych i interpolacji dwustopniowej,” *Pomiary Automatyka Kontrola*, **2013**, nr 7(7), s. 435–437.
- [69]. R. Szplet, K. Perko, „Scalony licznik czasu z użyciem stempli czasowych,” *Pomiary Automatyka Kontrola*, **2013**, nr 59.
- [70]. D. Kościelnik, M. Miśkiewicz, „A clockless time-to-digital converter,” in *Proceedings of the 2010 IEEE 26-th Convention of Electrical and Electronics Engineers in Israel*, Eilat, Izrael, listopad **2010**, s. 516–519.
- [71]. W. Kester, „Data Conversion Handbook”. Burlington, MA, USA: Newnes, **2005**.
- [72]. W. El-Halwagy; P. Mousavi, M. Hossain, „A 79dB SNDR, 10MHz BW, 675MS/s open-loop time-based ADC employing a 1.15ps SAR-TDC,” *Proceedings of the 2016 IEEE Asian Solid-State Circuits Conference (A-SSCC)*, Toyama, Japonia, listopad **2016**; s. 321–324.
- [73]. R. Jiang, C. Li, M. Yang, H. Kobayashi, Y. Ozawa, N. Tsukiji, M. Hirano, R. Shiota, K. Hatayama, „Successive approximation time-to-digital converter with vernier-level resolution,” *Proceedings of the 2016 IEEE 21st International Mixed-Signal Testing Workshop (IMSTW)*, Sant Feliu de Guixols, Hiszpania, luty **2016**, s. 1–6.
- [74]. S. Al-Ahdab, A. Mäntyniemi, J. Kostamovaara, „Cyclic time domain successive approximation time-to-digital converter (TDC) with sub-ps-level resolution,” *Proceedings of the 2011 IEEE International Instrumentation and Measurement Technology Conference*, Hangzhou, Chiny, maj **2011**, s. 1–4.
- [75]. M. A. Abas, G. Russell, D.J. Kinniment, „Built-in time measurement circuits—A comparative design study,” *IET Comput. Digit. Tech.*, **2007**, nr 1, s. 87–97.
- [76]. C.-C. Liu, S.-J. Chang, G.-Y. Huang, Y.-Z. Lin, „A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure,” *IEEE J. Solid-State Circuits*, **2010**, nr 45, s. 731–740.
- [77]. D.J. Lee, F. Yuan, Y. Zhou, „Successive Approximation Register TDC in Time-Mode Signal Processing,” *Proceedings of the 2021 IEEE International Midwest Symposium on Circuits and Systems (MWSCAS)*, Lansing, Michigan, USA, sierpień **2021**, s. 945–948.
- [78]. M.P. Mattada, H. Guhilot, „Time-to-digital converters—A comprehensive review,” *Int. J. Circuit Theory Appl.*, **2021**, nr 49, s. 778–800.
- [79]. J. Szyduczyński, D. Kościelnik, M. Miśkiewicz, „Dynamic equalization of logic delays in feedback-based successive approximation TDCs,” *Proceedings of the 2017 3rd International Conference on Event-Based Control, Communication and Signal Processing (EBCCSP)*, Funchal, Portugalia, maj **2017**, s. 1–6.
- [80]. A. Mäntyniemi, T. Rahkonen, J. Kostamovaara, „A CMOS Time-to-Digital Converter (TDC) Based On a Cyclic Time Domain Successive Approximation Interpolation Method,” *IEEE J. Solid-State Circuits*, **2009**, nr 44, s. 3067–3078.

- [81]. H. Chung, H. Ishikuro, T. Kuroda, „A 10-Bit 80-MS/s Decision-Select Successive Approximation TDC in 65-nm CMOS,” *IEEE J. Solid-State Circuits*, **2012**, nr 47, s. 1232–1241.
- [82]. B. R. Gregoire, U. -K. Moon, „Reducing the effects of component mismatch by using relative size information,” *2008 IEEE International Symposium on Circuits and Systems*, Seattle, Waszyngton, USA, **2008**, s. 512-515.
- [83]. M. J. M. Pelgrom, A. C. J. Duinmaijer, A. P. G. Welbers, „Matching properties of MOS transistors,” *IEEE Journal of Solid-State Circuits*, **1989**, nr 24(5), s. 1433-1439.
- [84]. P. R. Gray, P. J. Hurst, S. H. Lewis, R. G. Meyer, „Analysis and design of analog integrated circuits”, wydanie piąte. Nowy Jork, NY, USA: Wiley, **2009**.
- [85]. R. J. Baker, „CMOS Circuit Design, Layout, and Simulation”, wydanie trzecie. USA: Wiley-IEE Press, **2010**.
- [86]. A. Hastings, „The art of analog layout”. USA: Prentice Hall, **2001**.
- [87]. A. Salib, M. F. Flanagan, B. Cardiff, „Blind SAR ADC capacitor mismatch calibration,” *2017 IEEE 60th International Midwest Symposium on Circuits and Systems (MWSCAS)*, Boston, Massachusetts , USA, **2017**, s. 587-590.
- [88]. J. -E. Chen, P. -W. Luo, C. -L. Wey, „Placement Optimization for Yield Improvement of Switched-Capacitor Analog Integrated Circuits," *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, **2010**, nr 29(2), s. 313-318.
- [89]. M. Ding, P. Harpe, Y. -H. Liu, B. Busze, K. Philips, H. de Groot. „A 46 μ W 13 b 6.4 MS/s SAR ADC With Background Mismatch and Offset Calibration," *IEEE Journal of Solid-State Circuits*, **2017**, nr 52(2), s. 423-432.
- [90]. M. Saberi, R. Lotfi, K. Mafinezhad, W.A. Serdijn, „Analysis of Power Consumption and Linearity in Capacitive Digital-to-Analog Converters Used in Successive Approximation ADCs,” *IEEE Trans. Circuits Syst. I Regul. Pap.*, **2011**, nr 58, s. 1736–1748.
- [91]. X. Wang, X. Wang, S. Fan, „A Simple structure with low temperature drift bandgap voltage reference design,” *Int. J. Electron. Lett.* **2022**, nr 11, s. 104–112.
- [92]. C. Wu, W. L. Goh, Y. Yang, A. Chang, X. Zhu, L. Wang, „A start-up free 200nW bandgap voltage reference,” *2016 14th IEEE International New Circuits and Systems Conference (NEWCAS)*, Vancouver, Kanada, USA, **2016**, s. 1-4.
- [93]. Anushree, J. Kaur, „Comparative study of Curvature Correction in CMOS Bandgap Reference Circuit,” *Proceedings of the 2020 IEEE 17th India Council International Conference (INDICON)*, Nowe Delhi, Indie, grudzień **2020**, s. 1–4.
- [94]. R. Akshaya and S. Y. Siva, „Design of an improved bandgap reference in 180nm CMOS process technology,” *2017 2nd IEEE International Conference on Recent Trends in Electronics, Information & Communication Technology (RTEICT)*, Bengaluru, Indie, **2017**, s. 521- 24.
- [95]. S. Timm, A. Wickmann, „A trimmable precision bandgap voltage reference on 180 nm CMOS,” *Proceedings of the 2013 International Semiconductor Conference Dresden-Grenoble (ISCDG)*, Drezno, Niemcy, wrzesień **2013**, s. 1–4.
- [96]. A. Martínez-Nieto, M. T. Sanz-Pascual, P. Rosales-Quintero, S. Celma, „A bandgap voltage reference in 0.18 μ m CMOS technology,” *2013 IEEE 56th International Midwest Symposium on Circuits and Systems (MWSCAS)*, Columbus, Ohio, USA, **2013**, s. 97-100.

- [97]. Szyduczyński J., „Design and optimization of architectures for successive approximation time-to-digital converters”, rozprawa doktorska napisana pod kierunkiem dr. hab. inż. Marka Miśkowicza i dr. hab. inż. Dariusza Kościelnika, Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie, Kraków **2022**. Dostępne w repozytorium Akademii Górniczo-Hutniczej im. Stanisława Staszica w Krakowie.
- [98]. M. J. McNutt, S. LeMarquis, J. L. Dunkley, "Systematic capacitance matching errors and corrective layout procedures," *IEEE Journal of Solid-State Circuits*, **1994**, nr 29(5), s. 611-616.
- [99]. W. Hsiao, Y. He, M.P. Lin, R. Chang, S. Lee, „Automatic common-centroid layout generation for binary-weighted capacitors in charge-scaling DAC,” *2012 International Conference on Synthesis, Modeling, Analysis and Simulation Methods and Applications to Circuit Design (SMACD)*, **2012**, s. 173-176.
- [100]. B. Razavi, „Design of analog CMOS integrated circuits”. Nowy Jork, NY, USA: McGraw-Hill, **2001**.
- [101]. „IEEE Standard for Technology and Test Methods for Analog-to-Digital Converters”, IEEE Standard 1241, **2023**.
- [102]. P.E. Allen, D.R. Holberg, „CMOS Analog Circuit Design”, wydanie drugie. Nowy Jork, NY, USA: Oxford University Press, **2004**.
- [103]. N. Weste, D. Harris, „CMOS VLSI design: A circuits and systems perspective,” wydanie czwarte. Addison-Wesley, **2010**.
- [104]. S. Kale, R.S. Gamad, „Design of a CMOS Comparator for Low Power and High Speed,” *Int. J. Electron. Eng. Res.*, **2010**, nr 2, s. 29–34.
- [105]. P. R. Kinget, „Device Mismatch: An Analog Design Perspective,” *2007 IEEE International Symposium on Circuits and Systems (ISCAS)*, Nowy Orlean, Luizjana, USA, **2007**, s. 1245-1248.
- [106]. D. Kinniment, „Synchronization and Arbitration in Digital Systems”, Padstow, GBR: Wiley, **2008**.
- [107]. P. A. Beerel, R. O. Ozdag, M. Ferretti, „A Designer’s Guide to Asynchronous VLSI”. Cambridge: Cambridge University Press, **2010**.
- [108]. Y. Zhang *et al.*, „Design and Analysis of Testable Mutual Exclusion Elements,” *2015 21st IEEE International Symposium on Asynchronous Circuits and Systems*, Mountain View, CA, USA, **2015**, s. 124-131.
- [109]. I. M. Filanovsky, H. Baltés, „CMOS Schmitt trigger design,” *IEEE Trans. Circuits Syst. I Fundam. Theory Appl.*, **1994**, nr 41, s. 46–49.
- [110]. M. Hosseinnejad, A. Erfanian, M.A. Karami, „On the Design of Low Power CMOS Schmitt Trigger for Biomedical Application,” *Proceedings of the 2019 27th Iranian Conference on Electrical Engineering (ICEE)*, Jazd, Iran, **2019**, s. 1756–1760.
- [111]. D. Kościelnik, J. Szyduczyński, M. Miśkowicz, K. Jurasz, „Sposób rozpoznawania kolejności sygnałów”. Zgłoszony 14.04.2022. Udzielony 13.11.2023. Numer: PL244483B1.
- [112]. D. Kościelnik, J. Szyduczyński, M. Miśkowicz, K. Jurasz, „Układ do rozpoznawania kolejności sygnałów”. Zgłoszony 14.04.2022. Udzielony 13.11.2023. Numer: PL244484B1.
- [113]. D. Kościelnik, J. Szyduczyński, M. Miśkowicz, K. Jurasz, „Method for recognizing order of signals”. Zgłoszony: 15.12.2022. Numer: EP4261623A1.

- [114]. D. Kościelnik, J. Szyduczyński, M. Miśkiewicz, K. Jurasz, „System for recognizing order of signals”. Zgłoszony: 15.12.**2022**. Numer: EP4261622A1.
- [115]. D. Kościelnik, K. Jurasz, J. Szyduczyński, „Sposób bezzegarowego i bezpośredniego przetwarzania interwału czasu na słowo cyfrowe”. Zgłoszony: 16.02.**2023**. Numer: P.443808.
- [116]. D. Kościelnik, K. Jurasz, J. Szyduczyński, „Układ do bezzegarowego i bezpośredniego przetwarzania interwału czasu na słowo cyfrowe”. Zgłoszony: 16.02.**2023**. Numer: P.443809.
- [117]. D. Kościelnik, K. Jurasz, J. Szyduczyński, „Method for clockless and direct conversion of time interval to digital word”. Zgłoszony: 18.05.**2023**. Numer: EP23163317.3.
- [118]. D. Kościelnik, K. Jurasz, J. Szyduczyński, „Apparatus for clockless and direct conversion of time interval to digital word”. Zgłoszony: 18.05.**2023**. Numer: EP23163316.5.

Oświadczam, że rozprawa doktorska pt. „Bezegarowy przetwornik TDC (Time-to-Digital Converter) z sukcesywnym równoważeniem upływu czasu” nie była przedmiotem innego postępowania i obecnie nie toczy się wobec mnie inne postępowanie o nadanie stopnia doktora w tej samej dyscyplinie.