



AKADEMIA GÓRNICZO-HUTNICZA IM. STANISŁAWA STASZICA W KRAKOWIE

DZIEDZINA NAUK INŻYNIERYJNO-TECHNICZNYCH

DYSCYPLINA: AUTOMATYKA, ELEKTRONIKA, ELEKTROTECHNIKA I
TECHNOLOGIE KOSMICZNE

AUTOREFERAT

*Bezzegarowy przetwornik TDC
(Time-to-Digital Converter) z sukcesywnym
równoważeniem upływu czasu*

Autor: mgr inż. Konrad Jurasz

Promotor rozprawy: dr hab. inż. Witold Machowski
Promotor pomocniczy: dr hab. inż. Dariusz Kościelnik

Praca wykonana:

Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie
Wydział Informatyki, Elektroniki i Telekomunikacji
Instytut Elektroniki

Kraków, 2024

Streszczenie

Praca jest rezultatem badań prowadzonych przez autora nad udoskonaleniem i praktyczną implementacją w strukturze monolitycznej samotaktujących, bezpośrednich przetworników STB-TDC (*Successive Time Balancing Time-to-Digital Converter*). Układy te są przeznaczone do pomiaru odcinków czasu metodą kompensacji wagowej. Jednym z najważniejszych obszarów ich zastosowania są aplikacje biomedyczne, w których wysoka sprawność energetyczna jest kluczowym parametrem. Rozwiązania samotaktujące umożliwiają uzyskanie takiej sprawności, ponieważ nie posiadają w swojej strukturze zegara, zarówno zewnętrznego, jak i w postaci lokalnego oscylatora. Algorytm STB-TDC dokonuje ponadto pomiaru interwału czasu w sposób bezpośredni, co jest rzadko spotykaną, choć bardzo pożądaną cechą przetworników TDC.

Opis przeprowadzonych badań poprzedzono klasyfikacją algorytmów sukcesywnej aproksymacji zaproponowaną przez autora pracy. Wyodrębniono tam trzy istniejące warianty: oscylacyjną sukcesywną aproksymację OSA (*Oscillating Successive Approximation*), monotoniczną sukcesywną aproksymację MSA (*Monotonic Successive Approximation*) oraz pełnoskalową sukcesywną aproksymację FSMSA (*Full-Scale Monotonic Successive Approximation*). Szczególną uwagę zwrócono na zdolność poszczególnych algorytmów do bezpośredniego przetwarzania nieodejmowalnych wielkości fizycznych, takich jak czas. Zdolność taka stanowi ceną zaletę konwersji, pozwalając uniknąć stosowania wstępnej konwersji (*preconversion*) będącej źródłem dodatkowego błędu przetwarzania i zużywaną energii dynamicznej w każdym cyklu pracy przetwornika.

Dalsza część pracy zawiera opis i wyniki badań nad przetwornikiem STB-TDC. W pierwszej kolejności przedstawiono skonstruowany model przetwarzania metodą sukcesywnego równoważenia upływu czasu STB (*Successive Time Balancing*). Jego zaletą jest możliwość odwzorowania upływu czasu zarówno interwałów referencyjnych jak i mierzonego odcinka czasu. Następnie przedstawiono schemat przetwornika STB-TDC składający się z idealnych elementów oraz podano wyniki symulacji dla tak skonstruowanego układu.

Jednym z najważniejszych parametrów charakteryzujących przetwornik czasu jest jego czas przetwarzania wyrażony dla układu TDC w funkcji mierzonego interwału czasu. W niniejszej pracy wyznaczono tę zależność dla metody STB w sposób analityczny i udowodniono, że czas przetwarzania STB jest liniową funkcją mierzonego interwału czasu. Przeprowadzona analiza została dodatkowo zweryfikowana przy pomocy skonstruowanego w tym celu modelu behawioralnego.

Na podstawie modelu idealnego STB-TDC zaprojektowano i zoptymalizowano mikrostrukturę przetwornika czasu STB-TDC w technologii UMC 0,18 μm . Opis implementacji zawiera przede wszystkim wpływ nieidealności bloków składowych na charakterystykę przetwarzania oraz zaproponowane przez autora sposoby ich kompensacji.

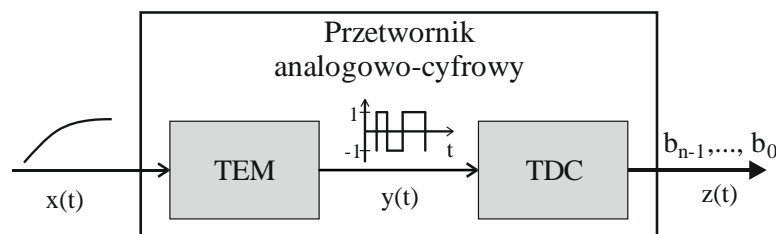
W ostatniej części pracy przedstawiono wyniki pomiarów przeprowadzonych na serii próbnej mikrostruktury przetwornika STB-TDC. Uzyskane rezultaty wskazują, że

zaprojektowany przetwornik STB-TDC spełnia postawione mu wymagania przetwarzając mierzone interwały czasu w sposób bezpośredni i asynchroniczny. Dla wytworzonej serii prototypów przedstawiono także wyniki statystyczne przeprowadzonych pomiarów.

Motywacja

Postępujący rozwój technologii CMOS pozwala na stopniowe zwiększanie liczby tranzystorów umieszczanych w produkowanych strukturach monolitycznych. Zdecydowanie ułatwia to konstruowanie coraz bardziej skomplikowanych układów cyfrowych. Projektowanie złożonych układów analogowych staje się jednak coraz trudniejsze między innymi w wyniku konieczności obniżania napięcia zasilania w kolejnych iteracjach technologicznych. Skutkiem tego jest pogorszenie stosunku sygnału do szumu SNR (*Signal-to-Noise Ratio*), co staje się szczególnie widoczne w klasycznych przetwornikach analogowo-cyfrowych ADC (*Analog-to-Digital Converters*). Jednym ze sposobów rozwiązania tego problemu jest zastosowanie techniki TMSP (*Time-Mode Signal Processing*), która wykorzystuje interwały czasu $y(t)$ (rys. 1) jako pośredni sygnał pomiędzy mierzoną wartością wejściową $x(t)$ a odpowiadającym jej słowem cyfrowym $z(t)$.

Powyższa koncepcja kodowania wartości sygnału w postaci odcinków czasu nie jest już nowa. Zastosowano ją między innymi w asynchronicznych modulatorach sigma-delta ASDM (*Asynchronous Sigma-Delta Modulator*), w których chwile przełączania stanu wyjścia $y(t)$ są zależne od wartości sygnału wejściowego. Pośrednią formą reprezentowania przebiegu $x(t)$ jest zatem ciąg impulsów prostokątnych, których długości podają wartości sygnału wejściowego.



Rysunek 1. Przetwarzanie ADC z wykorzystaniem techniki TMSP

Przetwarzanie analogowo-cyfrowe wykorzystujące technikę TMSP może zostać zrealizowane w dwóch krokach (rys. 1). Konwersja wartości sygnału z dziedziny napięcia do dziedziny czasu jest wykonywana przez koder TEM (*Time Encoding Machine*). Wygenerowane w ten sposób dwuwartościowe, pośrednie impulsy $y(t)$ są następnie poddawane konwersji czasowo-cyfrowej, którą wykonują przetworniki TDC (*Time-to-Digital Converter*).

Kodery TEM mogą zostać zaimplementowane np. jako układy typu *Spiking Neuron* czy też wspomniane powyżej asynchroniczne modulatory Sigma-Delta ASDM (*Asynchronous Sigma-Delta Modulator*). Wszystkie charakteryzują się asynchroniczną pracą

i minimalną liczbą przełączeń dokonywanych w cyklu pracy, przez co uzyskują wysoką sprawność energetyczną, tak pożądaną na przykład w aplikacjach biomedycznych.

W systemach niewymagających wysokiej sprawności energetycznej na drugim etapie konwersji można zastosować przetworniki TDC, które wykorzystują referencyjny sygnał zegarowy. Takie rozwiązanie jest jednak nieefektywne, ponieważ częstotliwość próbkowania układów TEM jest ściśle zależna od wartości mierzonego sygnału. W rozproszonych systemach monitorowania środowiska, czy też w mobilnych zastosowaniach biomedycznych (*Body Area Network*), w których sygnały cechują się krótkimi okresami o dużej aktywności rozdzielonymi długimi przerwami o niskiej aktywności, przez większość czasu referencyjny sygnał zegarowy przetwornika TDC będzie niepotrzebnie zużywał ograniczone zasoby dostępnej energii. Systemy o pożądanym niskim zapotrzebowaniu energetycznym wykorzystują więc wyłącznie rozwiązania asynchroniczne, pozbawione sygnału zegarowego (*Clockless systems*).

Przedstawiony w niniejszej pracy przetwornik sukcesywnego równoważenia upływu czasu STB-TDC (*Successive Time Balancing Time-to-Digital Converter*) jest układem samotaktującym i bezzegarowym. Jest on przeznaczony do przetwarzania interwałów czasu na odpowiadające im słowa cyfrowe. Konwersja tych impulsów odbywa się ponadto w sposób bezpośredni, co zostało osiągnięte przez zastosowanie rzadko spotykanej, monotonicznej wersji metody sukcesywnej aproksymacji, umożliwiającej bezpośrednio przetwarzanie niedekrementowalnych wielkości fizycznych, takich jak czas. Dzięki temu wyeliminowano konieczność stosowania prekonwersji mierzonego sygnału, która nie tylko wprowadza dodatkowy błąd przetwarzania, ale przede wszystkim przyczynia się do zwiększenia zużywanej energii dynamicznej w pojedynczym cyklu pracy.

Przewidywanym zastosowaniem przetwornika STB-TDC jest współpraca z koderami TEM, co umożliwi zbudowanie kompletnego układu przetwornika analogowo-cyfrowego, który dzięki wykorzystaniu techniki TMSP jest potencjalnie odporny na stopniowe obniżanie napięcia zasilania w układach CMOS. Zdolność przetwornika STB-TDC do całkowicie bezzegarowego i jednocześnie bezpośredniego przetwarzania interwałów czasu może ponadto umożliwić uzyskanie wysokiej sprawności energetycznej, stanowiącej kluczowy czynnik na przykład w aplikacjach biomedycznych.

Tezy pracy

I. Możliwa jest praktyczna realizacja samotaktującego, bezzegarowego przetwornika TDC, opartego na metodzie sukcesywnej aproksymacji, dokonującego pomiaru interwału czasu w sposób bezpośredni.

II. Czas przetwarzania przetwornika STB-TDC jest liniową funkcją długości mierzonego interwału czasu z dokładnością do kroku kwantyzacji.

Najważniejsze wyniki przeprowadzonych badań

Klasyfikacja algorytmów sukcesywnej aproksymacji

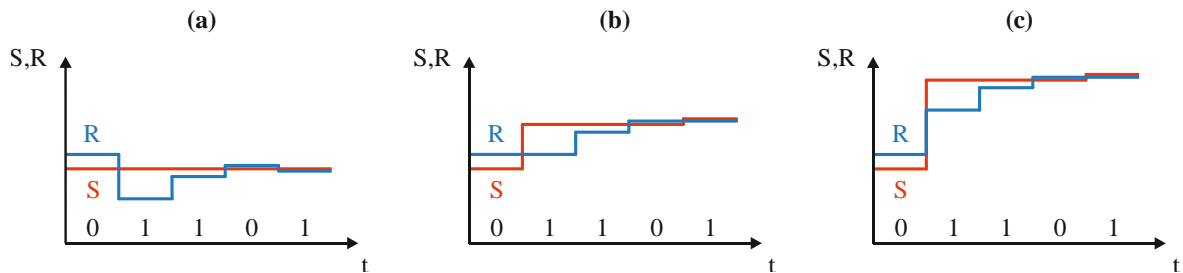
Konwersja z wykorzystaniem metody kolejnych przybliżeń SA jest rozwijana w kierunku przetwarzania odejmowalnych wielkości fizycznych (np. ładunek, napięcie). W poszukiwaniu algorytmów umożliwiających przetwarzanie czasu, którego oczywiście nie można odjąć, dokonano przeglądu literaturowego dostępnych rozwiązań przetworników SA i na tej podstawie wyróżniono trzy główne warianty binarnej sukcesywnej aproksymacji: oscylacyjną sukcesywną aproksymację OSA (*Oscillating Successive Approximation*), monotoniczną sukcesywną aproksymację MSA (*Monotonic Successive Approximation*) oraz pełnozakresową sukcesywną aproksymację FSMSA (*Full-Scale Monotonic Successive Approximation*).

Pierwszy z algorytmów - OSA - nie posiada zdolności do przetwarzania odcinków czasu w sposób bezpośredni. W tym wariantie podczas konwersji jest tworzony referencyjny ekwiwalent, na podstawie którego są wyznaczane bity wyjściowego słowa cyfrowego. Ekwiwalent jest budowany ze zbioru elementów referencyjnych pozostających względem siebie w stosunku binarnym. W każdym kroku konwersji wielkość referencyjna R jest porównywana z mierzoną wielkością S i na podstawie wyniku tej operacji zostaje określony odpowiedni bit (skojarzony z ostatnio wykorzystanym elementem referencyjnym). Jeżeli referencyjny ekwiwalent R jest mniejszy od mierzonej wielkości S, to bit otrzymuje wartość logiczną 1, a ekwiwalent referencyjny R zostaje zwiększany o kolejny element referencyjny (rys. 2a). W przeciwnym przypadku ($S < R$) bit otrzymuje wartość logiczną 0, a ekwiwalent R zostaje zmniejszony poprzez zastąpienie ostatnio dodanego do niego elementu przez kolejny - dwukrotnie mniejszy (rys. 2a). Powyższe operacje powodują oscylacje wartości ekwiwalentu R wokół mierzonej wielkości S, dlatego ten wariant nazwano oscylacyjną sukcesywną aproksymacją OSA (*Oscillating Successive Approximation*). Opisany algorytm nie umożliwia bezpośredniego pomiaru interwału czasu, ponieważ nie można cofnąć czasu, który został już odmierzony (zastąpienie elementu referencyjnego dwukrotnie mniejszym w przypadku wykrycia przeszacowania: $S < R$).

Drugi z wyróżnionych algorytmów - MSA - umożliwia bezpośredni pomiar interwałów czasu. W tym wariantie bity słowa wyjściowego są określane na podstawie sukcesywnego równoważenia mierzonej wielkości S za pomocą binarnie przeskalowanych elementów referencyjnych (rys. 2b). W pierwszym kroku wielkość S jest porównywana z wielkością R równą w tym kroku największemu z dostępnych elementów referencyjnych. W każdym następnym kroku kolejny element referencyjny jest dodawany do tej wielkości (S lub R), która jest aktualnie mniejsza. W tym wariantie różnica pomiędzy S i R jest zawsze kompensowana przez dodawanie elementu referencyjnego do odpowiedniego zbioru, co oznacza, że podczas cyklu konwersji wielkości S i R wyłącznie wzrastają. Brak konieczności

odejmowania elementów referencyjnych sprawia, że algorytm MSA umożliwia bezpośrednie przetwarzanie niedekrementowalnych wielkości fizycznych, takich jak czas.

Trzeci z wyróżnionych wariantów został nazwany FSMSA. Umożliwia on bezpośredni pomiar interwałów czasu, jednak zdolność ta jest okupiona koniecznością stosowania dwóch zestawów elementów referencyjnych - jeden dla wielkości S, a drugi dla wielkości R. W tym algorytmie cyfrowy ekwiwalent mierzonej wielkości jest wyznaczany na podstawie kolejnych porównań z monotonicznie zwiększającą się wielkością referencyjną R (rys. 2c). Przebieg zmian wielkości R wyznaczającej poziomy odniesienia jest zawsze taki sam, bez względu na wartość S. Jest on tworzony poprzez dodawanie do siebie kolejnych elementów referencyjnych wraz z przechodzeniem do kolejnych kroków przetwarzania. Jeżeli w danym kroku wielkość S jest mniejsza od wielkości R, to przeszacowanie jest kompensowane poprzez dodanie do wielkości S elementu referencyjnego (z zestawu skojarzonego z tą wielkością), o wartości elementu, który spowodował to przeszacowanie. Konieczność stosowania dodatkowego zbioru elementów referencyjnych sprawia, że wariant FSMSA w porównaniu do MSA jest nieefektywny energetycznie, dlatego do implementacji przetwornika STB-TDC wykorzystano algorytm MSA.



Rysunek 2. Przykładowe przebiegi wariantów sukcesywnej aproksymacji: (a) oscylacyjna sukcesywna aproksymacja OSA; (b) monotoniczna sukcesywna aproksymacja MSA; (c) pełnoskalowa sukcesywna aproksymacja FSMSA

Czas przetwarzania metodą STB-TDC

Jednym z najważniejszych parametrów charakteryzujących wydajność metody STB-TDC jest czas przetwarzania T_C , wyrażony w funkcji długości mierzonego interwału czasu $T_C(T_{IN})$. Na podstawie rozważań analitycznych wyznaczono tę zależność, udowadniając tym samym, że czas przetwarzania metodą STB-TDC jest liniową funkcją mierzonego interwału czasu T_{IN} (Teza II).

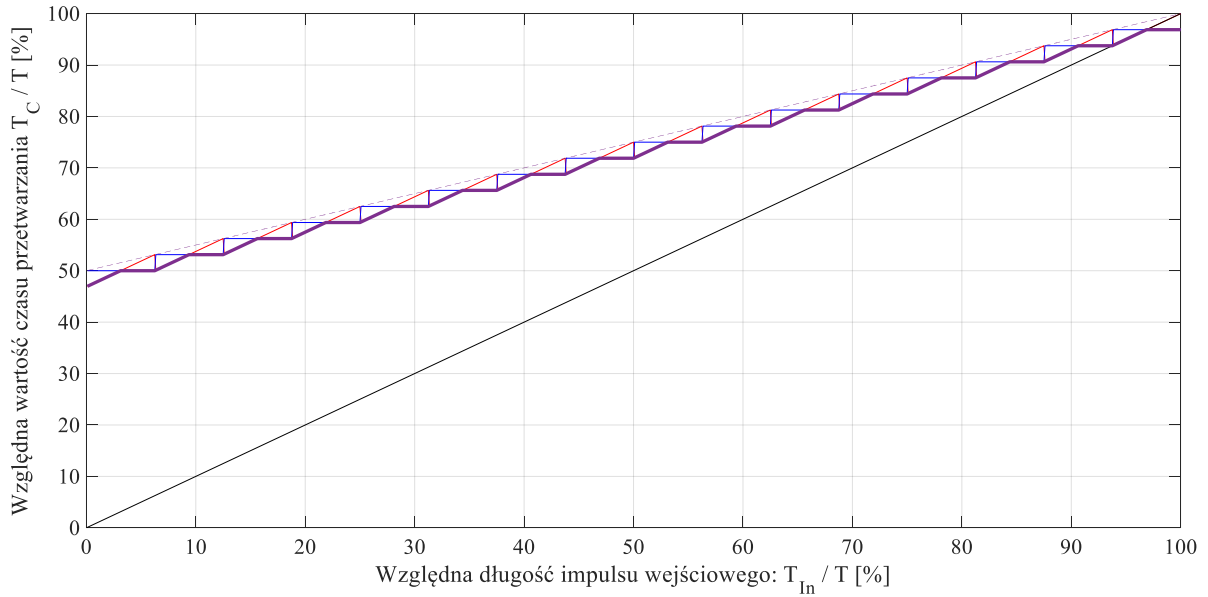
Czas przetwarzania T_C można zapisać następująco:

$$T_C = \min \left\{ \frac{T}{2} + \frac{T_{In}}{2} - T_0 - t_{BHf}, \frac{T}{2} + \frac{T_{In}}{2} + t_{BHf} \right\}, \quad (1)$$

gdzie T jest zakresem przetwarzania, T_0 jest rozdzielczością bezwzględną, a t_{BHf} jest błędem kwantyzacji połowy długości impulsu wejściowego $T_{In}/2$ wyrażonej za pomocą

poniższej o jeden liczby bitów b_{n-1}, \dots, b_1 i przypisanych im dwukrotnie zmniejszonych wag.

Krzywą względną wartości czasu przetwarzania T_C/T , otrzymaną zgodnie z powyższą zależnością dla układu 5-bitowego, wykreślono linią fioletową na rys. 3. Dodatkowo zaznaczono oba składniki kształtujące jej przebieg: względny czas odmierzony za pomocą szyny referencyjnej T_R/T oraz względny czas odmierzony za pomocą szyny źródłowej T_S/T odniesione do momentu rozpoczęcia procesu przetwarzania.



Rysunek 3. Względna długość czasu przetwarzania T_C ; linia fioletowa – liczba bitów $n = 5$, linia przerywana – liczba bitów $n \rightarrow \infty$

Powyższe wyrażenie opisujące czas przetwarzania można uogólnić, uniezależniając je od liczby bitów układu i wynikającej z niej wielkości błędu kwantyzacji t_{BHF} , wyznaczając granicę $n \rightarrow \infty$:

$$\lim_{n \rightarrow \infty} (T_C) = \min \left\{ \lim_{n \rightarrow \infty} (T_S), \lim_{n \rightarrow \infty} (T_R) \right\} = \frac{T + T_{In}}{2} \quad (2)$$

Uzyskaną w ten sposób prostą graniczną oznaczono na rys. 3 linią przerywaną. Jako uogólniona miara wielkości czasu przetwarzania T_C danego rodzaju układu może służyć graniczna wartość tego parametru: minimalna T_{C_min} , maksymalna T_{C_max} i średnia T_{C_avg} . Ich wartości wynoszą:

$$T_{C_min} = \lim_{n \rightarrow \infty} (T_C(T_{In} = 0)) = \frac{T}{2} \quad (3)$$

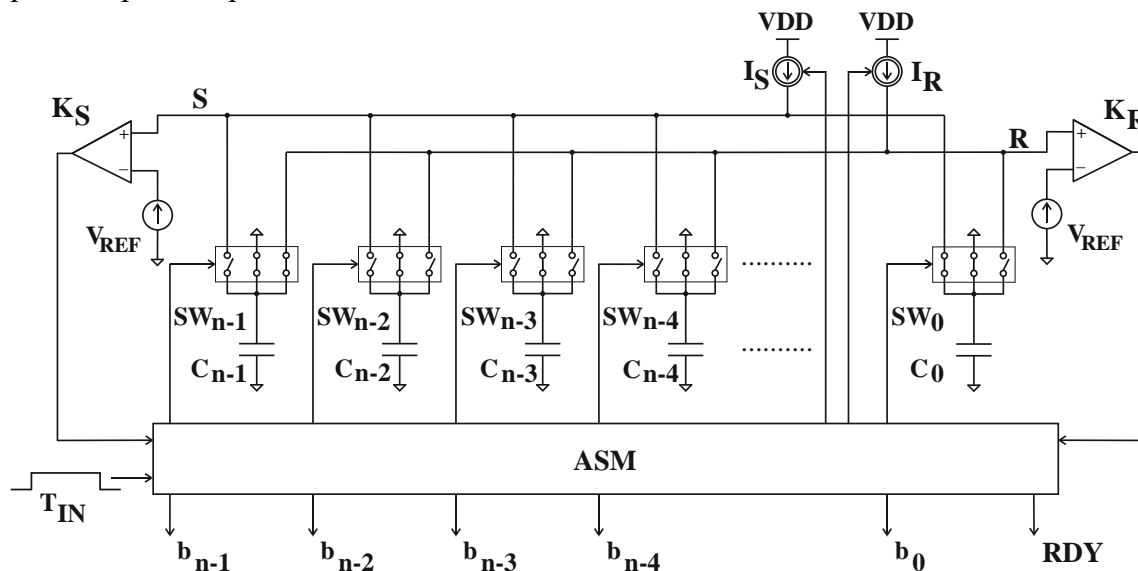
$$T_{C_max} = \lim_{n \rightarrow \infty} (T_C(T_{In} = FSR)) = T \quad (4)$$

$$T_{C_avg} = \frac{1}{T} \int_0^T \lim_{n \rightarrow \infty} (T_C(T_{In})) dT_{In} = \frac{3}{4} T \quad (5)$$

Implementacja przetwornika STB-TDC w technologii UMC 0,18 μm

Schemat przetwornika STB-TDC przedstawiono na rys. 4. Jego składowe stanowią: jeden zestaw binarnie-skalowanych pojemności referencyjnych C_7, \dots, C_0 , dwa źródła prądowe I_S, I_R o identycznej wydajności, dwa komparatory K_S, K_R , referencyjne źródło napięcia V_{REF} , zestaw kluczy analogowych SW_7, \dots, SW_0 oraz asynchroniczna maszyna stanów ASM nadzorująca pracę przetwornika.

Każdy z podzespołów został w pierwszej kolejności zaprojektowany oddzielnie. Następnie, za ich pomocą utworzono kompletny schemat oraz topografię przetwornika STB-TDC. Dokonano przy tym niezbędnych optymalizacji układowych, m.in.: kompensacja pojemności pasożytniczych matrycy pojemności referencyjnych C_7, \dots, C_0 , optymalizacja rozmiarów kluczy analogowych SW_7, \dots, SW_0 , optymalizacja czasu włączania źródeł prądowych I_S, I_R ze szczególnym uwzględnieniem ich powtarzalności w procesie produkcyjnym, optymalizacja czasu odpowiedzi komparatorów K_S, K_R i zaopatrzenie ich w układy wyostrzające, minimalizacja wahań napięcia referencyjnego V_{REF} , wprowadzenie dwustopniowego mechanizmu wzajemnego wykluczenia sygnałów (MUTEX) w celu rozstrzygnięcia przypadku quasirównoczesności sygnałów taktujących asynchroniczny automat stanów ASM, zapewnienie odporności asynchronicznej maszynie sterującej ASM na wysięgi oraz hazardy, wprowadzenie mechanizmu wstępnego wstrzykiwania ładunku podczas procesu przetwarzania.

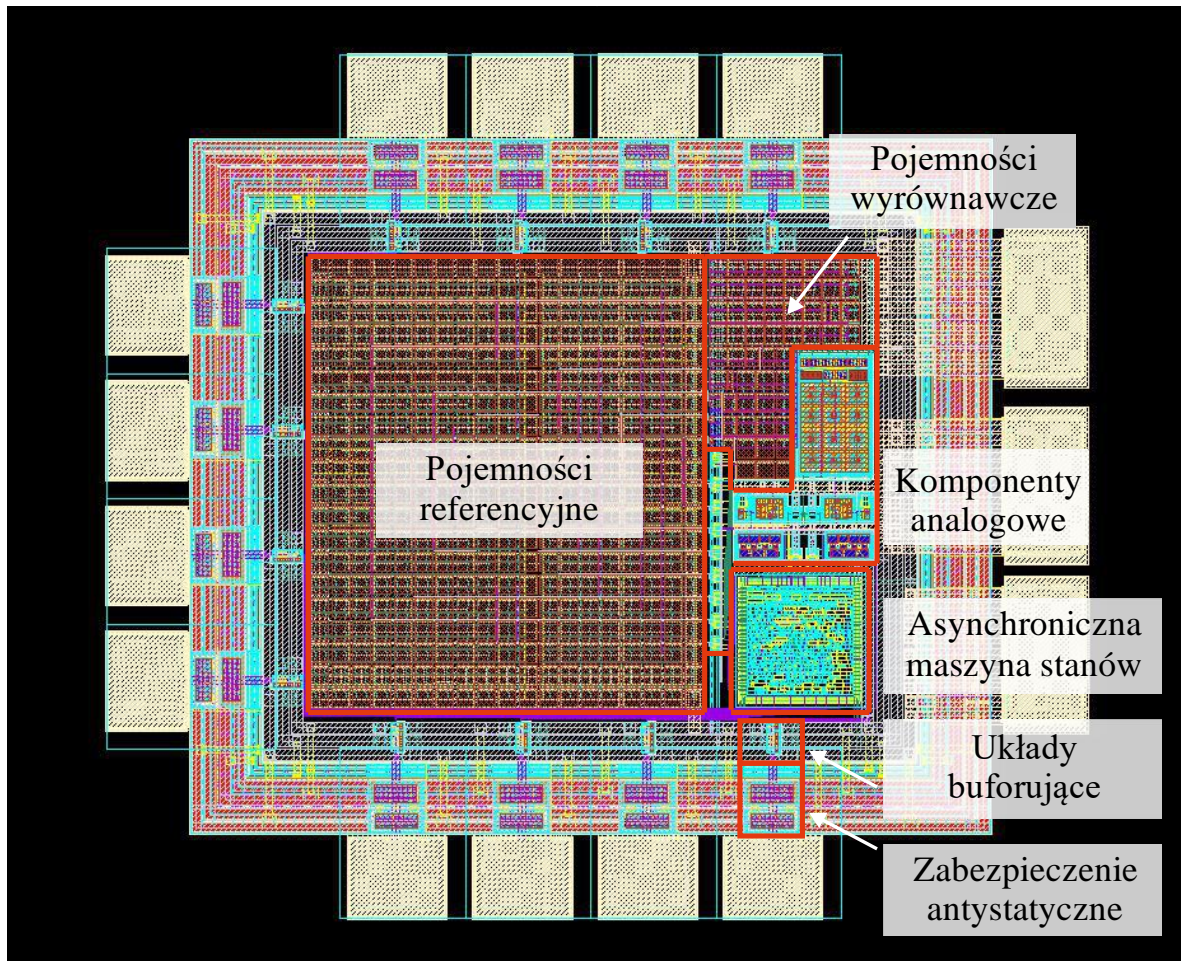


Rysunek 4. Schemat przetwornika STB-TDC

Wyżej wymienione zabiegi optymalizacyjne, minimalizujące nieidealności obwodów, zostały wprowadzone w celu uzyskania założonej rozdzielczości bezwzględnej i optymalnej sprawności energetycznej. Zaprojektowaną w ten sposób topografię zaopatrzone

w dodatkowe stopnie buforujące i podstawową ochronę antystatyczną, a następnie przystosowano do procedury łączenia drutowego (*wire bonding*).

Finalna topografia, która została skierowana do produkcji serii próbnej została przedstawiona na rys. 5–6. Wytworzony przetwornik STB-TDC został następnie zamontowany w wąskiej odmianie obudowy SOIC16 (rys. 7), poddany charakteryzacji oraz ostatecznie zweryfikowany na podstawie uzyskanych wyników.

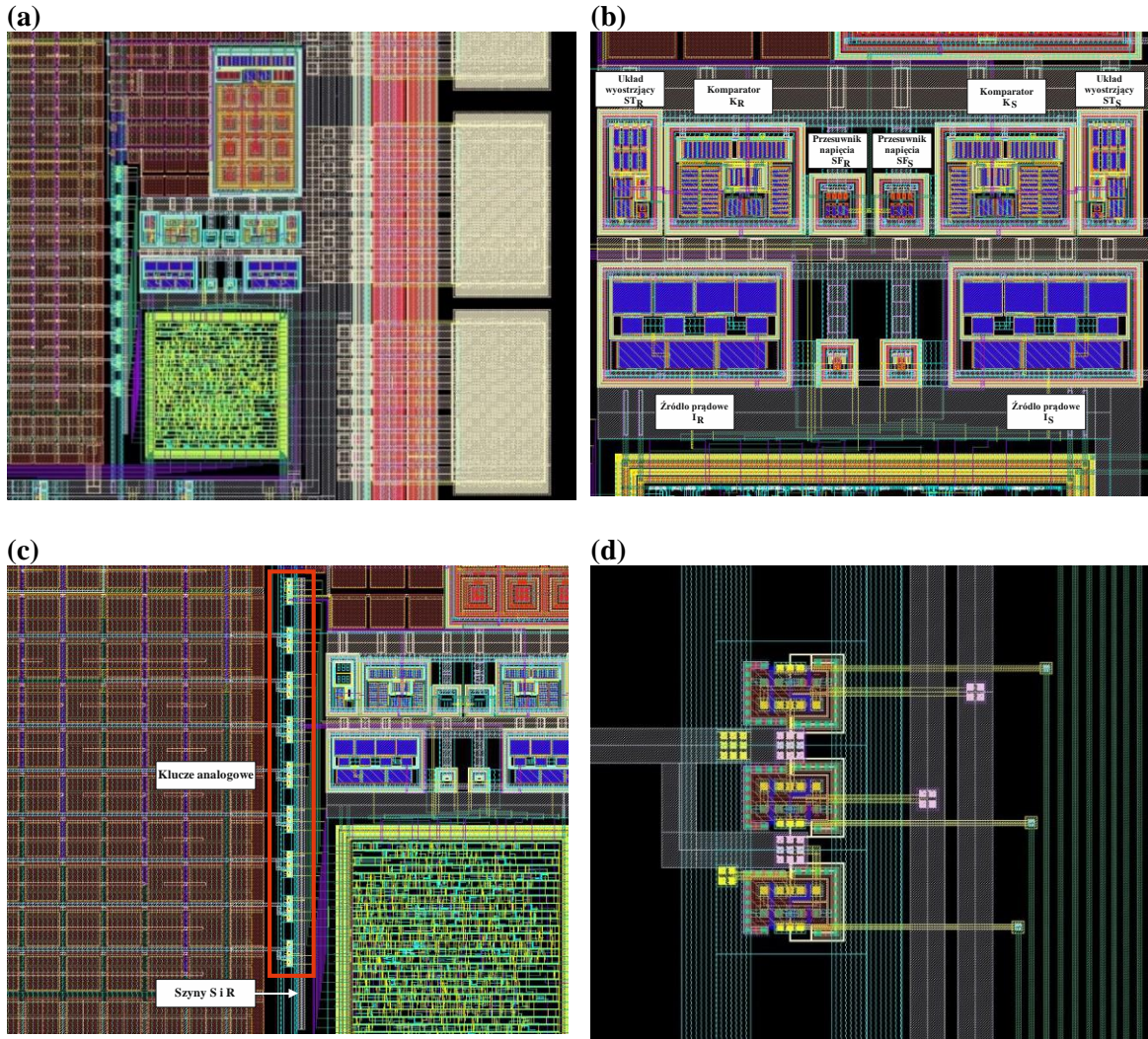


Rysunek 5. Topografia mikrostruktury przetwornika STB-TDC

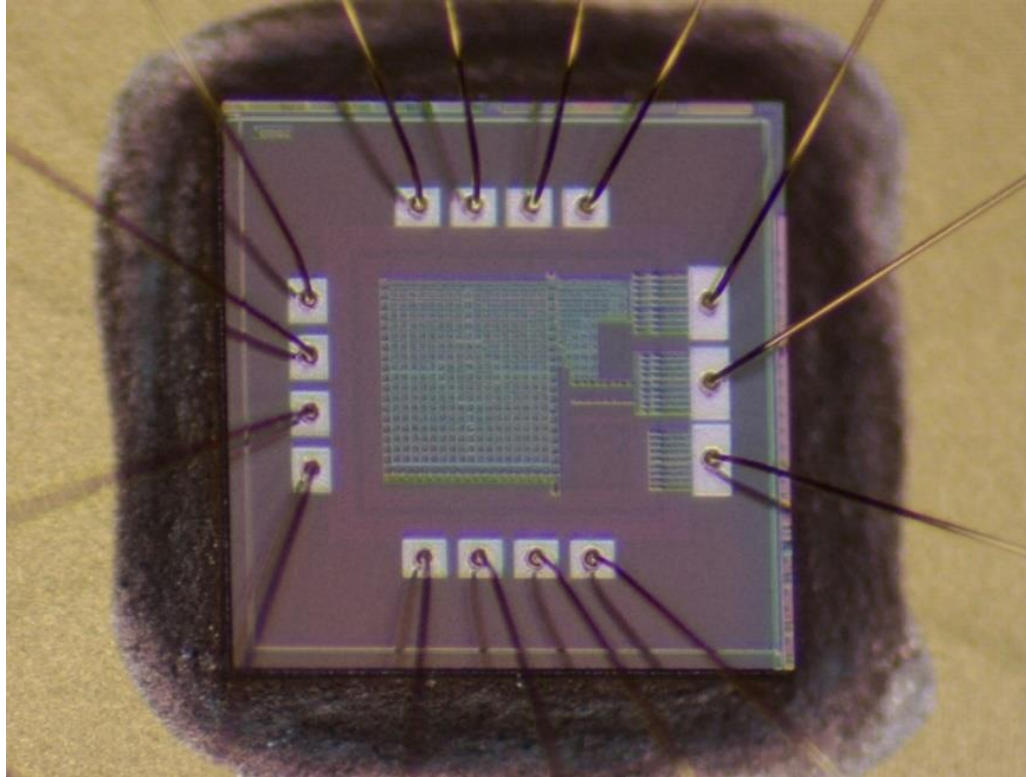
Otrzymane próbki przetestowano dla trzech napięć zasilania (rys. 8): 1,8 V (nominalne), 1,98 V (+10%) oraz 1,62 V (-10%), co pokrywa pełny zakres dopuszczalnych warunków pracy elementów cyfrowych (dostarczonych przez *Faraday Technology Corporation*), wykorzystanych do implementacji asynchronicznej maszyny stanów ASM.

Na podstawie zebranych danych przeprowadzono analizę statystyczną wybranych parametrów przetwarzania analogowo-cyfrowego: bezwzględnej rozdzielczości T_0 (rys. 9), zakresu przetwarzania FSR (rys. 10), błędu nieliniowości różniczkowej DNL, błędu nieliniowości całkowitej INL oraz błędu przesunięcia zera.

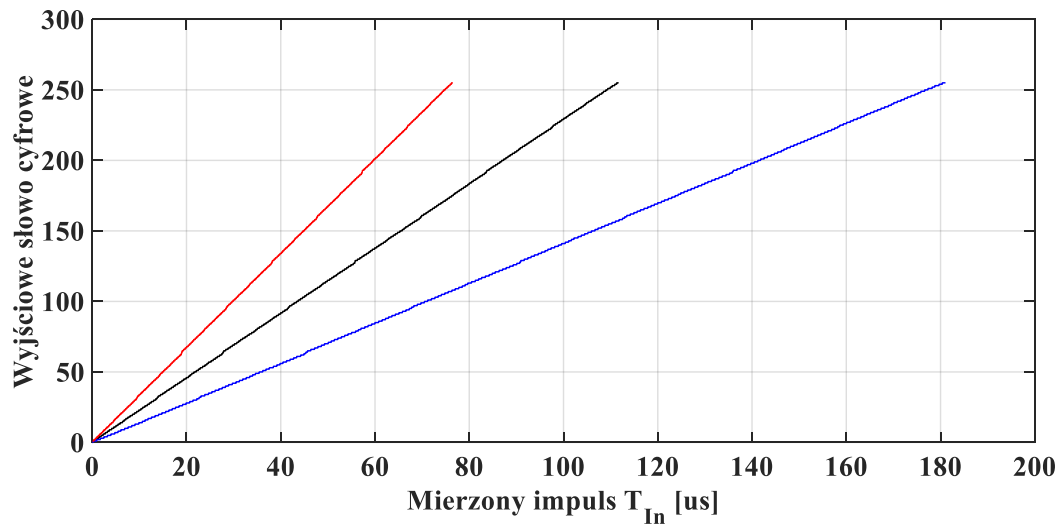
Na żadnym z przetestowanych układów nie zaobserwowano błędu zaburzenia monotoniczności. W zdecydowanej większości największy rozrzut powyższych parametrów występuje, gdy napięcie zasilania wynosi 1,62 V (-10 %). Z kolei najmniejszy rozrzut, zgodnie z przewidywaniami, występuje dla maksymalnego dopuszczalnego napięcia zasilania 1,98 V (+10%). Skrajne wartości uzyskanych rezultatów przeprowadzonej analizy statystycznej zestawiono w tab. 1.



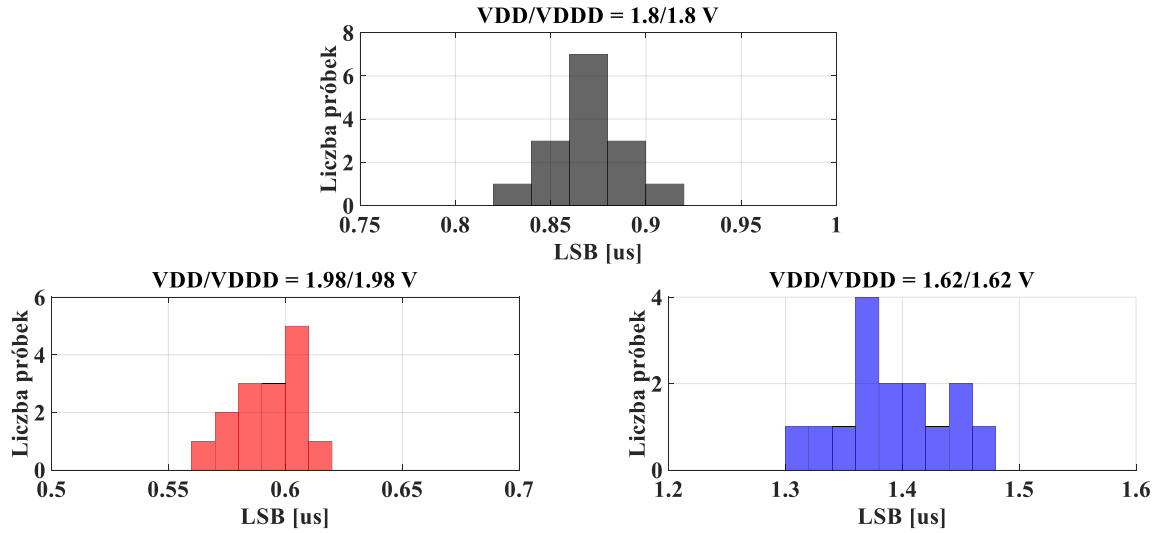
Rysunek 6. Rozmieszczenie układów analogowych: (a) aktywne układy przetwornika; (b) symetryczne rozmieszczenie układów analogowych; (c) rozmieszczenie kluczy; (d) układ trzech kluczy połączonych z odpowiednimi szynami



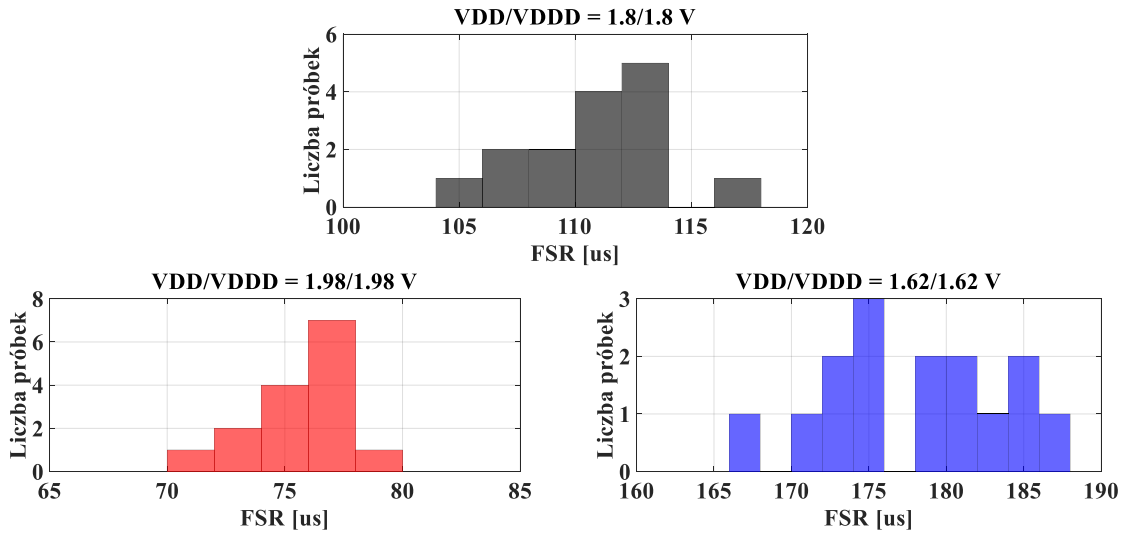
Rysunek 7. Fizyczna struktura przetwornika STB-TDC



Rysunek 8. Charakterystyki przetwarzania pojedynczej mikrostruktury przetwornika STB-TDC dla trzech różnych napięć zasilania: linia czarna – $VDD/VDDD = 1,8/1,8$; linia czerwona – $VDD/VDDD = 1,98/1,98$ V; linia niebieska – $VDD/VDDD = 1,62/1,62$ V



Rysunek 9. Histogramy wartości T_0 w zależności od napięcia zasilania VDD/VDDD



Rysunek 10. Histogramy wartości pełnego zakresu przetwarzania FSR w zależności od napięcia zasilania VDD/VDDD

Tabela 1. Zestawienie skrajnych wartości dla wybranych parametrów przetwarzania przy założeniu 7-bitowej rozdzielczości przetwarzania

Parametr		VDD/VDDD	1,8 V/1,8 V	1,98 V/1,98 V	1,62 V/1,62 V
LSB [μ s]	Minimalny		0,823	0,564	1,318
	Maksymalny		0,912	0,616	1,463
Błąd nieliniowości różniczkowej [LSB]	Ujemny		-0,665	-0,657	-0,563
	Dodatni		0,666	0,254	0,600
Błąd nieliniowości całkowitej [LSB]	Ujemny		-0,699	-0,551	-0,919
	Dodatni		0,654	0,506	0,797
Błąd przesunięcia zera [μ s]	Ujemny		-0,074	-0,052	-0,287
	Dodatni		0,785	0,550	1,172
Wartość pełnego zakresu [μ s]	Minimalny		104,522	71,764	167,568
	Maksymalny		116,152	78,466	186,313

Podsumowanie

Przedmiotem pracy było zoptymalizowanie i zaimplementowanie w postaci układu scalonego przetwornika TDC wykorzystującego metodę sukcesywnego równoważenia upływu czasu STB. Zaprojektowane rozwiązanie układowe w postaci mikrostruktury zostało następnie skierowane do produkcji serii próbnej, poddane wszechstronnym badaniom i ostatecznie zweryfikowane na podstawie uzyskanych wyników.

Docelowym zastosowaniem przetwornika czasu STB-TDC są aplikacje biomedyczne, ponieważ wymagają one bardzo wysokiej sprawności energetycznej stosowanych układów. Rozwiązania samotaktujące umożliwiają osiągnięcie takiej sprawności dzięki całkowitemu wyeliminowaniu z ich struktury zegara, zarówno zewnętrznego jak i w postaci lokalnego oscylatora. Przetwornik STB-TDC jest pobudzany wyłącznie zboczami sygnału wyznaczającymi mierzony interwał czasu T_{IN} , a wszystkie pozostałe operacje prowadzące do uzyskania reprezentacji cyfrowej tego interwału są inicjowane i nadzorowane przez wewnętrzny, asynchroniczny układ sterujący o postaci automatu stanów. Co więcej, układ ten posiada zdolność do przetwarzania interwałów czasu w sposób bezpośredni, co jest rzadko spotykaną, choć bardzo pożądaną cechą przetworników TDC.

Badania obecnego stanu techniki rozpoczęto od przeglądu literaturowego dostępnych rozwiązań przetworników czasu SA-TDC wykorzystujących metodę kompensacji wagowej i na tej podstawie zaproponowano klasyfikację odmian jej algorytmów. Za główne kryterium podziału przyjęto zdolność poszczególnych algorytmów do przetwarzania niedekrementowalnych wielkości fizycznych. Wyszczególniono trzy warianty sukcesywnej aproksymacji: oscylacyjną sukcesywną aproksymację (OSA), monotoniczną sukcesywną aproksymację (MSA) oraz pełnoskalową sukcesywną aproksymację (FSMSA). Rozszerzony opis powyższej klasyfikacji, uwzględniający m.in. szacunkowe zapotrzebowanie energetyczne każdego z wyszczególnionych algorytmów, został opublikowany na łamach czasopisma *Sensors* w pracy zatytułowanej „*Systematization and Comparison of the Binary Successive Approximation Variants*” [1].

Następnie przeprowadzono badania analityczne algorytmu przetwarzania STB-TDC, na podstawie których udowodniono, iż czas przetwarzania metodą STB-TDC jest liniową funkcją mierzonego interwału czasu T_{IN} (Teza II). Przeprowadzone rozważania poddano również dodatkowej weryfikacji, w której wykorzystano behawioralny model przetwarzania i zgodnie z przewidywaniami otrzymano wyniki zgodne z analitycznym modelem matematycznym.

Najistotniejszą częścią badań była implementacja i optymalizacja przetwornika STB-TDC w technologii UMC 0,18 μm . Szczególną uwagę zwrócono na problematyczne aspekty projektowe poszczególnych obwodów (pojemność pasożytnicza szyn S i R, spadek napięcia na kluczach TG, czas włączania źródeł prądowych I_S i I_R i asymetria ich wydajności, czas odpowiedzi komparatorów K_S i K_R , obciążenie źródła referencyjnego V_{REF} , marginesy

czasowe komórek standardowych asynchronicznej maszyny stanów ASM) i zaproponowano dla nich sposoby optymalizacji. Zaprojektowany prototyp, spełniający wszystkie wymagania procesu technologicznego UMC 0,18 μm , skierowano następnie do produkcji serii próbnej. Wyniki symulacyjne uwzględniające całą mikrostrukturę przetwornika zostały opublikowane w artykule „*A New Successive Time Balancing Time-to-Digital Conversion Method*” [2] również w czasopiśmie *Sensors*.

Otrzymana seria prototypowa, składająca się z 25 próbek, została poddana finalnej weryfikacji. W celu dokonania pełnej charakteryzacji otrzymanych próbek struktury monolitycznej przetwornika STB-TDC, zaprojektowano dedykowane stanowisko pomiarowe do automatycznej akwizycji danych. Uzyskane wyniki wskazują, że zaprojektowany przetwornik STB-TDC spełnia postawione mu wymagania, przetwarzając mierzone interwały czasu w sposób bezpośredni i w pełni asynchroniczny, co dowodzi prawdziwości postawionej Tezy I. Na podstawie zebranych wyników przetwarzania układu STB-TDC przeprowadzono również analizę rozkładów statystycznych charakterystycznych parametrów przetwarzania analogowo-cyfrowego.

Autor brał także aktywny udział w badaniach prowadzonych nad dalszym rozwijaniem i udoskonalaniem bezzegarowych przetworników TDC. Prace te zaowocowały m.in. jego współautorstwem w czterech polskich i czterech zagranicznych zgłoszeniach patentowych [4-11]. Do chwili obecnej części z nich przyznano już prawa patentowe.

Cztery zgłoszenia patentowe są bezpośrednio związane z opracowaniem nowej, ulepszonej wersji przetwornika STB-TDC, która w swoim algorytmie przetwarzania łączy metody konwersji wagowej i liniowej. Dzięki powyższemu następna wersja układu będzie charakteryzowała się: zredukowanym czasem przetwarzania, mniejszym poborem mocy statycznej oraz znacząco mniejszą powierzchnią zajmowaną w strukturze monolitycznej przez niezbędną matrycę kondensatorów. Tym samym zaprezentowane w niniejszej pracy badania nie tylko przedstawiają nowy sposób przetwarzania interwałów czasu, ale również stanowią podstawę do jasno sprecyzowanego dalszego rozwoju podjętej tematyki badawczej.

Wykaz publikacji autora

Publikacje naukowe:

- [1]. K. Jurasz, D. Kościelnik, J. Szyduczyński, M. Miśkiewicz, „Systematization and Comparison of the Binary Successive Approximation Variants,” *Sensors*, **2021**, nr 21, s.1-13.
- [2]. K. Jurasz, D. Kościelnik, J. Szyduczyński, W. Machowski, „A New Successive Time Balancing Time-to-Digital Conversion Method,” *Sensors*, **2023**, nr 23, s. 1-17.
- [3]. J. Szyduczyński, D. Kościelnik, K. Jurasz, M. Miśkiewicz, "Successive Approximation Time-to-Digital Converters," *2020 6th International Conference on Event-Based Control, Communication, and Signal Processing (EBCCSPP)*, Krakow, Poland, **2020**, s. 1-7.

Patenty i wnioski patentowe:

- [4]. D. Kościelnik, J. Szyduczyński, M. Miśkiewicz, K. Jurasz, „Sposób rozpoznawania kolejności sygnałów”. Patent polski. Zgłoszony 14.04.2022. Udzielony 13.11.2023. Numer zgłoszenia: P.440944. Numer patentu: PL244483B1.
- [5]. D. Kościelnik, J. Szyduczyński, M. Miśkiewicz, K. Jurasz, „Układ do rozpoznawania kolejności sygnałów”. Patent polski. Zgłoszony 14.04.2022. Udzielony 13.11.2023. Numer zgłoszenia: P.440945. Numer patentu: PL244484B1.
- [6]. D. Kościelnik, J. Szyduczyński, M. Miśkiewicz, K. Jurasz, „Method for recognizing order of signals”. Patent europejski. Zgłoszony: 15.12.2022. Udzielony: 28.08.2024. Numer zgłoszenia: EP22213666A. Numer patentu: EP4261623B1.
- [7]. D. Kościelnik, J. Szyduczyński, M. Miśkiewicz, K. Jurasz, „System for recognizing order of signals”. Patent europejski. Zgłoszony: 15.12.2022. Udzielony: 28.08.2024. Numer zgłoszenia: EP22213665A. Numer patentu: EP4261622B1.
- [8]. D. Kościelnik, K. Jurasz, J. Szyduczyński, „Sposób bezzegarowego i bezpośredniego przetwarzania interwału czasu na słowo cyfrowe”. Patent polski. Zgłoszony: 16.02.2023. Numer zgłoszenia: P.443808. Opis zgłoszeniowy wynalazku: PL443808A1.
- [9]. D. Kościelnik, K. Jurasz, J. Szyduczyński, „Układ do bezzegarowego i bezpośredniego przetwarzania interwału czasu na słowo cyfrowe”. Patent polski. Zgłoszony: 16.02.2023. Numer zgłoszenia: P.443809. Opis zgłoszeniowy wynalazku: PL443809A1.
- [10]. D. Kościelnik, K. Jurasz, J. Szyduczyński, „Method for clockless and direct conversion of time interval to digital word”. Patent europejski. Zgłoszony: 21.03.2023. Numer zgłoszenia: EP23163317A. Opis zgłoszeniowy wynalazku: EP4418054A1.
- [11]. D. Kościelnik, K. Jurasz, J. Szyduczyński, „Apparatus for clockless and direct conversion of time interval to digital word”. Patent europejski. Zgłoszony: 21.03.2023. Numer zgłoszenia: EP23163316A. Opis zgłoszeniowy wynalazku: EP4418053A1.