

Warszawa, 17 maja 2024 r.

Dr hab. inż. Witold Pleskacz, prof. uczelni
Wydział Elektroniki i Technik Informatycznych
Instytut Mikroelektroniki i Optoelektroniki
Politechnika Warszawska

SEKRETARIAT
Rady Dyscypliny AEEITK

Wpłynęło dnia 2.06.2024

Zarejestrowano pod nr (5.elekt.)

Podpis dm

RECENZJA

osiągnięcia naukowego „*Rozwój scalonych wielokanałowych układów elektroniki front-end do detekcji promieniowania jonizującego o dużej intensywności*”

oraz istotnej aktywności naukowej

dr. inż. Rafała Kłeczka

w postępowaniu o nadanie stopnia doktora habilitowanego w dziedzinie nauk inżyniersko-technicznych w dyscyplinie Automatyka, Elektronika, Elektrotechnika i Technologie Kosmiczne

1. Podstawa recenzji

Niniejsza recenzja została opracowana na zlecenie Dziekana Wydziału Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej oraz Przewodniczącego Rady Dyscypliny Naukowej Automatyka, Elektronika, Elektrotechnika i Technologie Kosmiczne Akademii Górniczo-Hutniczej im. Stanisława Staszica w Krakowie – dr. hab. inż. Ryszarda Sroki, prof. AGH (pismo L. Dz. WEAlIB-b/511-2-4/24 z dnia 7 marca 2024 r. oraz uchwała nr 5/2024 z dnia 7 marca 2024 r.). Recenzja została opracowana zgodnie z obowiązującym stanem prawnym (art. 219 Ustawy z dnia 20 lipca 2018 r. *Prawo o szkolnictwie wyższym i nauce* – tekst jednolity Dz. U. z 2023 r. poz. 742) na podstawie dokumentacji złożonej przez Habilitanta zawierającej (w wersji drukowanej w języku polskim):

- wniosek,
- dane wnioskodawcy,
- kopię dokumentu potwierdzającego posiadanie stopnia doktora,
- autoreferat przedstawiający opis dorobku i osiągnięć naukowych,
- wykaz osiągnięć naukowych,
- deklaracje współudziału autorów w publikacjach stanowiących osiągnięcie naukowe,
- kopie publikacji zawartych w cyklu z ocenianego dorobku habilitacyjnego,
- raporty bibliometryczne (potwierdzone przez Bibliotekę Główną Akademii Górniczo-Hutniczej w Krakowie)

oraz na podstawie dostarczonej (na prośbę recenzenta) przez Habilitanta w dniu 17.05.2024 r. (w wersji elektronicznej w języku polskim):

- listy specjalizowanych układów scalonych ASIC, w których projektowaniu uczestniczył Habilitant (załącznik nr 1 do niniejszej recenzji).

W. Pleskacz – Recenzja w postępowaniu o nadanie dr. inż. Rafałowi Kłeczki stopnia doktora habilitowanego

W. Pleskacz

2. Ogólna charakterystyka sylwetki naukowej Habilitanta

Dr inż. Rafał Kłeczek od października 2008 roku do chwili obecnej swoją działalność zawodową – naukową i dydaktyczną – związał z Akademią Górniczo-Hutniczą im. Stanisława Staszica w Krakowie. Pierwotnie był stażystą w Katedrze Metrologii na Wydziale Elektrotechniki, Automatyki, Informatyki i Elektroniki (obecnie Wydział Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej), następnie w latach 2011-2014 był asystentem naukowo-dydaktycznym, zaś od listopada 2014 r. jest zatrudniony na stanowisku adiunkta badawczo-dydaktycznego w Katedrze Metrologii i Elektroniki.

W czerwcu 2009 r. obronił pracę magisterską pt. „Projekt scalonego nadajnika standardu LVDS w technologii submikronowej” na kierunku Elektronika i Telekomunikacja, specjalność Mikroelektronika i Aparatura Biomedyczna. Stopień doktora nauk technicznych w dyscyplinie elektronika uzyskał z wyróżnieniem w czerwcu 2014 r. za dysertację pt. „Filtracja i szybkie kształtowanie sygnału w układach elektroniki front-end w technologiach submikronowych CMOS”. W obu wypadkach promotorem prac, zarówno magisterskiej jak i doktorskiej, był dr hab. inż. Robert Szczygieł.

Habilitant jest członkiem Zespołu Mikroelektroniki kierowanego przez prof. dr. hab. inż. Pawła Grybosia. Zespół ten zajmuje się projektowaniem i charakteryzacją specjalizowanych układów scalonych ASIC (ang. *Application Specific Integrated Circuit*) dedykowanych do odczytu sygnałów z detektorów promieniowania jonizującego. Układy te z sukcesem były i nadal są realizowane w ramach projektów krajowych i międzynarodowych zleczanych przez agencje rządowe oraz firmy komercyjne z Europy i Japonii. Po obronie rozprawy doktorskiej Habilitant brał bardzo aktywny udział w jedenastu projektach realizowanych przez Zespół Mikroelektroniki – w pięciu finansowanych w drodze konkursów krajowych lub zagranicznych oraz sześciu we współpracy z sektorem gospodarczym. Projekty te zaowocowały wieloma artykułami opublikowanymi na łamach renomowanych czasopism naukowych o cyrkulacji międzynarodowej oraz nawiązaniem współpracy z naukowcami z wiodących ośrodków badawczych. W ramach tych projektów dr Kłeczek zajmował się opracowywaniem analogowych części układów elektroniki front-end w innowacyjnych układach scalonych wielkiej skali integracji VLSI (ang. *Very Large Scale Integration*) dla potrzeb paskowych i pikselowych detektorów promieniowania X. Również dla kilku wybranych projektów przygotował środowiska pomiarowe wraz z testowaniem i charakteryzacją zaprojektowanych układów scalonych oraz także zajmował się opracowaniem danych pomiarowych.

3. Ocena osiągnięcia naukowego stanowiącego podstawę postępowania habilitacyjnego

Pan dr inż. Rafał Kłeczek do oceny osiągnięcia naukowego przedstawił cykl powiązanych tematycznie artykułów naukowych opublikowanych w czasopismach naukowych lub w recenzowanych materiałach z międzynarodowych konferencji zatytułowany: „*Rozwój scalonych wielokanałowych układów elektroniki front-end do detekcji promieniowania*”

W. Pleskacz – Recenzja w postępowaniu o nadanie dr. inż. Rafałowi Kłeczki stopnia doktora habilitowanego

jonizującego o dużej intensywności”. Jest to 9 publikacji naukowych, z których siedem (prace oznaczone symbolami H1–H7) to artykuły z listy JCR (ang. *Journal Citation Reports*), a dwie (prace oznaczone symbolami C1–C2) to publikacje z międzynarodowych recenzowanych konferencji, indeksowanych w bazie WoS (ang. *Web of Science*). Dwie publikacje są pracami samodzielnymi (H2, H4), zaś w pięciu z siedmiu współautorskich Habilitant jest pierwszym autorem (H3, H5, H6, C1, C2). Udział Habilitanta w czterech artykułach wynosi 60-80%, a w trzech co najmniej 40%. Dla każdej publikacji została podana informacja o jego indywidualnym wkładzie. W odrębnym dokumencie zostały załączone oświadczenia współautorów dotyczące procentowego wkładu każdego z nich w powstanie poszczególnych publikacji. Główne wyniki badań zostały opublikowane w renomowanych czasopiśmie naukowych, takich jak:

- Journal of Instrumentation (4 publikacje),
- IEEE Transactions on Circuits and Systems I: Regular Papers (1 publikacja),
- IEEE Journal of Solid-State Circuits (1 publikacja),
- IEEE Transactions on Circuits and Systems II: Express Briefs (1 publikacja).

Na szczególną uwagę zasługuje fakt artykułu C1 opublikowanego w materiałach konferencji IEEE 45th European Solid State Circuits Conference – ESSCIRC 2019 tematycznie dotyczącej metod projektowania układów scalonych. Jest to największa i wysoce prestiżowa konferencja europejska, która zalicza się do ścisłej światowej czołówki. Co prawda wskaźniki bibliometryczne tego nie oddają, jednak powszechnie wiadome jest, że zdecydowanie trudniej jest uzyskać akceptację prac naukowych do prezentacji na tej konferencji, niż opublikować te same wyniki badań w wielu innych czasopiśmie naukowych. Podobnym przykładem jest amerykańska konferencja Design Automation Conference – DAC, gdzie obecnie współczynnik akceptacji artykułów wynosi ok. 22%.

Wskaźniki bibliometryczne dla dziewięciu prac przedstawionych do oceny dają łączny współczynnik cytowań (ang. *Impact Factor*) **IF = 19,737**, natomiast łączna liczba punktów wg. listy czasopiśmie Ministerstwa Nauki i Szkolnictwa Wyższego wynosi **465 pkt.**

Zdaniem recenzenta uzyskane wskaźniki bibliometryczne oraz uzyskana liczba punktów są wystarczające do pozytywnej oceny przedstawionego osiągnięcia naukowego. Z doświadczenia i obserwacji środowiska naukowego wynika, że poziom i jakość prac naukowych nie jest ściśle skorelowana ze wskaźnikami bibliometrycznymi poszczególnych czasopiśmie. To samo się tyczy wyceny czasopiśmie znajdujących się na ministerialnej (MNiSzW lub MEiN) liście czasopiśmie punktowanych. O wysokiej jakości osiągnięcia naukowego Habilitanta świadczą nie tyle wskaźniki bibliometryczne, a przede wszystkim uzyskane wyniki badań oraz ich praktyczne zastosowanie w zrealizowanych projektach układów scalonych.

Przedstawiony cykl publikacji opisuje wyniki badań nad analogowymi częściami układów elektroniki front-end w układach scalonych dla potrzeb detektorów promieniowania jonizującego o dużej intensywności. Detektory promieniowania jonizującego wraz z układami scalonymi są podstawowymi częściami wielokanałowych systemów detekcyjnych, zwanymi również hybrydowymi modułami detekcyjnymi. Moduły te umożliwiają obrazowanie cyfrowe

promieniowania, poprzez pomiar pozycji interakcji i energii padających na nie fotonów. Znajdują one bardzo szerokie zastosowanie w nowoczesnych urządzeniach przemysłowych (np. kamery promieniowania X) lub medycznych (np. tomografy komputerowe). Wykorzystywane są również w wysoce zaawansowanej aparaturze naukowej, np. dla potrzeb eksperymentów fizyki jądrowej w klasycznych lub cyklicznych (synchrotrony) akceleratorach cząstek elementarnych.

Detektory promieniowania jonizującego dokonują konwersji energii padających cząstek/fotonów na promieniowanie elektromagnetyczne o innej długości fali lub prąd elektryczny. Mogą być przyrządami jednokanałowymi lub wielokanałowymi o architekturze paskowej bądź pikselowej. Odległość pomiędzy sąsiednimi kanałami (ang. *pitch*) rzutuje wprost na rozdzielczość, a tym samym dokładność, całego systemu pomiarowego. Obszar badawczy Habilitanta dotyczy wielokanałowych systemów detekcyjnych przetwarzających ładunek elektryczny, który gromadzi się na elektrodach detektora w wyniku padających cząstek jonizujących. Ładunek ten poprzez połączenia przewodzące dostarczany jest następnie do tzw. układu elektroniki front-end, który w istocie jest specjalizowanym wielokanałowym analogowym układem scalonym ASIC odpowiedzialnym za początkowe stadium procesu przetwarzania sygnału, w tym za jego wzmocnienie, filtrację i ukształtowanie. Odpowiednio przetworzony sygnał analogowy jest zamieniany na postać cyfrową w bloku konwertującym układu. Proces projektowania analogowych układów scalonych jest nietrywialnym, złożonym, procesem twórczym. W jego trakcie konstruktor musi uwzględnić wiele, wzajemnie ze sobą powiązanych, parametrów – takich jak poziom szumów układu, rozpraszana moc, szybkość przetwarzania sygnałów, wzmocnienie, liniowość, zajmowaną powierzchnię struktury półprzewodnikowej, czy też rozrzuty procesu technologicznego. Proces projektowania innowacyjnych układów analogowych (a tego typu układów dotyczy wniosek habilitacyjny) jest swego rodzaju sztuką, wymagającą z jednej strony czasochłonnych badań symulacyjnych, ale również silnie zależy od intuicji i doświadczenia samego konstruktora. Projektant poszukując optymalnego rozwiązania układowego musi wziąć pod uwagę zarówno jego przeznaczenie jak i technologię procesu jego wytwarzania. W wypadku wielokanałowych układów ASIC, przeznaczonych do współpracy z detektorami promieniowania jonizującego, najważniejszymi do spełnienia wymaganiami są: niski poziom szumów własnych toru wyrażany poprzez ekwiwalentny ładunek szumowy ENC (ang. *Equivalent Noise Charge*), możliwość przetwarzania impulsów wejściowych o dużej intensywności, niski pobór mocy, mała powierzchnia struktury półprzewodnikowej zajmowana przez pojedynczy kanał oraz możliwie mały rozrzut wartości parametrów elektrycznych pomiędzy kanałami. Jednoczesne spełnienie tych wymagań jest trudne, gdyż często są one wzajemnie sprzeczne. Wymaganie na krótki czas trwania sygnału wyjściowego (ang. *time width*) układu odczytowego stoi w sprzeczności z małym poborem mocy i niskim poziomem szumów ENC toru. Podobnie zmniejszanie wymiarów pojedynczego kanału, w celu zwiększenia rozdzielczości detektora lub zmniejszenia powierzchni układu scalonego, powoduje wzrost rozrzutów parametrów elektrycznych pomiędzy kanałami oraz wzrost poziomu szumów.

Biorąc pod uwagę sposób przetwarzania ciągu impulsów wejściowych, analogowe układy

elektroniki odczytowej front-end można podzielić na dwie zasadnicze klasy:

- układy pracujące w trybie integracyjnym, gdzie wpływający do wejścia ładunek jest sumowany w zadanym przedziale czasu;
- układy pracujące w trybie zliczania pojedynczych fotonów SPC (ang. *Single Photon Counting*).

Przy pracy w trybie integracyjnym (np. występujący w systemach obrazowania medycznego) waga każdego ładunku wejściowego jest proporcjonalna do energii fotonu. Jej zaletą jest zdolność zliczania impulsów wejściowych o dużej intensywności, zaś wadą jest jednoczesne sumowanie szumu z sygnałami użytecznymi, co z kolei degraduje stosunek sygnału użytecznego do szumu SNR (ang. *Signal-to-Noise Ratio*). Przy pracy w trybie SPC każdy impuls wejściowy jest przetwarzany niezależnie, a gdy przekroczy zadany próg napięcia referencyjnego (ustawionego powyżej poziomu szumu) jest zliczany przez licznik. Zaletą jest możliwość rozróżniania energii wpadających fotonów, zaś wadą błędne zliczanie fotonów w przypadku wystąpienia efektu spiętrzania się kolejnych impulsów (ang. *pulse pile-up*), gdy nie zostanie zachowany odpowiedni odstęp czasowy pomiędzy nimi. Minimalną separację czasową pomiędzy kolejnymi impulsami wejściowymi wyznacza tzw. czas martwy (ang. *dead time*) toru odczytowego. Jest to istotny parametr systemu detekcyjnego zliczającego impulsy o bardzo dużej intensywności. Parametr ten wpływa na charakterystykę szybkościową pracy układu odczytowego (ang. *count-rate performance*), wyrażającą zależność liczby zliczeń na wyjściu kanału układu względem liczby zliczeń impulsów na jego wejściu.

Ze względu na możliwość dokładnego pomiaru i pracy w warunkach o dużej intensywności padającego strumienia fotonów, systemy detekcyjne typu SPC znalazły się w kręgu zainteresowań wielu światowych ośrodków naukowych oraz firm produkujących detektory na potrzeby przemysłu i badań naukowych. Również Habilitant tę tematykę podjął w swojej działalności naukowej, będącej przedmiotem oceny. Skupił się na badaniach dotyczących detektorów promieniowania jonizującego o dużej intensywności, pracujących w trybie SPC oraz posiadających architekturę paskową lub pikselową. Wybór ten wynikał z zaangażowania Habilitanta w projekty badawcze, których partnerem była Katedra Metrologii i Elektroniki Akademii Górniczo-Hutniczej w Krakowie. W eksperymencie projektu badawczego CBM (ang. *Compressed Baryonic Matter*), realizowanym w GSI – Instytucie Badań Ciężkich Jonów w Darmstadt, Niemcy, średnia częstotliwość występowania zdarzeń na kanał wynosiła 250 kHz. Wymagania szybkościowe układu odczytowego o architekturze paskowej Habilitanta, opracowanego dla nowej aparatury pomiarowej, musiały spełnić wymagania eksperymentu. Natomiast udział Habilitanta w projektach dotyczących obrazowania medycznego lub promieniowania synchrotronowego polegał na badaniach układów odczytowych o architekturze pikselowej, których szybkość zliczeń na sekundę (ang. *count per second*) na milimetr kwadratowy powinna wynosić powyżej miliarda (Gcps/mm^2). Dla obu rozwiązań architektonicznych układów odczytowych występował ten sam główny problem badawczy. Dotyczył on wymyślenia sposobu na uniknięcie efektu spiętrzania impulsów, który pojawia się podczas pomiarów strumienia fotonów lub cząstek jonizujących o dużej intensywności. Do rozwiązania tego problemu badawczego Habilitant zaproponował dwie następujące metody:

1. Skrócenie czasu przetwarzania impulsu przez układ analogowy. Bowiern krótszy czas trwania impulsu analogowego determinuje krótszy czas jego kształtowania (ang. *shaping time*) lub osiągnięcia wartości szczytowej (ang. *peaking time*).
2. Zwiększenie liczby kanałów detekcyjnych przypadających na jednostkę powierzchni detektora. Takie podejście do problemu powoduje zmniejszenie strumienia padających fotonów lub cząstek na pojedynczy kanał.

Wadą pierwszego rozwiązania jest wzrost poziomu szumów ENC toru i degradację współczynnika konwersji ładunek–napięcie toru odczytowego. Wymaganie na wysoką wartość parametru szybkości przetwarzania sygnału jest rozbieżne z wymaganiami na niski poziom szumu toru odczytowego. Zatem osiągnięcie zadawalających wartości obu parametrów jest trudną sztuką kompromisów zastosowanych rozwiązań układowych podczas projektowania dedykowanego układu odczytowego.

Wadą drugiego rozwiązania jest zjawisko podziału ładunku (ang. *charge sharing*). Występuje ono w sytuacji, gdy ładunek elektryczny generowany jest w detektorze na granicy dwóch lub większej liczby kanałów. Wówczas impuls prądowy, wywołany padającym fotonem lub cząstką, zamiast popłynąć jednym kanałem odczytowym rozplywa się na kilka kanałów. W rezultacie nie można prawidłowo określić energii fotonu lub cząstki, co daje efekt rozmycia widma energetycznego promieniowania, a tym samym wpływa na pogorszenie parametrów systemu detekcyjnego. Należy zauważyć, że wraz ze zmniejszaniem wymiarów kanałów detektora, oprócz wzrostu znaczenia efektu podziału ładunku, nasilają się zjawiska rozrzutów wartości parametrów elektrycznych pomiędzy kanałami. Jest to spowodowane naturalnymi wahaniami właściwości procesu technologicznego.

Habilitant w swojej pracy naukowej z powodzeniem zmierzył się z istniejącymi ograniczeniami i postawionymi problemami badawczymi. Wynik swoich badań zaimplementował w nowych rozwiązaniach konstrukcyjnych układów elektroniki front-end dla detektorów promieniowania jonizującego o dużej intensywności. Można tutaj wyróżnić trzy następujące obszary badawcze związane z projektowaniem specjalizowanych układów scalonych ASIC:

1. Badania nad układem STS/MuCh-XYTER2 do pomiaru znacznika czasowego interakcji (z funkcjonalnością samowyzwalania) i energii cząstki jonizującej, współpracującego z detektorem śladowym o architekturze paskowej i z intensywnością promieniowania rzędu kilkuset tysięcy zliczeń na sekundę na kanał. Układ ten, posiadający 128 kanałów, został zaprojektowany i wyprodukowany (w technologii CMOS UMC 180 nm) na potrzeby Eksperymentu Skompresowanej Materii Barionowej (CBM) typu wysokoenergetyczna wiązka–tarcza, realizowany w nowo budowanej Infrastrukturze Badawczej Antyprotonów i Jonów (FAIR – ang. *Facility for Antiproton and Ion Research*) na terenie Ośrodka Ciężkich Jonów w Darmstadt (GSI). Założenia projektowe i jednocześnie wymagania eksperymentu CBM osiągnięto dzięki użyciu wzmacniacza ładunkowego CSA (ang. *Charge Sensitive Amplifier*) – umożliwiającego pracę z ładunkami wejściowymi o polarności dodatniej bądź ujemnej, użyciu układu

kasowania impulsu, wprowadzeniu programowalnego wzmocnienia i czasu kształtowania dla zadanego poziomu rozpraszanej mocy. Wyniki prac Habilitanta zostały opisane w czasopiśmie (H1 i H2).

2. Badania nad wielokanałowym układem scalonym LNPIX (ang. *Low Noise PIXel*) o bardzo niskiej wartości szumów ENC, przeznaczonym do współpracy z krzemowymi mikrosensorymi pikselowymi i mogącego pomierzyć promieniowanie o intensywności rzędu kilkuset tysięcy zliczeń na sekundę na kanał. Układ ten został zaprojektowany i wyprodukowany w technologii CMOS TSMC 130 nm. Żeby jednocześnie zapewnić niską wartość poziomu szumów, wysoką jednorodność parametrów całej matrycy odczytowej (np. niewielkie rozrzuty napięć niezrównoważenia i wzmocnienia ładunkowego) oraz odpowiednią szybkość zliczania impulsów, Habilitant opracował i zaimplementował w układzie LNPIX autorską technikę przyspieszającą pracę wzmacniacza CSA, zwaną „techniką podwójnej akcji kasowania” (ang. *discharge action*). Dzięki zastosowanej technice czas powrotu napięcia wyjściowego wzmacniacza ładunkowego CSA do poziomu bazowego został skrócony do rzędu kilkudziesięciu ns. Zastosowanie bloku kasowania zwiększyło prawie pięciokrotnie szybkość zliczania impulsów przez układ, w porównaniu do pracy układu bez włączonego tego bloku. Również za sprawą zastosowania nowatorskiej techniki kasowania, osiągnięto światowy poziom rozdzielczości energetycznej układu odczytowego przy jednoczesnym zapewnieniu jego pracy z promieniowaniem jonizującym o dużej intensywności. Zostało to docenione przez japońską firmę Rigaku Corporation, która finalną wersję układu LNPIX zastosowała w produkowanej kamerze promieniowania X o nazwie handlowej XSPA-400 ER – X-Ray Seamless Pixel Array Detector. Wyniki prac Habilitanta zostały opisane w artykułach (H3 i C1).
3. Badania nad prototypowymi układami scalonymi współpracującymi z hybrydowymi półprzewodnikowymi detektorami pikselowymi, pracującymi w trybie zliczania pojedynczych fotonów SPC i posiadającymi możliwość rejestracji promieniowania o intensywności rzędu kilkudziesięciu milionów zliczeń na sekundę na kanał. Układy te – PXF40 i SPHIRD-1 zostały zaprojektowane i wyprodukowane w technologii CMOS TSMC 40 nm na potrzeby Europejskiego Ośrodka Promieniowania Synchrotronowego (ESRF) we Francji. Dzięki zastosowanym autorskim rozwiązaniom konstrukcyjnym układy te osiągnęły bardzo wysokie parametry szybkościowe (powyżej 1 Gcps/mm²) przy jednocześnie akceptowalnym, z punktu widzenia eksperymentów z fotonami o niskiej energii, poziomie szumów ENC oraz poziomie rozpraszanej mocy. Wyniki prac Habilitanta zostały opisane w publikacjach (H4-H7 i C2) i należą do najlepszych publikowanych w literaturze przedmiotu.

Ocenę osiągnięcia naukowego Habilitanta recenzent dokonał na podstawie otrzymanej dokumentacji wymienionej w pkt. 1 recenzji – szczególnie na podstawie autoreferatu (załącznik nr 3) i wykazu osiągnięć naukowych (załącznik nr 4). Dokumentacja ta została dobrze przygotowana. Jest ona kompletna, obszerna i wyczerpująca. Na podstawie jej analizy należy stwierdzić, że Habilitant włożył sporo wysiłku w jej przygotowanie. Jednakże nie ustrzegł się

W. Pleskacz – Recenzja w postępowaniu o nadanie dr. inż. Rafałowi Kłęczkowi stopnia doktora habilitowanego

od nieścisłości lub błędów. Do nieścisłości należy zaliczyć opisywanie wielkości N_{IN} we wzorze (1.1) jako liczby impulsów na wejściu układu odczytowego, gdy w rzeczywistości jest to szybkość zliczeń impulsów. Natomiast systematycznym błędem jest niepoprawne użycie słowa topologia (np. „plan masek topologicznych”) w odniesieniu do rysunku złożeniowego (projektu) masek produkcyjnych układu scalonego. Błąd ten wystąpił 15 razy w załączniku nr 3 (strony: 2-4, 22, 29, 35, 36, 43 i 44) oraz 8 razy w załączniku nr 4 (strony: 1-3). W kontekście masek układu scalonego zamiast słowa topologia powinno być użyte słowo topografia (ang. *topography, layout; e.g. Integrated Circuit Topography Act, IC layout*). Z obserwacji recenzenta wynika, że jest to często popełniany błąd, który prawdopodobnie wynika ze stosunkowo niewielkiej literatury fachowej w języku polskim lub pisania dokumentacji technicznej i artykułów naukowych głównie w języku angielskim.

Podsumowując należy stwierdzić, że uzyskane wyniki badań naukowych Habilitanta mają bardzo dużą przydatność dla nauk technicznych. Opracowane nowe rozwiązania konstrukcyjne zintegrowanych układów odczytowych CMOS stanowią istotny wkład w rozwój tego obszaru techniki. Rozwiązania te zostały zaimplementowane i zweryfikowane w kilku scalonych niskoszumnych układach odczytowych, pracujących w trybie zliczania pojedynczych fotonów SPC i przetwarzających analogowo w krótkim czasie impulsy wejściowe. Konstrukcja tych układów umożliwia rejestrację promieniowania jonizującego o dużym natężeniu. Z przedstawionych we wniosku wyników pomiarów i charakteryzacji zaprojektowanych układów scalonych ASIC wynika, że osiągają one światowy poziom parametrów, co je wyróżnia na tle konkurencyjnych rozwiązań prezentowanych w literaturze naukowej.

4. Ocena pozostałej działalności

4.1. Ocena działalności naukowej

Do pozostałych osiągnięć naukowych Habilitanta należy zaliczyć:

1. Współautorstwo 22 artykułów w czasopismach JCR, w tym 4 przed uzyskaniem stopnia doktora i 18 po uzyskaniu stopnia doktora.
2. Autorstwo lub współautorstwo 29 referatów na konferencjach międzynarodowych, w tym 20 przed uzyskaniem stopnia doktora i 9 po uzyskaniu stopnia doktora.
3. Liczne autorstwo lub współautorstwo referatów prezentowanych na warsztatach i sympozjach krajowych.
4. Artykuły w polskich i zagranicznych (nieindeksowanych) czasopismach naukowych. Doliczając je do wcześniej wymienionych osiągnięć daje to łącznie 71 artykułów (40 przed doktoratem i 31 po doktoracie), w których Habilitant był zaangażowany.
5. Czynny udział w 6 międzynarodowych projektach badawczych w charakterze wykonawcy, w tym we współpracy z:
 - japońską firmą Rigaku Corporation – Detector Development Group X-ray Instrumentation Division (2 projekty zakończone wdrożeniami);
 - grupą detektorową z Synchrotron Soleil w Saint-Aubin, Francja;

W. Pleskacz – Recenzja w postępowaniu o nadanie dr. inż. Rafałowi Kłęczkowi stopnia doktora habilitowanego

- grupą detektorową z European Synchrotron Radiation Facility – ESRF w Grenoble, Francja;
- ośrodkiem badawczym GSI Helmholtzzentrum für Schwerionenforschung GmbH w Darmstadt, Niemcy;
- fińską firmą DT – Detection Technology.

Dorobek naukowy Habilitanta przedstawiony w dokumentacji charakteryzuje się wystarczającymi wskaźnikami bibliometrycznymi. Bardzo istotnym aspektem działalności badawczo-rozwojowej Habilitanta był udział w zespołach projektujących innowacyjne zintegrowane detektory promieniowania, m.in. na potrzeby eksperymentów naukowych fizyki wysokich energii oraz zagranicznych firm produkujących aparaturę pomiarową. Zgodnie z otrzymanym wykazem (załącznik nr 1 do niniejszej recenzji) Habilitant przed doktoratem (lata 2009-2013) brał udział w opracowaniu 6 układów scalonych w technologii submikronowej CMOS 180 nm. Natomiast po doktoracie (lata 2015-2022) współprojektował 12 układów scalonych, w technologiach submikronowych (130 nm i 180 nm) oraz nanometrowych (28 nm i 40 nm) CMOS. Zamieszczone w wykazie specjalizowane układy scalone ASIC zostały opracowane od poziomu schematów elektrycznych aż do topografii masek, które zostały wysłane do produkcji prototypowej lub seryjnej. Następnie układy te zostały pomierzone i scharakteryzowane. W powyższych pracach Habilitant miał znaczący wkład, co zostało dokładnie opisane dla każdego układu.

Projektowanie układów scalonych jest procesem twórczym wymagającym wysokich kwalifikacji, a zarazem bardzo pracochłonnym, zatem powinno być brane pod uwagę przy ocenie pracowników i jednostek naukowych. Opracowane topografie układów scalonych mogą być zarejestrowane w Urzędzie Patentowym Rzeczypospolitej Polskiej i tym samym objęte ochroną. Topografie reprezentują sobą konkretny i końcowy efekt pracy zespołu projektantów, którego pracochłonność może sięgać kilku osobolat. Należy dodać, że topografie te niosą w sobie wyższy potencjał innowacyjności niż niejeden patent.

4.2. Ocena działalności dydaktycznej, organizacyjnej oraz popularyzującej naukę

Dr Rafał Kłeczek brał udział w opracowaniu i uruchomieniu nowego kierunku studiów Mikroelektronika w Technice i Medycynie (MTM) na Wydziale Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej (AGH w Krakowie). Za tę działalność otrzymał zespołową nagrodę dydaktyczną I stopnia JM Rektora AGH. Również, w ramach działalności dydaktycznej, był autorem programów zajęć dla kierunku MTM i Inżynierii Biomedycznej w ramach przedmiotów: Technika Obliczeniowa i Symulacyjna (wykład i laboratorium), Układy Elektroniki Analogowej 1 i 2 (laboratorium), Podstawy Projektowania Analogowych Układów VLSI (wykład), Projektowanie Zaawansowanych Bloków Analogowych VLSI dla systemów sensorowych (wykład) i Mikroelektronika (wykład). Był także opiekunem 7 prac magisterskich i 18 prac inżynierskich.

Habilitant należy do międzynarodowego stowarzyszenia *Institute of Electrical and Electronics Engineers (IEEE)* oraz jest członkiem grupy założycielskiej *IEEE Solid-State Circuits Society Chapter Poland*, gdzie obecnie pełni funkcję sekretarza. Brał udział w organizacji w Krakowie prestiżowej międzynarodowej konferencji 45th *European Solid-State Circuits Conference (ESSCIRC/ESSDERC 2019)*. Ponadto 38 razy był recenzentem artykułów naukowych w renomowanych czasopismach o zasięgu międzynarodowym, np.: *IEEE Transactions on Circuits and Systems II: Express Briefs* (19 recenzji), *IEEE Access* (9), *Elsevier Nuclear Science and Techniques* (4). Dodatkowo na macierzystej uczelni AGH Habilitant pełni obowiązki członka Rady Dyscypliny Automatyki, Elektroniki, Elektrotechniki i Technologii Kosmicznych.

W ramach przedsięwzięć popularyzujących naukę Habilitant:

- w latach 2014-2020 brał udział w organizacji Ogólnopolskiej Olimpiady Wiedzy Elektrycznej i Elektronicznej (OOWEE) dla uczniów szkół średnich w charakterze członka Komitetu Głównego, a następnie zastępcy sekretarza współodpowiedzialnego za etap krakowski oraz finałowy Olimpiady;
- wielokrotnie promował kierunek Mikroelektronika w Technice i Medycynie podczas dni otwartych AGH oraz spotkań z kandydatami na studia;
- jest członkiem jury w corocznym konkursie na najlepszą pracę dyplomową oraz aplikacyjną „Diamenty AGH”.

4.3. Podsumowanie

Na podstawie przedstawionej dokumentacji można uznać, że Habilitant wykazuje się istotną aktywnością naukową, dydaktyczną, organizacyjną i popularyzacyjną. O uznaniu tej działalności najlepiej świadczą liczne nagrody i wyróżnienia, do których należy zaliczyć m.in.:

- stypendium MNiSW dla wybitnego młodego naukowca otrzymanego w ramach konkursu w latach 2014-2017;
- nagrody JM Rektora AGH: 5 indywidualnych za osiągnięcia naukowe; 1 indywidualna za osiągnięcia dydaktyczne, 3 zespołowe za osiągnięcia dydaktyczne, 1 zespołowa za osiągnięcia organizacyjne.

5. Wniosek końcowy

Podsumowując ocenę dokumentacji zawartej we wniosku Pana dr. inż. Rafała Kłeczka o przeprowadzenie postępowania habilitacyjnego, stwierdzam że:

- przedstawione do oceny osiągnięcia naukowe, będące cyklem powiązanych tematycznie artykułów opublikowanych w czasopismach naukowych i w recenzowanych materiałach konferencji naukowych o cyrkulacji międzynarodowej, spełniają wymagania Ustawy z dnia 20 lipca 2018 r. *Prawo o szkolnictwie wyższym i nauce*;

- przedstawione do oceny osiągnięcia naukowe stanowią istotny wkład w rozwój dyscypliny naukowej Automatyka, Elektronika, Elektrotechnika i Technologie Kosmiczne;
- pozostały dorobek naukowy jest z nadmiarem wystarczający, charakterystyczny dla osób prowadzących intensywną działalność badawczą, dydaktyczną i organizacyjną;
- ponadto Habilitant wykazuje się istotną aktywnością naukową w międzynarodowych projektach badawczych realizowanych w ramach współpracy z renomowanymi instytucjami naukowymi lub zagranicznymi podmiotami gospodarczymi.

Biorąc powyższe pod uwagę stwierdzam, że osiągnięcia naukowe Habilitanta spełniają wymagania stawiane kandydatom do stopnia naukowego doktora habilitowanego określone w art. 219 ust. 1 pkt. 2 Ustawy z dnia 20 lipca 2018 r. *Prawo o szkolnictwie wyższym i nauce*. Wobec tego zdecydowanie popieram jego wniosek o nadanie stopnia doktora habilitowanego w dziedzinie nauk inżynieryjno-technicznych w dyscyplinie Automatyka, Elektronika, Elektrotechnika i Technologie Kosmiczne.



podpis

Załącznik nr 1:

Rafał Kłeczek, „*Lista specjalizowanych układów scalonych ASIC, w których projekcie uczestniczył Habilitant*”, Kraków, 17.05.2024 r.

dr inż. Rafał Kłeczek
Akademia Górniczo-Hutnicza im. Stanisława Staszica w Krakowie
Wydział Elektrotechniki, Automatyki, Informatyki i Inżynierii Biomedycznej
Katedra Metrologii i Elektroniki
al. A. Mickiewicza 30, Pawilon B-1, 30-059 Kraków
tel. +48 12 617 28 73
faks. +48 12 633 85 65
e-mail: rafal.kleczek@agh.edu.pl

Lista specjalizowanych układów scalonych ASIC, w których projekcie uczestniczył Habilitant

Przed obroną doktoratu (6 układów ASIC)

- 1) **NRS64** - prototypowy paskowy 64-cio kanałowy układ scalony dedykowany do stymulacji i rejestracji sygnałów pochodzących z komórek nerwowych.
Technologia: UMC 180 nm CMOS.
Rok produkcji: 2009 r.
Projektanci: P. Kmon, M. Kachel, R. Kłeczek, R. Szczygieł, P. Gryboś.
Źródło finansowania: grant krajowy.
Wkład Habilitanta: projekt na poziomie schematu oraz opracowanie planu masek topograficznych układu do stymulacji prądowej badanych komórek nerwowych.
- 2) **AFE-XYTER** - prototypowy paskowy 16-to kanałowy układ scalony dedykowany dla eksperymentu CBM (*Compressed Baryonic Matter*), który będzie przeprowadzony na akceleratorze FAIR (*Facility for Antiproton and Ion Research*) w Darmstadt, w Niemczech:
Technologia: UMC 180 nm CMOS.
Rok produkcji: 2013 r.
Projektanci: R. Kłeczek, P. Gryboś.
Źródło finansowania: grant krajowy.
Wkład Habilitanta: projekt na poziomie schematu oraz planu masek topograficznych układu scalonego, opracowanie stanowiska testowego oraz przeprowadzenie pomiarów.
- 3) **STS-XYTER (SMX-1)** – pełnowymiarowy paskowy 128-mio kanałowy układ scalony dedykowany dla eksperymentu CBM (*Compressed Baryonic Matter*), który będzie przeprowadzony na akceleratorze FAIR (*Facility for Antiproton and Ion Research*) w Darmstadt, w Niemczech:
Technologia: UMC 180 nm CMOS.
Rok produkcji: 2012 r.
Projektanci: K. Kasiński, R. Kłeczek, P. Otfinowski, P. Gryboś, R. Szczygieł.
Źródło finansowania: finansowanie zagraniczne.
Wkład Habilitanta: projekt na poziomie schematu oraz opracowanie planu masek topograficznych analogowej części toru odczytowego oraz globalnych układów do polaryzacji torów odczytowych układu scalonego, konsultacje wyników pomiarowych.
- 4) **FSDR16** - prototypowy paskowy 16-to kanałowy układ scalony dedykowany do odczytu półprzewodników detektorów paskowych o pojemności rzędu kilkudziesięciu pF:
Technologia: UMC 180 nm CMOS.
Rok produkcji: 2010 r.
Projektanci: R. Kłeczek, P. Gryboś.
Źródło finansowania: grant krajowy.
Wkład Habilitanta: projekt na poziomie schematu oraz planu masek topograficznych układu scalonego, opracowanie stanowiska testowego oraz przeprowadzenie pomiarów.

- 5) Prototypowy 16-to kanałowy blok układu scalonego dedykowany do odczytu półprzewodników detektorów pikselowych oparty na inwerterach:
Technologia: UMC 180 nm CMOS.
Rok produkcji: 2012 r.
Projektanci: R. Kłeczek, P. Gryboś.
Źródło finansowania: grant krajowy.
Wkład Habilitanta: projekt bloku układu scalonego, opracowanie stanowiska testowego oraz przeprowadzenie pomiarów.
- 6) **DSTOTIC** – prototypowy 8-mio kanałowy układ scalony dedykowany do odczytu półprzewodników detektorów paskowych oparty na technice procesowania impulsów typu TOT:
Technologia: UMC 180 nm CMOS.
Rok produkcji: 2013 r.
Projektanci: R. Kłeczek, K. Kasiński.
Źródło finansowania: grant krajowy.
Wkład Habilitanta: konsultacja projektu na poziomie schematu oraz opracowanie planu masek topograficznych analogowej części toru odczytowego, konsultacja wyników pomiarowych.

Po obronie doktoratu (15 układów ASIC)

- 1) **STS/MuCh-XYTER2 (SMX-2)** – pełnowymiarowy paskowy 128-mio kanałowy układ scalony dedykowany dla eksperymentu CBM (*Compressed Baryonic Matter*), który będzie przeprowadzony na akceleratorze FAIR (*Facility for Antiproton and Ion Research*) w Darmstadt, w Niemczech:
Technologia: UMC 180 nm CMOS.
Rok produkcji: 2015 r.
Projektanci: K. Kasiński, R. Kłeczek, P. Otfinowski, P. Gryboś, R. Szczygieł.
Źródło finansowania: finansowanie zagraniczne.
Wkład Habilitanta: projekt na poziomie schematu oraz opracowanie planu masek topograficznych analogowej części toru odczytowego, konsultacje wyników pomiarowych.
- 2) **CHASE Jr** – prototypowy pikselowy 24 x 18 kanałowy układ scalony dedykowany do odczytu detektorów krzemowych z zaimplementowanym algorytmem dotyczącym podziału ładunku:
Technologia: TSMC 40 nm CMOS.
Rok produkcji: 2016 r.
Projektanci: P. Otfinowski, P. Kmon, R. Kłeczek, R. Szczygieł, P. Gryboś.
Źródło finansowania: grant krajowy.
Wkład Habilitanta: projekt na poziomie schematu oraz opracowanie planu masek topograficznych wybranych bloków analogowej części toru odczytowego, konsultacje wyników pomiarowych oraz pomiary szybkościowe.
- 3) **PXF40** – prototypowy pikselowy 24 x 18 kanałowy układ scalony o dużej szybkości zliczeń dedykowany do odczytu detektorów krzemowych:
Technologia: TSMC 40 nm CMOS.
Rok produkcji: 2017 r.
Projektanci: P. Otfinowski, P. Kmon, R. Kłeczek, R. Szczygieł, P. Gryboś.
Źródło finansowania: grant krajowy.
Wkład Habilitanta: projekt na poziomie schematu oraz opracowanie planu masek topograficznych wybranych bloków analogowej części toru odczytowego oraz globalnych układów do polaryzacji torów odczytowych układu scalonego, konsultacje wyników pomiarowych oraz pomiary szybkościowe.
- 4) **LNPIX** – pełnowymiarowy pikselowy 128 x 256 kanałowy układ scalony dedykowany do odczytu detektorów krzemowych o bardzo niskim poziomie szumów ENC:
Technologia: TSMC 130 nm CMOS.
Rok produkcji: 2018 r.

- Projektanci:** P. Kmon, R. Kłeczek, R. Szczygieł, P. Gryboś,
Źródło finansowania: grant krajowy.
Wkład Habilitanta: projekt na poziomie schematu oraz opracowanie planu masek topograficznych wybranych bloków analogowej części toru odczytowego, konsultacje wyników pomiarowych oraz pomiary szybkościowe.
- 5) **LNRG** – pełnowymiarowy pikselowy 128 x 256 kanałowy układ scalony dedykowany do odczytu detektorów krzemowych o bardzo niskim poziomie szumów ENC opracowany dla japońskiej firmy Rigaku:
Technologia: TSMC 130 nm CMOS.
Rok produkcji: 2020 r.
Projektanci: P. Kmon, R. Kłeczek, R. Szczygieł, P. Gryboś,
Źródło finansowania: finansowanie zagraniczne.
Wkład Habilitanta: projekt na poziomie schematu oraz opracowanie planu masek topograficznych wybranych bloków analogowej części toru odczytowego, konsultacje wyników pomiarowych oraz pomiary szybkościowe.
- 6) **MPIX** – dwie wersje pełnowymiarowego pikselowego 96 x 192 kanałowego układu scalonego dedykowanego do odczytu detektorów krzemowych:
Technologia: TSMC 130 nm CMOS.
Rok produkcji: 2020 r. (2 submisje).
Projektanci: P. Otfinowski, P. Kmon, R. Kłeczek, R. Szczygieł, P. Gryboś.
Źródło finansowania: grant krajowy.
Wkład Habilitanta: projekt na poziomie schematu oraz opracowanie planu masek topograficznych wybranych bloków analogowej części toru odczytowego, konsultacje wyników pomiarowych oraz pomiary szybkościowe.
- 7) **PID IC** – dwie wersje pełnowymiarowego pikselowego 192 x 64 kanałowego układu scalonego dedykowanego do odczytu detektorów krzemowych opracowany dla polskiej firmy PID Polska:
Technologia: TSMC 130 nm CMOS.
Rok produkcji: 2021 r. (2 submisje)
Projektanci: P. Kmon, R. Kłeczek, R. Szczygieł, P. Gryboś.
Źródło finansowania: grant krajowy.
Wkład Habilitanta: projekt na poziomie schematu oraz opracowanie planu masek topograficznych wybranych bloków analogowej części toru odczytowego, konsultacje wyników pomiarowych.
- 8) **SPECTRUM IC** – prototypowy pikselowy 40 x 24 kanałowy układ scalony dedykowany do odczytu detektorów krzemowych z zaimplementowanym przetwornikiem ADC w każdym torze odczytowym:
Technologia: TSMC 40 nm CMOS.
Rok produkcji: 2019 r.
Projektanci: R. Kłeczek, R. Szczygieł, P. Gryboś, P. Kmon.
Źródło finansowania: grant krajowy.
Wkład Habilitanta: projekt na poziomie schematu oraz opracowanie planu masek topograficznych wybranych bloków analogowej części toru odczytowego, konsultacje wyników pomiarowych.
- 9) **TDC IC** - prototypowy pikselowy 12 x 12 kanałowy układ scalony dedykowany do odczytu detektorów krzemowych z zaimplementowanym przetwornikiem TDC w każdym torze odczytowym:
Technologia: TSMC 28 nm CMOS.
Rok produkcji: 2020 r.
Projektanci: P. Kmon, R. Kłeczek, R. Szczygieł, P. Staszewski.
Źródło finansowania: grant krajowy.
Wkład Habilitanta: opracowanie planu masek topograficznych wybranych bloków analogowej i cyfrowej części toru odczytowego.
- 10) **SPHIRD IC** – dwa prototypowe pikselowe 64 x 32 kanałowe układy scalone dedykowane do odczytu detektorów półprzewodnikowych opracowane dla nowej generacji aplikacji synchrotronowych w Europejskim Ośrodku Promieniowania Synchrotronowego (ESRF) we Francji:
Technologia: TSMC 40 nm CMOS.
Rok produkcji: 2021 r. (2 submisje).
Projektanci: P. Otfinowski, P. Kmon, R. Kłeczek, R. Szczygieł, P. Gryboś.

Źródło finansowania: finansowanie zagraniczne.

Wkład Habilitanta: projekt na poziomie schematu oraz opracowanie planu masek topograficznych analogowej części toru odczytowego oraz globalnych układów do polaryzacji torów odczytowych układu scalonego, przygotowanie stanowiska testowego, przeprowadzenie oraz konsultacje wyników pomiarowych.

- 11) **SOLEIL IC** – prototypowy pikselowy 42 x 42 kanałowy układ scalony dedykowany do odczytu detektorów półprzewodnikowych opracowany dla nowej generacji aplikacji synchrotronowych w Ośrodku Promieniowania Synchrotronowego SOLEIL we Francji:

Technologia: TSMC 40 nm CMOS.

Rok produkcji: 2021 r.

Projektanci: P. Otfinowski, P. Kmon, R. Kłeczek, P. Gryboś.

Źródło finansowania: finansowanie zagraniczne.

Wkład Habilitanta: projekt na poziomie schematu oraz opracowanie planu masek topograficznych analogowej części toru odczytowego oraz globalnych układów do polaryzacji torów odczytowych układu scalonego, przygotowanie stanowiska testowego, przeprowadzenie oraz konsultacje wyników pomiarowych.

- 12) **PIX25** – prototypowy pikselowy 128 x 128 kanałowy układ scalony dedykowany do odczytu detektorów krzemowych o rozmiarze piksela 25 μm x 25 μm :

Technologia: TSMC 40 nm CMOS.

Rok produkcji: 2022 r.

Projektanci: P. Otfinowski, P. Kmon, R. Kłeczek, P. Gryboś.

Źródło finansowania: grant krajowy.

Wkład Habilitanta: projekt na poziomie schematu oraz opracowanie planu masek topograficznych analogowej części toru odczytowego oraz globalnych układów do polaryzacji torów odczytowych układu scalonego, przygotowanie stanowiska testowego, przeprowadzenie oraz konsultacje wyników pomiarowych.